

Вінницький національний технічний університет
(повне найменування вищого навчального закладу)

Факультет інформаційних електронних систем
(повне найменування інституту, назва факультету (відділення))

Кафедра інформаційних радіоелектронних технологій і систем
(повна назва кафедри (предметної, циклової комісії))

МАГІСТЕРСЬКА КВАЛІФІКАЦІЙНА РОБОТА

на тему:

«Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах»

Виконала: студентка 2-го курсу, гр. РТ-21м
спеціальності 172 – Телекомунікації
та радіотехніка

(шифр і назва напрямку підготовки, спеціальності)

Бриндак І.П.

(прізвище та ініціали)

Керівник: д.т.н., професор каф. ІРТС

Осадчук В. С.

(прізвище та ініціали)

«19» 12 2022 р.

Опонент: к.т.н., доц., доц. каф. ІКСТ

Семенова О.О.

(прізвище та ініціали)

«20» 12 2022 р.

Допущено до захисту

Завідувач кафедри ІРТС

д.т.н., проф. Осадчук О.В.

(прізвище та ініціали)

«21» 12 2022 р.

Вінниця ВНТУ - 2022 рік

Вінницький національний технічний університет

Факультет інформаційних електронних систем

Кафедра інформаційних радіоелектронних технологій і систем

Рівень вищої освіти II-й (магістерський)

Галузь знань – 17 Електроніка та телекомунікації

Спеціальність – 172 Телекомунікації та радіотехніка

Освітньо-професійна програма – Радіотехніка

ЗАТВЕРДЖУЮ

Завідувач кафедри ІРТС

Осадчук О.В.
д.т.н., проф. Осадчук О.В.

«16» вересня 2022 року

ЗАВДАННЯ

НА МАГІСТЕРСЬКУ КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТЦІ

Бриндак Іванні Петрівні

(прізвище, ім'я, по батькові)

1. Тема роботи Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах

керівник роботи д.т.н., проф., професор кафедри ІРТС Осадчук В.С.

(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)

затверджені наказом вищого навчального закладу від «14» 09.2022 р. №203.

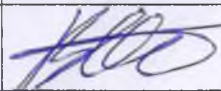
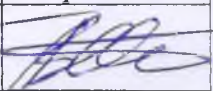
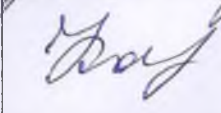
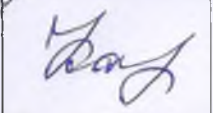


2. Строк подання студентом роботи 19.12.2022р.

3. Вихідні дані до роботи: Пристрій повинен поєднувати в собі дві ПЛІС різного типу та структури. Період відліків: 100 секунд. В перший півперіод на чотирьох-розрядному семи-сегментному індикаторі висвітити посекундні відліки (десятки, одиниці, десяті і соті секунди). В другий півперіод реалізувати пристрій затримки часу з періодом (0001111).

4. Зміст текстової частини: Літературний огляд. Проектування основних функціональних блоків пристрою автоматичної витримки часу. Моделювання у САПР QUARTUS ii та апаратна реалізація пристрою автоматичної витримки часу. Економічна частина. Охорона праці та безпека в надзвичайних ситуаціях. Висновки. Список використаних джерел. Додатки.

5. Перелік ілюстративного матеріалу (з точним зазначенням обов'язкових креслень): Класифікація ПЛІС за способами програмування структури. Схеми програмування та конфігурування ПЛІС. Макрокомірка ПЛІС. Двокоординатна система позначень блоків ПЛІС. Проектування блоку лічильника на ПЛІС. Проектування блоку генератора коду відліків і блоку дешифратора семисегментного коду. Проектування генератора кодових послідовностей. Структурна схема пристрою. Апаратна реалізація пристрою. Часові діаграми роботи шифратора. Часові діаграми роботи лічильника.

6. Консультанти розділів роботи

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	виконання прийняв
Основна частина	д.т.н., професор Осадчук В. С.		
Економічна частина	доцент каф. ЕПВМ к.е.н., Кавецький В.В.		
Охорона праці та безпека в надзвичайних ситуаціях	професор кафедри БЖДІБ, доцент, д.п.н., Дембіцька С.В.		

7. Дата видачі завдання 17.09.2022 року

КАЛЕНДАРНИЙ ПЛАН

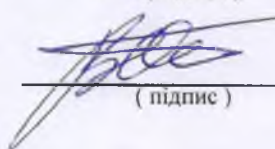
№ з/п	Назва етапів магістерської кваліфікаційної роботи	Строк виконання етапів роботи	Примітка
1.	Вибір, узгодження та затвердження тем МКР на випусковій кафедрі.	02.09.2022-07.09.2022	
2.	Огляд та аналіз літературних джерел.	08.09.2022-13.09.2022	
3.	Затвердження тем по ВНТУ. Розробка завдання на МКР.	14.09.2022-27.09.2022	
4.	Попередня розробка основних розділів. Аналіз вирішення поставленої задачі. Розробка структурної схеми та технічних рішень.	28.09.2022-10.10.2022	
5.	Математичне моделювання та електричні розрахунки. Експериментальне дослідження.	11.10.2022-04.11.2022	
6.	Розробка графічної частини МКР.	05.11.2022-13.11.2022	
7.	Економічна частина.	14.11.2022-20.11.2022	
8.	Охорона праці (ОП).	21.11.2022-25.11.2022	
9.	Оформлення пояснювальної записки та графічної частини.	26.11.2022-01.12.2022	
10.	Нормоконтроль.	02.12.2022-09.12.2022	
11.	Попередній захист МКР, доопрацювання, рецензування МКР.	10.12.2022-20.12.2022	
12.	Захист МКР ЕК.	21.12.2022-23.12.2022	

Студентка


(підпис)

Бриндак І. П.

Керівник роботи


(підпис)

Осадчук В. С.

АНОТАЦІЯ

УДК 621.374.415

Бриндак І.П. Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах. Магістерська кваліфікаційна робота зі спеціальності 172 – телекомунікації та радіотехніка, освітня програма - радіотехніка. Вінниця: ВНТУ, 2022. 134 с.

На укр. мові. Бібліогр.: 29 назв; рис.: 67; табл. 19.

У магістерській кваліфікаційній роботі проведено розробку цифрового пристрою автоматичної витримки часу на ПЛІС. В ході розробки було здійснено літературний огляд існуючих прототипів та можливості їх застосування. В першому розділі розглянуто існуючі типи ПЛІС, їх класифікацію, а також принципи їх роботи і програмування. В другому розділі виконано проектування всіх блоків пристрою, розглянуто можливість створення такого роду пристроїв в спеціалізованій САПР QUARTUS II. Розглянуто можливість об'єднання двох ПЛІС різного типу з метою збільшення доступного ресурсу та забезпечення енергонезалежності. В наступному розділі було проведено комп'ютерне моделювання пристрою у згаданій вище САПР, а також проведено аналіз отриманих результатів (часових діаграм). В останньому розділі було описано апаратну реалізацію пристрою на двох, об'єднаних у одну систему, ПЛІС лабораторного макету Altera Development Kit, а також описано процес роботи пристрою в цілому.

Також у магістерській кваліфікаційній роботі проведено розрахунки економічної частини та розділу охорони праці та безпека в надзвичайних ситуаціях.

Ключові слова: цифровий пристрій, радіоавтоматика, програмовані логічні інтегральні схеми, затримка часу.

ABSTRACT

Bryndak I.P. Controlled time delay radio automatic devices on programmable logic integrated circuits. Master's qualification work in specialty 172 - telecommunications and radio engineering, educational program - radio engineering. Vinnytsia: VNTU, 2022. 134 p.

In Ukrainian language. Refs.: 29 titles; Figs.: 67. Tables: 19.

In the master's qualification work, the development of a digital device for automatic timing on the FPGA was carried out. In the course of development, a literature review of existing prototypes and the possibilities of their application was carried out. In the first section, the existing types of FPGAs, their classification, as well as the principles of their operation and programming are considered. In the second section, the design of all the device blocks is performed, the possibility of creating such devices in the specialized CAD QUARTUS II is considered. The possibility of combining two FPGAs of different types was considered in order to increase the available resource and ensure energy independence. In the next section, a computer simulation of the device was carried out in the above-mentioned CAD, as well as an analysis of the obtained results (timing diagrams). The last chapter described the hardware implementation of the device on two FPGAs of the Altera Development Kit laboratory model combined into one system, and also described the overall device operation process.

Also in the master's qualification work, calculations were made of the economic part and the section of labor protection and safety in emergency situations.

Keywords: digital device, radio automation, programmable logic integrated circuits, time delay.

ЗМІСТ

ВСТУП	7
1 ЛІТЕРАТУРНИЙ ОГЛЯД	11
1.1 Огляд існуючих пристроїв автоматичної витримки часу	11
1.2 Огляд сучасних ПЛІС	13
1.3 Класифікація ПЛІС за способами програмування структури	15
1.4 Програмування і конфігурування.....	19
1.5 Макрокомірка	30
1.6 Блок керування вводом/виводом	33
1.7 Особливості архітектури ПЛІС із тригерною пам'яттю	33
2 ПРОЕКТУВАННЯ ОСНОВНИХ ФУНКЦІОНАЛЬНИХ БЛОКІВ	
ПРИСТРОЮ АВТОМАТИЧНОЇ ВИТРИМКИ ЧАСУ	37
2.1 Розробка структурної схеми пристрою автоматичної витримки часу	37
2.2 Проектування подільника частоти	39
2.3 Проектування лічильника.....	40
2.4 Проектування генератора коду відліків.....	44
2.5 Проектування дешифратора семисегментного коду	45
2.6 Розрахунок та проектування генератора кодових послідовностей.....	47
2.7 Розрахунок похибки пристрою	51
3 МОДЕЛЮВАННЯ У САПР QUARTUS II ТА АПАРАТНА	
РЕАЛІЗАЦІЯ ПРИСТРОЮ АВТОМАТИЧНОЇ ВИТРИМКИ	
ЧАСУ	53
3.1 Моделювання пристрою автоматичної витримки часу у САПР Quartus II.....	53
3.2 Апаратна реалізація пристрою автоматичної витримки часу	61
3.3 Результати модельного дослідження працездатності блоків пристрою	66
4 ЕКОНОМІЧНА ЧАСТИНА	85

4.1 Проведення комерційного та технологічного аудиту науково-технічної розробки	85
4.2 Розрахунок узагальненого коефіцієнта якості розробки	89
4.3 Розрахунок витрат на проведення науково-дослідної роботи.....	91
4.4 Розрахунок економічної ефективності науково-технічної розробки при її можливій комерціалізації потенційним інвестором	105
4.5 Висновки до розділу	109
5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ	111
5.1 Технічні рішення щодо безпечного виконання роботи.....	112
5.2 Технічні рішення з гігієни праці та виробничої санітарії.....	115
5.3 Матеріально-технічне забезпечення радіаційного і хімічного захисту	121
ВИСНОВКИ	123
СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ	125
Додаток А (обов'язковий). Ілюстративна частина	128
Додаток Б (обов'язковий) Протокол перевірки навчальної (магістерської) кваліфікаційної роботи	140

ВСТУП

Актуальність теми.

Зважаючи на сучасний розвиток науки постає необхідність виконувати цифрові пристрої та системи на основі новітніх технологій з дуже високою швидкодією та точністю. Вони повинні відповідати сучасним вимогам, щоб була можливість адаптувати їх до значно складніших сучасних систем, пов'язувати їх між собою.

Технологія ПЛІС (з англ. programmable logic device, PLD) дозволяє будувати цифрові системи з тактовою частотою до 1,33 ГГц. Дані системи можуть мати значну розрядність, що дає можливість застосовувати їх у комплексі із процесорами та контролерами, а також інших ПЛІС провідних фірм, таких як Texas Instruments, Infineon, Atmel, Altera, Lattice semiconductor та інші [1].

Програмована логічна інтегральна схема - електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від цифрових мікросхем, логіка роботи ПЛІС не визначається при виготовленні, а задається шляхом програмування (проектування). Для програмування використовуються відлагоджувальні програми, що дозволяють задати бажану структуру цифрового пристрою в вигляді принципової електричної схеми чи програми на спеціальних мовах Verilog, VHDL (Verilog Hardware dynamic language). Альтернативою ПЛІС є ВІС (великі інтегральні схеми), які суттєво дорожче і комп'ютери (мікроконтролери), які через програмний спосіб реалізації алгоритмів менш швидкодіючі аніж ПЛІС. Деякі виробники пропонують процесори для своїх ПЛІС, які можуть бути модифіковані під конкретну задачу і потім інтегровані в неї, тим самим зменшивши місце на друкованій платі і спростивши розробку для самої ПЛІС [2-4].

ПЛІС широко використовується для побудови різноманітних по швидкодії і можливостям цифрових пристроїв. Це реалізації, де необхідна велика кількість портів введення/виведення (в даний час число вентилів на кристалі

досягло 2 мільярдів, число виводів - 2000, а швидкодія знаходиться на рівні 0,75 наносекунди), цифрова обробка сигналів (ЦОС), цифрова відео-аудіо апаратура, високошвидкісна передача даних, криптографія, проектування ASIC (англ. application-specific integrated circuit - спеціалізована для вирішення конкретної задачі інтегральна схема), в якості мостів (комутаторів) між системами з різною логікою і напругою живлення [2].

Аналіз останніх досліджень.

Існує два типи сучасних ПЛІС. Перший із них, це CPLD (англ. complex programmable logic device — складні програмовані логічні пристрої) містять відносно великі програмовані логічні блоки — макрокомірки (англ. macrocells), сполучені із зовнішніми виводами і внутрішніми шинами. Функціональність CPLD кодується в незалежній пам'яті, тому немає необхідності їх перепрограмувати при ввімкненні [5-7].

Іншим типом ПЛІС є FPGA (англ. field-programmable gate array) містять блоки множення - підсумовування, що широко застосовуються при обробці сигналів, а також логічні вентиля і їх блоки комутації. FPGA зазвичай використовуються для обробки сигналів, мають більше логічних елементів і гнучкішу архітектуру, ніж CPLD. Програма для FPGA зберігається в розподіленій енергозалежній оперативній пам'яті мікросхеми, тому потрібний початковий завантажувач. Альтернативою ПЛІС FPGA є повільніші цифрові процесори обробки сигналів. FPGA застосовуються також, як прискорювачі універсальних процесорів в суперкомп'ютерах.

Історія розвитку ПЛІС починається із появи на початку 70-х років програмованих ПЗП (з англ. Programmable Read Only Memory - PROM). Перший час PROM використовувались виключно для збереження даних, пізніше їх стали застосовувати для реалізації логічних функцій. Однак необхідність приведення логічних функцій до досконалої диз'юнктивної нормальної форми (ДДНФ) не дозволяло застосовувати PROM для реалізації функцій великих розмірів [8-10].

Спеціально для реалізації систем булевих функцій великої кількості змінних були розроблені і з 1971 року стали випускатись промисловістю ПЛІМ (Programmable Logic Arrays - PLA), які отримали широке застосування в якості універсальної елементної бази цифрових пристроїв [3].

Вдосконалення архітектури PLA привело до появи програмованих логічних матриць, які до теперішнього часу визначають архітектуру ПЛІС. Подальше вдосконалення технології виробництва інтегральних схем на початку 90-х років привело до можливості реалізації на одному кристалі декілька PLA, що об'єднуються програмованими з'єднаннями. Подібна архітектура отримала назву складних ПЛІП (complex PLD - CPLD) [11, 12].

Паралельно з PLD розвивалася архітектура вентильних матриць (Gate Array - GA) і матриць логічних комірок (Logic Cell Array - LCA), що в українській літературі отримали назву базових матричних кристалів (БМК). Перші вентильні матриці були напівзамовними, тобто програмувалися під час виготовлення, що сильно стримувало їх широке використання. Проте в 1985 році фірма Xilinx випустила програмовану користувачем вентильну матрицю (Field Programmable Gate Array - FPGA). Це дало сильний поштовх до широкого поширення вентильних матриць і конкуренції їх з PLD [3].

Мета роботи

Метою роботи є розрахунок пристрою автоматичної витримки часу на ПЛІС, робота якого поділяється на два етапи: в першому виконується відлік часових дискретів і виведення їх на індикатори семи-сегментного коду, в другому виконується генерація кодових послідовностей і виведення їх на світло-діоди.

Задачі досліджень

Задачами досліджень магістерської кваліфікаційної роботи є:

- провести аналіз сучасного стану пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах;
- провести літературний огляд пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах;

- розробити варіанти пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах на навчальному макеті Altera Development Kit;
- здійснити дослідження пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах на навчальному макеті Altera Development Kit.

Наукова новизна одержаних результатів – отримав подальший розвиток метод побудови пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах.

Практична новизна одержаних результатів – полягає в отриманих нових конструкцій і результатів експериментальних і модельних досліджень пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах.

Апробація результатів роботи. Основні ідеї роботи доповідалися та обговорювалися на XI міжнародній науково-практичній конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», 12-14 грудня 2022 року, м. Запоріжжя, Національний Університет «Запорізька Політехніка» [13].

Публікації результатів наукових досліджень. За темою досліджень автором опубліковано 1 статтю у збірнику тез доповідей XI міжнародній науково-практичній конференції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», 12-14 грудня 2022 року, м. Запоріжжя, Національний Університет «Запорізька Політехніка» [13].

1 ЛІТЕРАТУРНИЙ ОГЛЯД

1.1 Огляд існуючих пристроїв автоматичної витримки часу

Пристрої автоматичної витримки часу, або стартозупинні пристрої – це пристрої, що виконуються з метою отримання неперервно-змінних станів та комутуються за допомогою цифрових систем (ЦС), вихідна дія яких напряму залежить від номінальних чи випадкових відрізків часу, що формуються також за допомогою ЦП. Крім того в розрізних відрізках часу може відбуватися генерування чи передача інформації (цифрових чи аналогових сигналів) [4].

Як правило, поділяють такі пристрої також за видом кодової послідовності на виході.

Також такі пристрої поділяють на синхронні і асинхронні. Синхронні пристрої це такі, що з стабільною частотою виконують перемикання між режимами. Асинхронні пристрої автоматичної витримки часу можуть керуватись автоматично, напівавтоматично і вручну. Тобто при автоматичному перемиканні відбувається за певним законом, що є неперіодичним і керується лише пристроєм. Напівавтоматичне перемикання - це перемикання, що здійснюється автоматично з можливістю оператором змінювати послідовність і періодичність перемикань. Перемикання вручну – це процес, що керується лише оператором. В останніх двох системах повинно бути передбачено можливість зміни посилок інформації, що генеруються чи передаються в міжкомутаційних відрізках часу [5].

Іншою класифікаційною ознакою пристроїв є їх точність. Так за точністю розрізняють надвисокоточні пристрої автоматичної витримки часу (менше 10^{-9}), високоточні ($10^{-9} \dots 10^{-6}$), середньої точності ($10^{-6} \dots 10^{-4}$), незадовільної точності (більше 10^{-4}), які взагалі не використовуються [4].

Одним із основних застосувань пристроїв автоматичної витримки часу є забезпечення роботи кінцевих телеграфних пристроїв.

Виключно важливе значення для забезпечення керування військом як в минулому так і в теперішній час займає телеграфний зв'язок. Він характеризується простотою технічної реалізації і обслуговування, високою завадостійкістю і можливістю документування повідомлень [3].

Так, в стартостопних телеграфних апаратах застосовується пристрій автоматичної витримки часу, щоб сформувати стартову кодову послідовність – безструмову і стопову – струмову посліжки. Таким чином, в цілому кодова комбінація містить сім двійкових імпульсів (див. рисунок 1.1), із яких п'ять інформаційних і два службових.

Тобто при стартостопному телеграфуванні розподільники передаючого та приймаючого апаратів запускаються та зупиняються одночасно. Це досягається введенням у кодову комбінацію спеціальних стартового та стопового одиничних елементів.

У букводрукувальних телеграфних апаратах типу СТ-2М, СТА-2, СТА-2М, СТА-2МФ, СТА-М67, що широко застосовують в загальнодержавній і військовій системах зв'язку застосовується стартостопний спосіб фазування. Від передаючого апарату до приймального передаються імпульси фазування, по яким приймальний апарат і починає працювати [4].

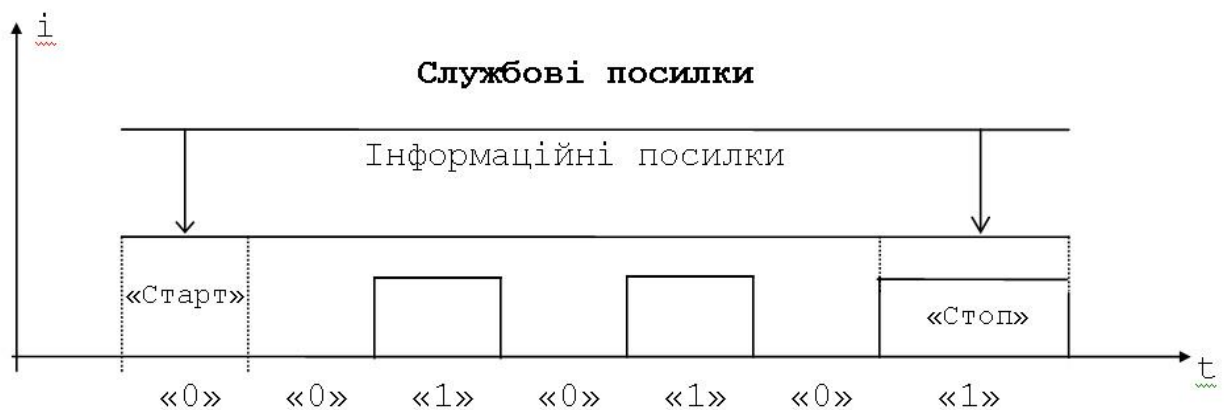


Рисунок 1.1 – Посилки телеграфії

Також такого роду пристрої середньої і високої точності застосовуються в системах радіолокації та навігації, де в коротких проміжках часу формується і передається посилки, яка відбивається від перешкоди, повертається на приймальну частину і декодується. Оскільки імпульси не передаються постійно і формуються лише у дуже коротких відрізках часу, то застосування пристрою автоматичної витримки часу дозволяє як сформувати передавану послідовність так і декодувати її після прийому.

1.2 Огляд сучасних ПЛІС

Інтегровані мікросхеми (ІС) за рівнем інтеграції (який для цифрових ІС найчастіше оцінюється кількістю еквівалентних двохходових логічних елементів в одному кристалі) поділяють на малі (МІС), середні (СІС), великі (ВІС) та надвеликі (НВІС). У вигляді МІС випускаються, в основному, функціонально повні набори логічних елементів, наприклад, І-НЕ, а також допоміжні щодо логіки елементи, наприклад, буфери. З огляду на це МІС є універсальними – на них можна побудувати ЦП довільної складності, але для цього потрібно багато корпусів ІС, що збільшує габарити і витрати та знижує надійність. Саме тому було налагоджено випуск СІС, які вміщують готові ЦКП або ЦПП невеликої розрядності, наприклад, дешифратори, мультиплектори, регістри, лічильники. При цьому кількість друкованих плат, необхідних для побудови ЦП, зменшується, але внаслідок зниження універсальності СІС необхідно мати широку номенклатуру (розвинуті серії містять до сотень типоміналів ІС), що знижує серійноспроможність мікросхем і, як наслідок, збільшується їх вартість [4].

Попри можливості мікроелектроніки, подальший шлях нарощування ступеня інтеграції стандартних ІС жорсткої структури виявляється невиправданим – величезні витрати на розробку ВІС і НВІС такого типу не окупаються внаслідок зниження їх універсальності, отже, і серійноспроможності. Через це випускаються спеціалізовані ВІС / НВІС на замовлення для масового

виробництва, завдяки чому витрати на їх розробку розкладаються на велику кількість виробів і вартість ІС у розрахунку на один виріб стає нижчою.

Забезпечення універсальності ІС полягає в їх програмованості, коли кожний споживач може налаштувати стандартну ІС на виконання потрібних функцій. Для здійснення цього є два шляхи. Перший пов'язаний з розробкою мікропроцесорних ІС, структура яких залишається незмінною, а функції визначаються записаною до пам'яті програмою у вигляді команд, що виконуються одна за одною послідовно в часі. Складність вирішуваних задач є при цьому практично необмеженою (за нарощуваного обсягу пам'яті), але швидкодія через послідовну дію може виявитися недостатньою. Через це в радіотехнічних системах вдаються, наприклад, до застосування апаратних засобів арифметичного множення, яке в мікропроцесорі займає багато часу, бо виконується за алгоритмом з багатьох кроків.

Другий шлях полягає в програмуванні структури ІС на виконання потрібних функцій. Властивість програмованості набували вже деякі СІС або їх комбінації (такі як арифметико-логічний пристрій, універсальний логічний модуль на мультиплексорі з вхідним регістром, програмований лічильник на базі двійкового лічильника і компаратора тощо). Проте суттєвий крок в бік програмованості структури було зроблено лише із впровадженням програмованих логічних матриць (ПЛМ) і базових матричних кристалів (БМК) – мікросхем, які стали називати програмованими логічними ІС (ПЛІС). На базі таких мікросхем з'явилися якісно нові складні високо-інтегровані і надвисоко-інтегровані схеми програмованої структури (випускаються, в основному, фірмами США)[2]. За відсутністю усталеного слов'янського терміна користуватимемося назвою ПЛІС, розуміючи при цьому їх сучасне покоління.

Крім універсальності і, як наслідок, зниження вартості проектів на їх основі такі НВІС забезпечують високу швидкодію, проте складність виконуваних функцій, на відміну від мікропроцесорів, цілком визначається кількістю елементів на кристалі і системою їх зв'язків (сучасні ІС вміщують до кількох мільйонів еквівалентних вентилів). В міру зростання ступеня інтеграції

в ПЛІС стали розміщувати системні модулі, такі як блоки пам'яті, мікропроцесори, периферійні пристрої, зокрема, 32-розрядні порти вводу-виводу, мікроконтролери, пристрої звертання до зовнішньої пам'яті, арифметичні помножувачі, помножувачі частоти, системи ФАПЧ, приймачі-передавачі систем передачі даних, тощо. Подібні ПЛІС здобули назву SOC (Systems On Chip – системи на кристалі). На цей час засвоєно випуск великої кількості типів ПЛІС, які поділяються на родини (родина складається з однотипних ІС різної складності) і цей напрямок радіоелектроніки, що поєднує мікроелектроніку, схемотехніку і САПР, стрімко розвивається [3].

Сучасні ПЛІС, які крім логічних блоків містять процесори, пам'ять, периферійні пристрої, різні інші модулі, придатні для побудови складних ЦП і радіотехнічних систем обробки інформації, інформаційно-вимірювальних систем і систем зв'язку, тощо. Такі ПЛІС здатні замінити громіздке і коштовне обладнання для експериментального відпрацювання прототипів розробок і пришвидшити їх впровадження у виробництво, у тому числі якщо практична реалізація здійснюватиметься на інших засобах. У царині наукових досліджень з'являються можливості швидкого переходу від моделювання в САПР до експерименту на ПЛІС. І, нарешті, усунуто перешкоди щодо активізації навчального процесу шляхом моделювання і дослідження власних проектів або їх фрагментів, а також є можливість подолати традиційну відсталість експериментальної бази навчальних закладів.

1.3 Класифікація ПЛІС за способами програмування структури

Під час використання САПР, довідкової інформації, зокрема, про типи мікросхем і їх програмування доводиться стикатися з масою англomовних термінів (у перекладній літературі їх залишають без перекладу або перекладають по-різному). Крім того, програмовані елементи, в яких зберігається інформація про конфігурацію ІС, за технологією виконання подібні до запам'ятовувальних пристроїв (ЗП), тому в інформації щодо типу ПЛІС зазви-

чай робляться посилання на тип ЗП (бо історично останні з'явилися раніше). Аби усунути плутанину та послабити труднощі застосування ПЛІС, спричинені термінологією, наведемо стисло класифікацію мікросхем за способами програмування їх структури (рисунок 1.2) із зазначенням основних понять (їх аббревіатури виділено в тексті підкресленим шрифтом), необхідних для розуміння САПР і довідкової інформації [5].

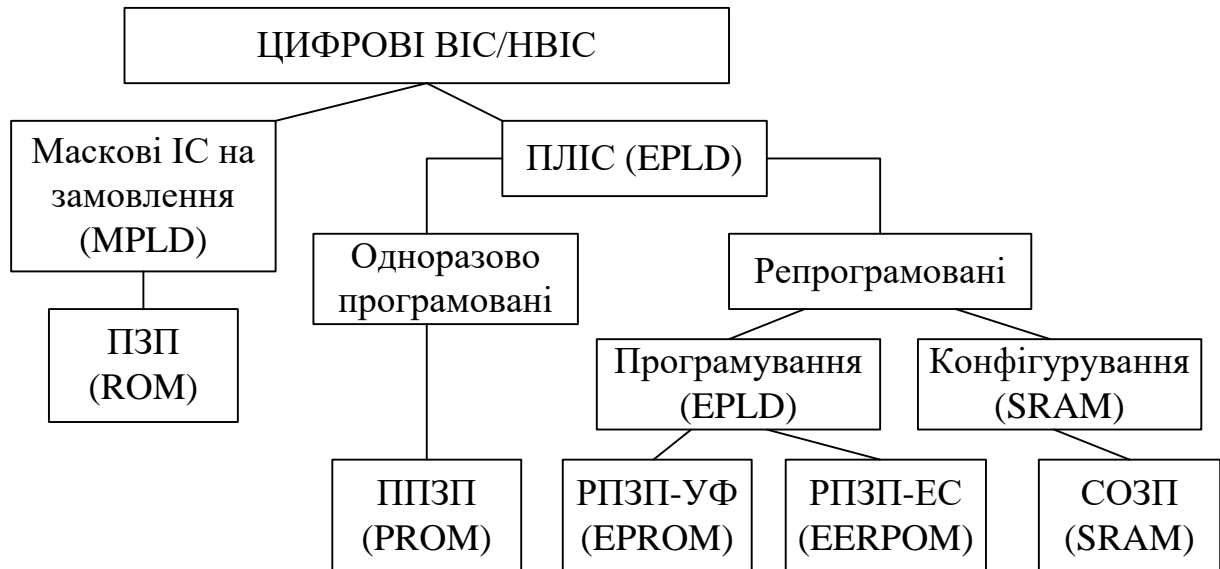


Рисунок 1.2 – Типи ПЛІС

Якщо мікросхеми (в САПР подаються як Devices) програмуються під час виготовлення шляхом зміни масок, такий метод базується на інтегральній технології постійних запам'ятовувальних пристроїв (ПЗП), що відповідає англomовному терміну Read-Only Memory (ROM) – „пам'ять тільки для читання”. Завдяки вилученню комірок пам'яті конфігурації з ПЛІС і оптимізації їх структури для заданого застосування досягаються високі якісні показники мікросхем. Такі ІС (наприклад, фірми Altera) виготовляються на замовлення для крупносерійного виробництва, де вони є рентабельними, або для спеціальної, зокрема, космічної техніки [6].

Для типів ПЛІС, що виконуються за технологією програмованих ПЗП (ППЗП), у САПР використовується термін Programmable ROM (PROM). ПЛІС такого типу (наприклад, фірми Actel) є одноразово програмованими

користувачем, тому їх доцільно застосувати, як правило, в серійному виробництві, коли проект є ретельно відпрацьований і виготовлені вироби не підлягають модернізації [6].

Якщо конфігурацію мікросхем можна змінювати шляхом стирання інформації, що в них міститься, і записом нової, за технологією вони відповідають репрограмованим ПЗП (РПЗП). Такі ПЛІС позначаються в САПР як EPLD – Erasable Programmable Logic Device (стиранна програмована логічна ІС), а типонамінали родини ІС (далі посилання робляться на ІС фірми Altera) містять аббревіатуру EP (Erasable Programmable), наприклад, ІС типу EPM7128S родини MAX 7000S. Процедура зміни конфігурації мікросхем типу EPLD, яка полягає в стиранні старої і запису нової інформації, називається в САПР програмуванням [6].

Різновид мікросхем EPLD, в яких стирання записаної інформації здійснюється ультрафіолетовим промінням, базується на технології РПЗП з ультрафіолетовим стиранням (РПЗП-УФ), що відповідає англійській назві Erasable Programmable Read-Only Memory (EPROM), тому вони позначаються як EPROM-based EPLD; прикладом є ІС родин Classic, MAX 5000. ПЛІС, що базуються на технології РПЗП-УФ, компактні, але виконуються в дорогому корпусі з прозорим для ультрафіолетового проміння віконцем. Крім того, для стирання старої інформації потрібно опромінювати кристал (тривалістю біля години) з вилученням ІС із пристрою та кількість циклів стирання обмежена (до 10 ... 100) через деградацію властивостей матеріалів під дією УФ-променів.

ПЛІС типу EPLD, в яких пам'ять конфігурації стирається електричними сигналами, за технологією подібні до РПЗП з електричним стиранням (РПЗП-ЕС), що відповідає англійському терміну Electrically Erasable Programmable Read-Only Memory (EEPROM або E2PROM). До таких ІС, що позначаються як EEPROM-based EPLD, належать родини MAX 7000A, 7000B, 7000E, 7000S, 7000AE (є ще MAX 7000, але ця родина ІС в нових розробках не рекомендована); MAX 3000A; MAX 9000, 9000A (MAX – Multiple

Array Matrix – матриця численних масивів). Програмування ПЛІС, що базуються на технології РПЗП-ЕС, виконується підключенням до комп'ютера в звичайних лабораторних умовах або пристрою без вилучення з нього ІС, або апаратного програматора, в який вставляється ІС. Стирання старої і запис нової пам'яті конфігурації здійснюється протягом мілісекунд, а кількість циклів перепрограмування сягає $10^4 \dots 10^6$ [6]. З удосконаленням технології площа програмувальних елементів з електричним стиранням зменшується і такі ПЛІС витісняють схемотехніку з УФ-стиранням. ПЛІС типу EPLD особливо зручно використовувати в нових розробках, що значно скорочує час і витрати.

Різновидом РПЗП-ЕС є пам'ять типу Flash (спалах, мить), що відрізняється структурою, яка дозволяє виконувати електричне стирання всієї інформації одночасно або великими блоками. Серед EPLD є родина ІС FLASHlogic, яка складається з мікросхем EPX8160 та EPX880.

Для типів ПЛІС, пам'ять конфігурації яких виконується за технологією оперативних запам'ятовувальних пристроїв (ОЗП), у САПР використовується термін Random-access memory (RAM) – „пам'ять із прямим доступом” (ЗП з довільною вибіркою). Тригерні ЗП належать до статичних ОЗП (СОЗП) – Static RAM (SRAM), тому ПЛІС із тригерною пам'яттю конфігурації позначаються як SRAM-based devices. До таких ПЛІС належать родини ACEX 1K; FLEX 6000, 6000A; FLEX 8000, 8000A; FLEX 10K, 10KA, 10KE; APEX 20K, 20KC, 20KE; APEX II; ARM-Based Excalibur (мікросхема EPXA10); Mercury та ін. У ПЛІС, що базуються на технології СОЗП, стирання не потрібне, бо в тригерах інформація поновлюється під час її запису, а кількість циклів перепрограмування не обмежена. Процедура зміни конфігурації мікросхем типу SRAM-based, яка полягає в запису нової інформації без стирання старої, називається в САПР конфігуруванням. Проте, на відміну від ПЗП, тригерна пам'ять в ОЗП є енергозалежною: по вимкненні джерела живлення інформація руйнується. Цей недолік подолано шляхом впровадження конфігурацій-

них ІС з енергонезалежною пам'яттю, яка автоматично завантажується до ІС із тригерною пам'яттю конфігурації по ввімкненні джерела живлення.

ПЛІС фірми Altera типів EPLD і SRAM-based до модифікацій FLEX 10К включно підтримуються САПР MAX+plus II, а подальші розробки, починаючи з APEX 20К (як і всі попередні) підтримуються САПР Quartus II.

1.4 Програмування і конфігурування

1.4.1 Режими програмування і конфігурування

Структуру ПЛІС можна налаштовувати для реалізації проектів за програмувальними файлами у двох режимах – у режимі програмування (Program) або конфігурування (Configure). Режим програмування застосовується для мікросхем типу EPLD, виготовлених за технологією РПЗП-ЕС (EEPROM), у тому числі такому різновиду як флеш-пам'ять, та РПЗП-УФ (EPROM). Режим конфігурування може застосовуватися для мікросхем, виготовлених за технологією СОЗП (SRAM). Перед перепрограмуванням ПЛІС, що базуються на технології РПЗП-УФ, потрібне попереднє стирання даних ультрафіолетовим промінням з вилученням її з пристрою [6].

Фізичне програмування або конфігурування виконується під дією згенерованих під час компіляції проекту програмувальних файлів, що надходять з комп'ютера. Залежно від установлених опцій програматора в автоматичному режимі реалізуються такі функції: 1) перевірка наявності контакту між мікросхемою і відповідним з'єднувальним пристроєм; 2) перевірка на порожність (Blank-Check), тобто на відсутність перед програмуванням записаної до ІС інформації; 3) програмування (Program) або конфігурування (Configure), яке полягає в завантаженні до ІС даних з програмувального файлу і налаштуванні її структури на виконання потрібних функцій; 4) верифікація (Verify), тобто перевірка ІС після програмування на відповідність записаної до неї інформації даним програмувального файлу; 5) функціональне тестування запрограмованої ІС (Test) шляхом подачі на її входи комбінацій сигналів згідно

із сигнальним файлом та порівняння вихідних сигналів на відповідність їх часовим діаграмам SCF-файлу; б) випробування (Examine), яке полягає в зчитуванні даних від запрограмованої ІС (якщо вона не захищена спеціальним бітом захисту) з можливістю запису їх у власному файлі і подальшого використання, наприклад, з метою з'ясувати причини незадовільної роботи даної ІС або для програмування інших ІС [5].

1.4.2 Програмовані елементи ПЛІС

Програмованість ІС досягається за допомогою програмованих двополюсників ab , еквівалентних ключам (рисунок 1.3,а). Програмування полягає в зміні провідності двополюсника, тобто в переведенні ключа до замкненого або розімкненого стану. Якщо ключ замкнено, відповідний сигнал s_j надходить до входу логічного елемента ЛЕ, а якщо розімкнено – не надходить, отже вихідний сигнал z_i визначатиметься функцією ЛЕ і запрограмованою ключами сукупністю вхідних сигналів. На спрощеному зображенні замкнені ключі позначаються точками на перетині ліній, а розімкнені – відсутністю зв'язків, тому зазначені двополюсники називаються програмованими точками зв'язку або в англійській документації Programmable Interconnection Point (PIP). Кількість програмованих точок зв'язку залежно від складності ІС може сягати мільйонів. Зупинимося стисло на основних типах програмованих точок зв'язку, що застосовуються в сучасних ПЛІС.

Перетинки (рисунок 1.3,б) використовуються як ПТЗ в одноразово програмованих ІС (див. рисунок 1.2). Під час програмування залишають лише необхідні елементи зв'язку $a b$, а непотрібні усувають перепалюванням топкових перетинок імпульсами струму достатньої величини і тривалості. У сучасних ПЛІС із перетинками новітньої технології у вигляді тришарового діелектрика оксид-нітрид-оксид, навпаки, програмувальним імпульсом напруги перетинка пробивається, завдяки чому створюється провідний канал між точками a , b . Перевагою ІС із програмованими точками зв'язку останнього типу є компактність і низька вартість, а недоліком – доцільність застосування ли-

ше в серійному виробництві, коли проект є ретельно відпрацьований і виготовлені вироби не підлягають модернізації. [3]

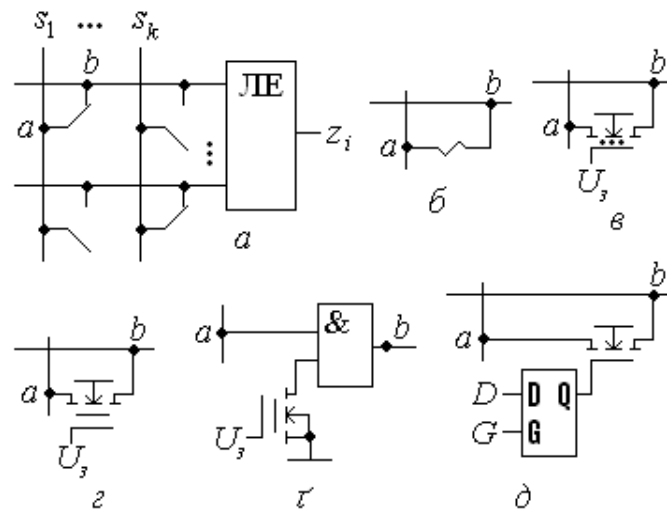


Рисунок 1.3 – Елементи пам'яті конфігурації

Як елементи пам'яті конфігурації сучасних ПЛІС типу EPLD з УФ-стиранням керують транзистори типу ЛІЗМОН з пливним заслоном (ЛІЗМОН – МОН-транзистори з лавинною інжекцією заряду). Пливний заслін може бути єдиний або додатковий до звичайного заслону як умовно зображено на рисунку 1.3,в. Область між керувальним заслоном і каналом, оточена з усіх боків діелектриком, називається пливним заслоном. Під час програмування напругою на керувальному заслоні U_3 до цієї області вводиться заряд, що визначає стан транзистора: відчинений транзистор з'єднує точки a , b , а зачинений – залишає їх роз'єднаними. По знятті програмувальної напруги цей заряд здатний зберігатися довгий час (протягом багатьох років), тобто запам'ятовувати конфігурацію ІС. Перед перепрограмуванням виконують стирання інформації в елементі пам'яті УФ-промінням через прозоре віконце в корпусі ІС. Це проміння спричиняє фотоструми і теплові струми, які руйнують заряд пливного заслону за кілька десятків хвилин.

Аналогічним за принципом дії є елемент пам'яті конфігурації ПЛІС типу EPLD з електричним стиранням на транзисторі типу ЛІЗМОН з подвійним заслоном (рисунок 1.3,г). Між керувальним заслоном і каналом вміщується

оточена з усіх боків діелектриком провідна ділянка з полікремнію або металу, яка утворює другий заслін. Запис здійснюється подачею на заслін високої напруги, при відімкненому заслоні інформація зберігається, а подачею низької напруги (заземленням) відбувається швидке стирання пам'яті конфігурації. З метою зменшення затримки поширення через програмувальні ключі їх вилучають з кола передачі сигналу (рисунок 1.3,г): якщо до ЛІЗМОН-транзистора записано логічної 1, сигнал передається через елемент І з малою затримкою, а якщо логічний 0 – ділянка між точками a , b розімкнена [4].

У ПЛІС типу SRAM-based програмованою точкою зв'язку є ключовий транзистор (pass-transistor) між точками a , b , а елементом пам'яті конфігурації – тригер (рисунок 1.3,д). Під час програмування сигналом $G = 1$ тригер активізується і по входу D до нього записується інформація. У робочому режимі сигналом $G = 0$ тригер перебуває в режимі зберігання конфігурації: якщо $Q = 1$, точки a , b відчиненим транзистором з'єднуються, а якщо $Q = 0$, транзистор зачинено і точки a , b залишаються роз'єднаними. До тригера не ставиться вимога високої швидкодії, тому його проектують з міркувань максимально можливої компактності і стійкості статичних станів. У такій схемі перед конфігуруванням не потрібна процедура стирання інформації, а енергонезалежність, у разі потреби, забезпечується додатковою простою конфігураційною ІС. По ввімкненні джерела живлення автоматично відбувається ініціалізація – процедура конфігурування шляхом перезапису інформації з енергонезалежної пам'яті до тригерів. Тригерна пам'ять конфігурації широко застосовується в останніх розробка ПЛІС.

1.4.3 Принцип побудови програмованих логічних матриць

Для реалізації логічних функцій в диз'юнктивній формі спочатку в елементах І утворюють терми – добутки змінних, а відтак потрібні терми підсумовують в елементах АБО. Регулярні структури з елементів І та АБО, в яких змінні до входів елементів І та терми до входів елементів АБО вибираються за допомогою програмованих точок зв'язку, називають програмова-

ними логічними матрицями ПЛМ (Programmable Logic Array, PLA).

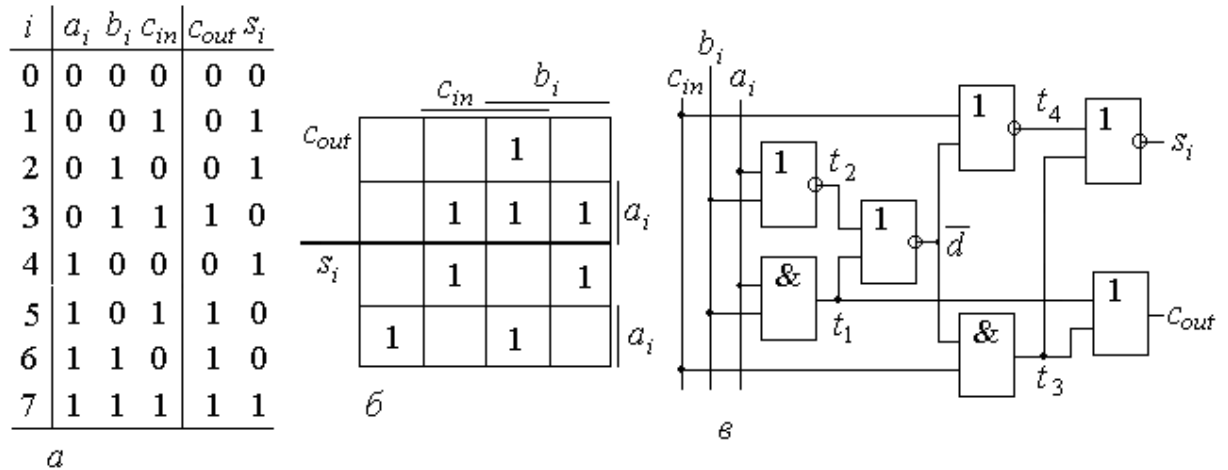


Рисунок 1.4 – Схема побудови повного суматора розрядів двох чисел

а) схема перемикань, б) діаграма термів, в) схема суматора

Проілюструємо утворення таких матриць на прикладі побудови повного суматора розрядів двох чисел a_i , b_i та вхідного переносу до цього розряду c_{in} (рисунок 1.4,а). Мінімізуємо функцію вихідного переносу c_{out} , а функція суми s_i не піддається мінімізації (рисунок 4,б), тому їх ДНФ має вигляд [4]

$$c_{out} = a_i b_i + a_i c_{in} + b_i c_{in} = t_1 + t_2 + t_3;$$

$$s_i = \overline{a_i b_i c_{in}} + \overline{a_i b_i} c_{in} + \overline{a_i} b_i c_{in} + a_i b_i c_{in} = t_4 + t_5 + t_6 + t_7,$$

де t_i – відповідні терми.

Реалізацію суматора згідно з цими виразами зображено на рисунок 1.5,а. Вхідні однофазні сигнали a_i , b_i , c_{in} у блоці вхідних буферів БВх перетворюються в парафазні і підсилюються за потужністю для забезпечення необхідного коефіцієнту розгалуження. У програмованій матриці з'єднань ПМЗ (Programmable Interconnect Array, PIA) за допомогою ПТЗ (ввімкнені елементи з'єднань позначено точками) виконуються потрібні з'єднання прямих або інверсних сигналів зі входами матриці МІ елементів І для утворення термів t_j . Вихід кожного елемента І живить одну з вертикальних ліній матриці розподілу термів МРТ (Product-Term Select Matrix, PSM), щоб можна було використовувати одні й ті самі терми для утворення різних функцій. Горизо-

нтальними лініями так само за допомогою ПТЗ вибираються потрібні терми, які надходять до входів матриці МАБО елементів АБО, де і реалізуються задані логічні функції. Блок вихідних буферів БВих призначений для забезпечення навантажувальної здатності виходів, формування сигналів потрібної полярності та, у разі потреби, і рівнів (для зменшення споживаної потужності внутрішні елементи логічної матриці можуть живитися від джерела з меншою напругою, ніж зовнішні елементи). Вихідні буфери здатні виконувати й інші функції, зокрема, зберігати інформацію у вихідному регістрі, а за застосування елементів з трьома станами виходу також приєднувати ІС до зовнішньої шини або від'єднувати від неї додатковим сигналом дозволу ОЕ.

Таким чином, структурна схема ПЛМ набуває вигляду рисунок 1.5,б. З числа m змінних $x_1 \dots x_m$ у матриці І формуються терми $t_1 \dots t_b$, отже, кількість І кон'юнкторів дорівнює числу термів. Відтак у матриці АБО утворюються функції $y_1 \dots y_n$, тому кількість диз'юнкторів n дорівнює числу функцій. Розмірність матриці $m : 1 : n$ є одним з основних її параметрів. Другим важливим параметром є швидкодія, яка для схеми на рисунок 1.4,а буде найбільшою для базових елементів певного типу через двоступеневу (без урахування буферів) реалізацію функцій [4]

$$t_1 = a_i b_i; t_2 = \overline{a_i + b_i} = \overline{a_i} \overline{b_i}; \overline{d} = \overline{t_1 + t_2}, d = t_1 + t_2;$$

$$t_3 = c_{in} \overline{d}; t_4 = \overline{c_{in} + d} = \overline{c_{in}} d; c_{out} = t_1 + t_3; s_i = \overline{t_3 + t_4}$$

Проте задля ощадливості щодо ресурсу і гнучкості побудови вдаються до розширення функціональних можливостей ПЛМ. Так, складність схеми (див. рисунок 1.5,а) $q = 9 / 25$ (кількість логічних елементів без буферів / загальна кількість їх входів) можна зменшити до $q = 7 / 14$ (рисунок 1.4,в) за спільної схемної мінімізації.

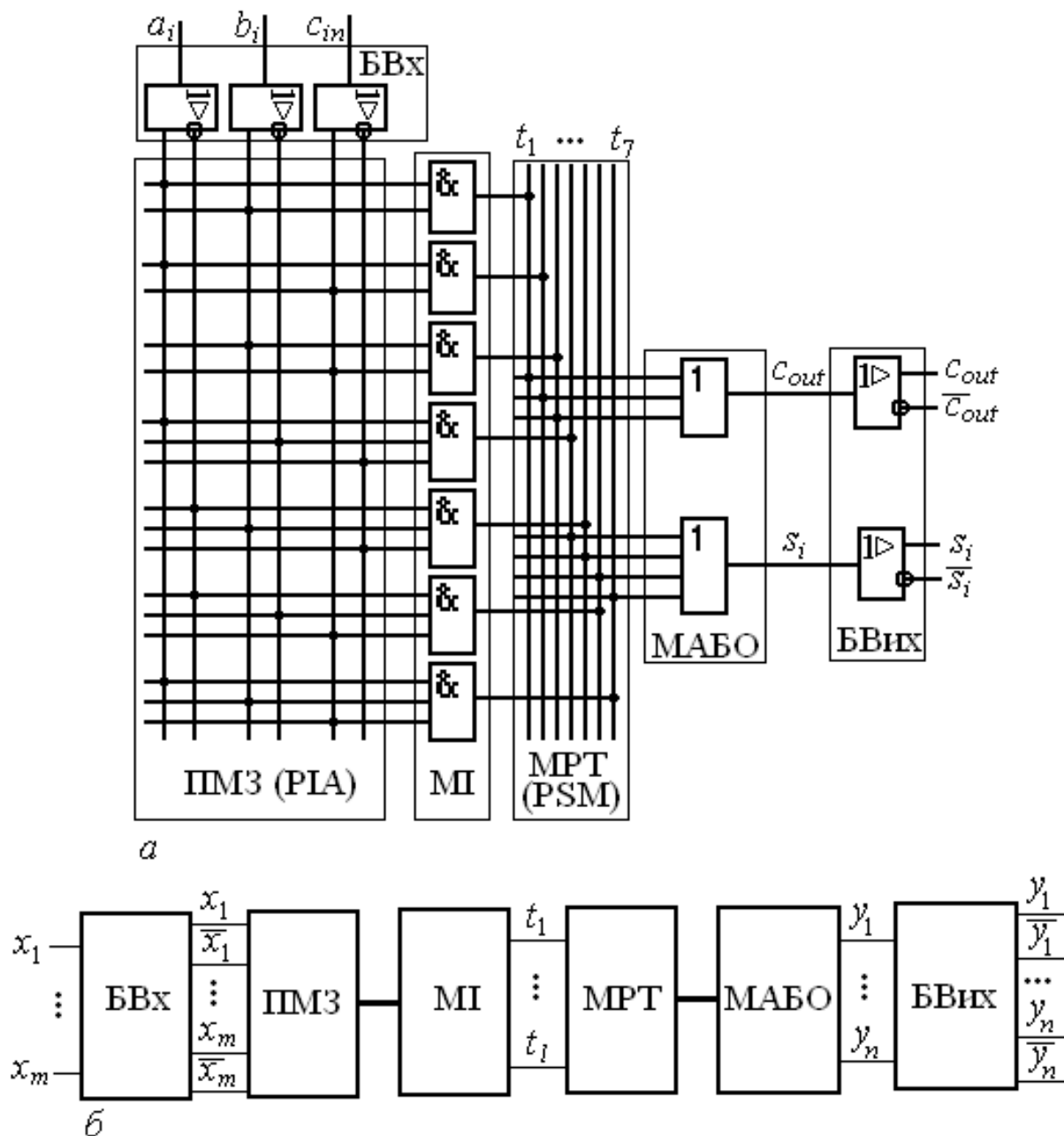


Рисунок 1.5 – Реалізація суматора

Перетворенням схеми (див. рисунок 1.4,в) до структури I, АБО дістанемо реалізацію суматора на ПЛМ (рисунок 1.6). На цій схемі подано загальноприйняте для ВІС і НВІС спрощене зображення елементів: багатовходові кон'юнктури і диз'юнктори замінюються одновходовими. Якщо на горизонтальній лінії, що відображає входи елемента, є точка перетину з вертикальною сигнальною лінією, то ця змінна з'єднується зі входом елемента, а якщо точка відсутня, то не з'єднується. Отже, кількість точок на горизонтальній лінії дорівнює числу задіяних входів елемента.

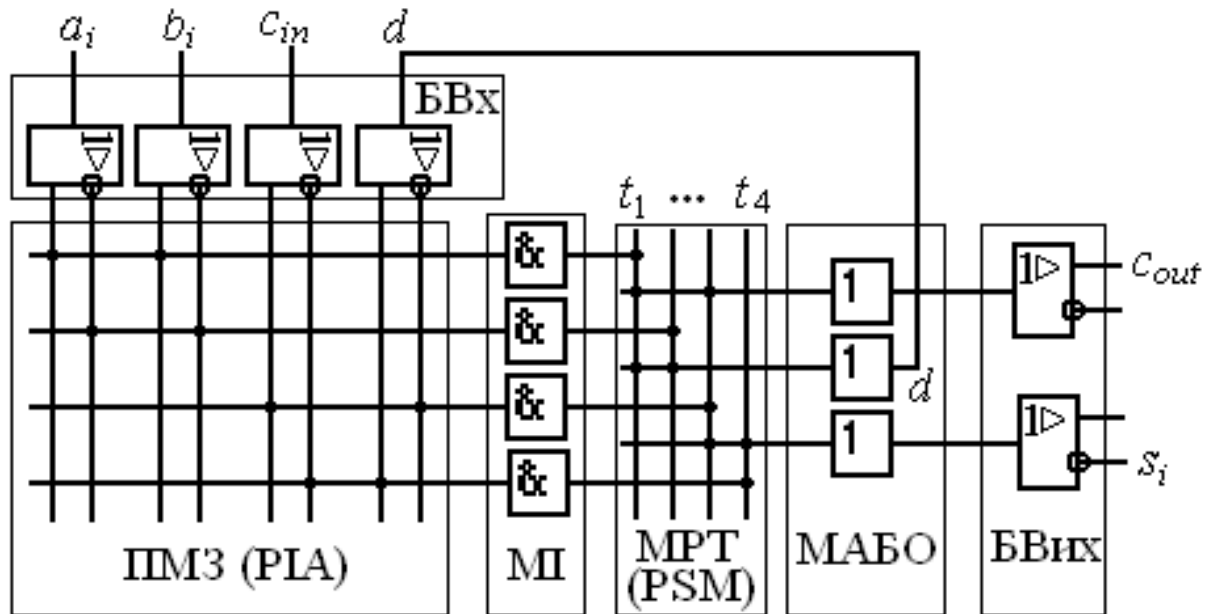


Рисунок 1.6 - Реалізація суматора на ПЛМ

Спрощення ПЛМ відбувається завдяки так званому розділюваному (спільному) МРТ використовуються неодноразово для утворення диз'юнкцій у МАБО та паралельному розширенню: диз'юнкції з виходу окремих елементів АБО (у прикладі диз'юнкція d) знов повертаються до ПМЗ для утворення інших логічних функцій. Проте через збільшення глибини реалізації збільшується також і затримка поширення сигналів, так само, як і на рисунку 1.4,в [3].

1.4.4 Інтерфейс JTAG

Зручно мати можливість програмувати або конфігурувати мікросхему безпосередньо на її робочому місці без вилучення з монтажною плати пристрою, без фізичного доступу до всіх її виводів та без застосування спеціального апаратного програматора. Якщо під час роботи пристрою виявляться недоліки або виникне потреба в модернізації, мікросхему можна перепрограмувати. Така можливість, яка позначається терміном *in-system programmability* (ISP) – програмованість у системі, є в мікросхем, що містять комірки периферійного сканування BSC (Boundary-Scan Cells). Майже всі сучасні IC провідних фірм-виробників мають властивості ISP. Об'єднаною

групою по тестах Joint Test Action Group (JTAG) схему тестування BST було покладено в основу стандарту IEEE Std 1149.1, який визначає інтерфейс JTAG – сукупність засобів і порядок операцій для тестування ІС без фізичного доступу до кожного її зовнішнього виводу [2].

Ідея периферійного сканування ілюструється спрощеною схемою на рисунку 1.7. Периферійні комірки BSC можуть працювати у двох режимах. У робочому режимі логічні комірки кристалу з'єднано із зовнішніми вхідними x_i та вихідними y_i виводами і BSC не змінюють функціонування пристрою.

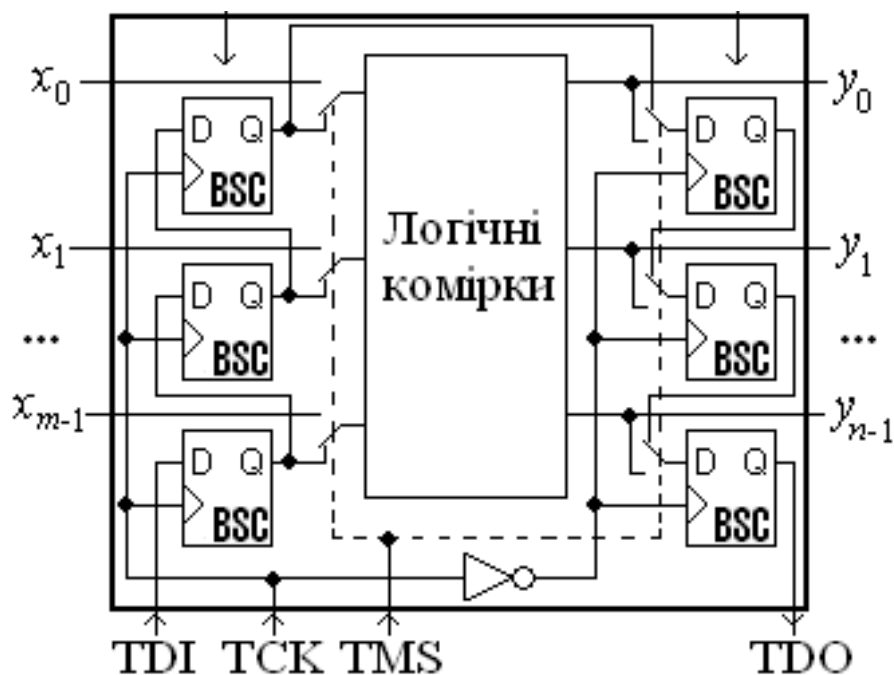


Рисунок 1.7 – Комірки периферійного сканування

У режимі програмування ПЛІС функціонує послідовним виконанням команд за допомогою вбудованих контролерів JTAG і ISP. Сигналом керування TMS мультиплексорами (на рисунку 1.7 показано перемикачами) зв'язки перемикаються: кристал від'єднується від зовнішніх входів, з комірок BSC утворюються вхідний і вихідний регістри зсуву, за допомогою яких здійснюється периферійне сканування. Вхідні тестові дані в послідовному коді надходять на вхід TDI послідовного введення вхідного регістра і за позитивними перепадами тактових імпульсів TCK відбувається послідовно-

паралельне перетворення, після чого інформація з регістра подається в кристал у паралельному коді. По входах паралельного введення вихідного регістра дані з кристала записуються до вихідного регістра, після чого за негативними перепадами тактових імпульсів ТСК відбувається паралельно-послідовне перетворення – з виходу послідовного виведення TDO знімаються вихідні тестові дані в послідовному коді [2].

Така схема периферійного тестового сканування, що позначається аббревіатурою BST (Boundary-Scan Test), використовується для перевірки наявності контактів на друкованій платі і на порожність IC, її програмування або конфігурування в системі, верифікацію, функціональне тестування та випробування IC. Для автоматичного виконання таких операцій програматор (програмний модуль Quartus II) формує тестовий код, який вводиться до комірок мікросхеми зі входу TDI. Відтак з виходу TDO зчитується результат і порівнюється залежно від операції, наприклад, з програмувальним або сигнальним файлом.

1.4.5 Схеми програмування і конфігурування

Виводи IC, призначені для програмування, мають бути з'єднані на монтажній платі зі стандартним 10-штирковим рознімачем 1DC10M інтерфейсу JTAG (рисунок 1.7,а). За допомогою одного з інтерфейсних завантажувальних пристроїв цей рознімач з'єднується з комп'ютером PC, завдяки чому під час програмування або конфігурування відбувається обмін даними між програматором Quartus II і мікросхемою.

Поширеними є завантажувальні пристрої ByteBlasterII і ByteBlasterMV, які являють собою 10-жильний стрічковий кабель DB25 з двома рознімачами на кінцях. Один з них з'єднується з рознімачем JTAG_IN, розташованим на платі з мікросхемою, а другий через шинний формувач (який живиться від джерела VCC на платі з IC і змонтований в корпусі рознімача) з'єднується з 25-контактним рознімачем паралельного LPT-порту комп'ютера.

а) Програмування з ByteBlasterMV (ByteBlaster MultiVolt) може застосовуватися за напруг живлення $VCC = 2,5 \text{ В}, 3,3 \text{ В}$ та 5 В , а різновид ByteBlaster II – за напруг $VCC = 1,8 \text{ В}, 2,5 \text{ В}, 3,3 \text{ В}$ та 5 В і відрізняється більшими функціональними можливостями. За значного (більше $1,2 \text{ м}$) віддалення плати з мікросхемою від комп'ютера використовують завантажувальні пристрої BitBlaster або MasterBlaster, що з'єднують стрічковим кабелем RS-232 рознімач JTAG_IN на платі з послідовним портом комп'ютера RS-232 (порт COM)[5].

Про режими і процедури фізичного програмування мікросхеми в системі можна дізнатися в розділах довідки programming і cables пакету Quartus II.

б) Програмування ланцюжка мікросхем. Стандарт IEEE Std 1149.1 інтерфейсу JTAG дозволяє поширити схему периферійного сканування BST на низку мікросхем, якщо послідовно ввімкнути їх тестові входи TDI і виходи TDO даних (рисунок 1.8,б). Таке ввімкнення, що утворює ланцюжок JTAG (JTAG chain), застосовується для створення пристроїв та систем з кількох мікросхем. Схема з'єднань для програмування ланцюжка JTAG не відрізняється від схеми програмування однієї ІС (рисунок 1.8,а).

в) Конфігурування мікросхем. Схеми конфігурування однієї ІС в системі і кількох ІС ланцюжка JTAG аналогічні схемам програмування (див. рисунок 1.8), відрізняються лише назви і кількість виводів ІС для конфігурування, з'єднаних на платі зі стандартним рознімачем.

г) Програмування мікросхеми апаратним програматором. Мікросхему, зокрема, якщо її виконано без інтерфейсу JTAG, можна запрограмувати в окремому вигляді, використовуючи апаратний засіб програмування, а після того встановити на робочу плату пристрою або системи. У такий спосіб програмування здійснюється базовим модулем програматора Master Programming Unit (MPU) або Altera Programming Unit (APU – для Windows 98 та Windows 2000).

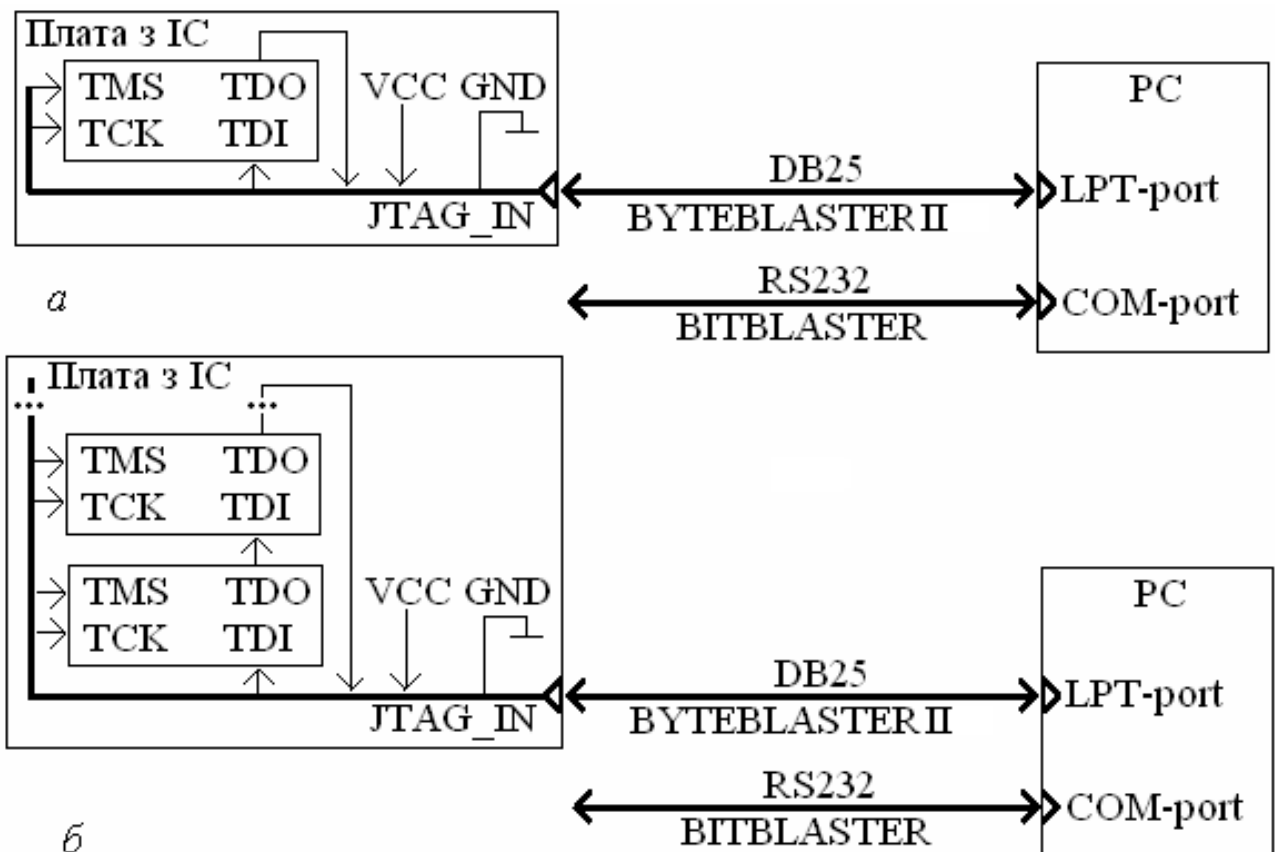


Рисунок 1.8 – Схеми програмування та конфігурування ПЛІС

Базовий модуль з'єднується з комп'ютером за допомогою плати програматора, а мікросхема з'єднується з MPU через програмувальний адаптер, завдяки чому забезпечується доступ до всіх зовнішніх виводів IC. Тип адаптера вибирається залежно від родини IC, типу її корпусу і кількості штирків.

1.5 Макрокомірка

Макрокомірка МК (або логічна комірка ЛК) охоплює ресурс ПЛІС, потрібний для формування одного сигналу, який може бути або вихідним, або проміжним щодо перетворення інформації. Вона складається з двох частин: комбінаційної на основі ПЛІМ і послідовної у вигляді програмованого тригера (рисунок 1.9,а) [2].

До ПЛІМ (рисунок 1.9,б) із ПМЗ надходять змінні від зовнішніх виводів і з інших комірок. Із цих змінних у локальній матриці І формуються терми, які в МРТ програмуванням з'єднуються зі входами елемента АБО для формування диз'юнкції y_i . Таким чином, ця логічна частина МК не відрізняється

від звичайної ПЛМ відносно одного з її виходів (див. рисунок 1.6,а).

Для забезпечення гнучкості щодо формування функцій комірка має два розширювача. Так званий розділюваний розширювач (РР) повертає один з термів через інвертор (див. рисунок 1.9,б) до сигналів на входах ПЛМ і він стає приступним для всіх МК даного ЛБ.

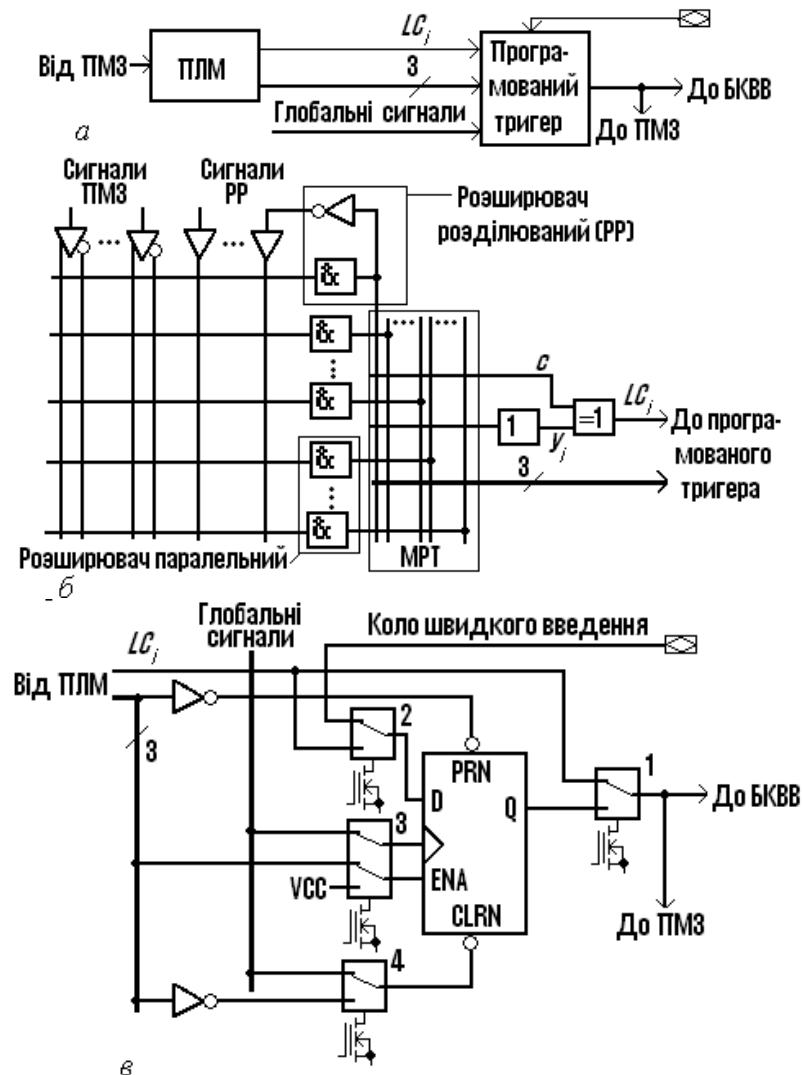


Рисунок 1.9 – Макрокомірка а) комбінаційна, б) на основі програмованого тригера

Паралельний розширювач (ПР) дозволяє вибрати диз'юнкцію з одного з виходів інших МК для з'єднання зі входом елемента АБО з метою утворення скобкових форм функцій (аналогічно як на рисунку 5 диз'юнкція з виходу одного елемента АБО з'єднується зі входами інших елементів АБО) [5].

За допомогою елемента Виключне АБО досягається гнучкість керування вихідним сигналом МК, який у САПР позначається LC_i відповідно до номеру i комірки. З огляду на те, що $LC_i = y_i \oplus c$, програмуванням $c = 0$ диз'юнкція y_i передається на вихід без зміни, при $c = 1$ інвертується, а при з'єднанні c з термом, зокрема, вхідною змінною, утворюється сума за модулем два. Додатково з ПЛМ знімаються 3 терми для керування тригером.

Тригер, що є розрядом регістра, утворюваного комірками ЛБ, програмується мультиплексорами 1 ... 4, зображеними на рисунку 1.9,в у вигляді ключів. Записом до ЛІЗМОН-транзистора, пов'язаного з адресним входом мультиплексора, логічного 0 або 1 останній переводиться до потрібного положення. Так, при верхньому по схемі положенні мультиплексора 1 сигнал LC_i від ПЛМ надходить безпосередньо на вихід МК, звідки передається до ПМЗ та, якщо комірка є кінцевою, до блоку керування вводом/виводом БКВВ. Через мультиплексор 2 цей сигнал може бути переданий на вхід D для запису в регістр; в іншому положенні мультиплексора 2 до регістра записується сигнал безпосередньо з контактної площинки ПЛІС, при цьому утворюється коло швидкого введення. Здвоєним мультиплексором 3 тригер може перемикатися на тактування глобальним сигналом GCLK з мінімальною затримкою від спільного входу ПЛІС або термом з виходу ПЛМ. При цьому під керуванням зазначеного терма по входу дозволу ENA може утворюватися тригер типу DE або з'єднанням $ENA = VCC$ – тригер типу D. Зінвертованими термами від ПЛМ тригер керується по індивідуальних входах передумовлення PRN і скидання CLRN, але мультиплексором 4 можна перемкнути скидання від спільного для всіх розрядів глобального сигналу GCLRN, що характерно для регістрів. У деяких родин ПЛІС можна керувати також типом тригерів – DE, TE, JKE або RSCE.

1.6 Блок керування вводом/виводом

БКВВ складається з однакових керованих буферних каскадів БК1 ... БК N (рисунок 1.10), кількість яких визначається числом N контактних площинок, закріплених за даним ЛБ (зазвичай $N = 4 \dots 16$). Напрямок передачі даних програмується мультиплексором [3].

Якщо вхід дозволу програмуванням з'єднується із землею GND, буфер переводиться до третього стану і від'єднується від контакту, який стає входом: сигнал від нього спрямовується до буферів ПМЗ і є тепер приступним для всіх ЛБ, а також потрапляє до кола швидкого введення макрокомірки (див. рисунок 1.9,в). Сигнал з виходу МК до контакту, який стає тепер виходом ПЛІС. І, нарешті, за допомогою одного із шести глобальних сигналів від ПМЗ здійснюється оперативне керування входом ОЕ в режимі входу/виходу, коли напрямок передачі даних може змінюватися (наприклад, спочатку від контактних площинок приймається адреса, тому на них передаються результати обробки інформації).

Крім того, програмуванням буфер можна перетворити в схему з відкритим колектором з метою гнучкості використання його виходу. Є також можливість регулювати швидкість перемикання (Slew Rate) буфера шляхом зміни тривалості фронтів вихідного сигналу. З двох швидкостей перемикання висока забезпечує максимальну швидкодію, але круті фронти перемикання спричиняють при цьому високий рівень завад у вихідній лінії.

Тому, коли дозволяють міркування швидкодії, використовують режим положистих фронтів, який завжди запроваджується автоматично під час вмикання джерела живлення [5].

1.7 Особливості архітектури ПЛІС із тригерною пам'яттю

З розвитком технології і зростанням ступеня інтеграції з'явилися ІС комбінованого типу, що сполучають в собі властивості CPLD зі схемотехнікою запам'ятовувальних пристроїв. Прикладом є популярна ПЛІС родини

FLEX 10K фірми Altera (FLEX – Flexible Logic Element MatriX – гнучка матриця логічних елементів), план розміщення якої (Floorplan) подано на рисунку 1.10.

Призначення (Assignments) для компонентів містяться в лотках, пояснення яких винесено на плані вгорі. Крім логічних блоків ЛБ (Logic Array Block, LAB) до складу ІС входять також вбудовані блоки пам'яті ВБП (Embedded Array Block, EAB). Логічні блоки розташовано по рядках (Row) і колонках (Col), тому позначаються двокоординатною системою відліку, наприклад, відмічений внизу на плані блок має ім'я „B11”, а блок над ним – ім'я „A11”. ІС містить лише один стовпець блоків пам'яті (розташований всередині між стовпцями ЛБ), тому вони іменуються назвою рядка, наприклад, позначений внизу на плані блок має ім'я „EAB_V”, а блок над ним – ім'я „EAB_A” [2].

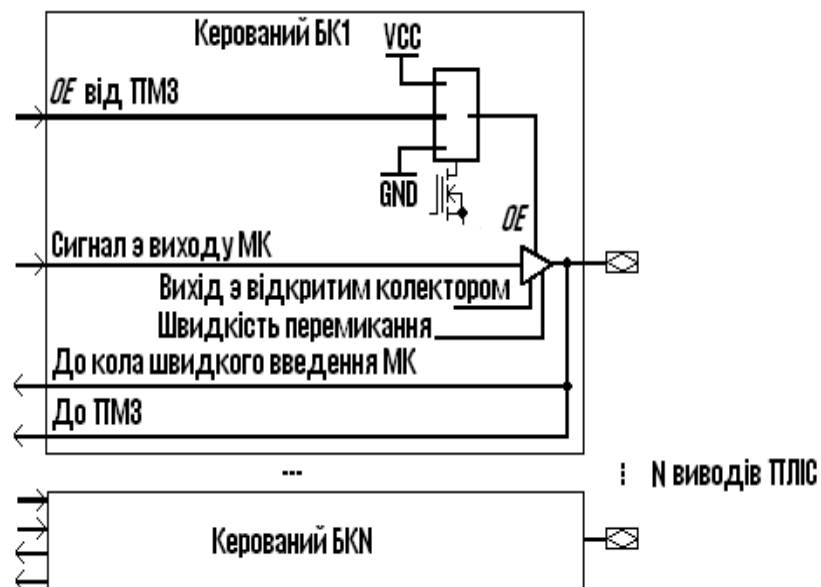


Рисунок 1.10 – Блок керування вводом / виводом

Наступною за ієрархією структурних одиниць є логічна комірка ЛК (Logic Cell, LC), яка в технічній документації для ПЛІС із тригерною пам'яттю конфігурації (SRAM-based) називається логічним елементом ЛЕ (Logic Element, LE). Такий „елемент” подібно до макрокомірки має логічну частину і програмований тригер, що є розрядом регістра, але відрізняється

тим, що логічна функція реалізується програмуванням її таблиці відповідності в запам'ятовувальному пристрої (табличний спосіб реалізації). Крім того, ЛЕ містить коло переносу (для підвищення швидкодії схем типу лічильників і суматорів) та коло каскадування (для гнучкості формування функцій багатьох змінних кількома комірками). Кожний ЛБ розглядуваного типу ПЛІС містить 8 логічних комірок, які позначаються своїм номером у блоці та його координатами, наприклад, відмічена внизу на плані ЛК має ім'я „LC7_B2”.

Виводи (контакти, Pin) мікросхеми, які так само поділяються на спеціалізовані і виводи користувача (глобальні входи, у разі потреби, можуть використовуватися як звичайні), розташовано на плані по периметру з усіх боків. При цьому будь-який вивід користувача (але не глобальні входи) може бути запрограмований як вхід, вихід або двоспрямований вхід/вихід пристрою за допомогою комірок вводу-виводу КВВ (I/O Cell) біля кожного з них.

Аналогічно блоку керування вводом-виводом БВВ (див. рисунок 1.11) у КВВ здійснюються функції підвищення навантажувальної здатності, перемикання напрямку передачі інформації, регулювання режимів буфера (швидкість перемикання, емуляція схеми з відкритим колектором). Крім того, КВВ містить вхідний і вихідний регістри для тимчасового зберігання даних та складну систему перемикання сигналів між шинами (більше десятка програмованих мультиплексорів та інших елементів) [3].

Двокоординатна система позначень блоків відповідає дворівневій системі зв'язків між ними за допомогою глобальної програмованої матриці з'єднань ГПМЗ, поділеній на рядки і стовпці, з якими з'єднуються комірки вводу-виводу КВВ по всьому периметру ПЛІС. Через рядки і стовпці ГПМЗ, між якими розташовані ЛБ і ВБП, здійснюється обмін даними, а обмін між комірками організовано через локальну програмовану матрицю ЛПМЗ.

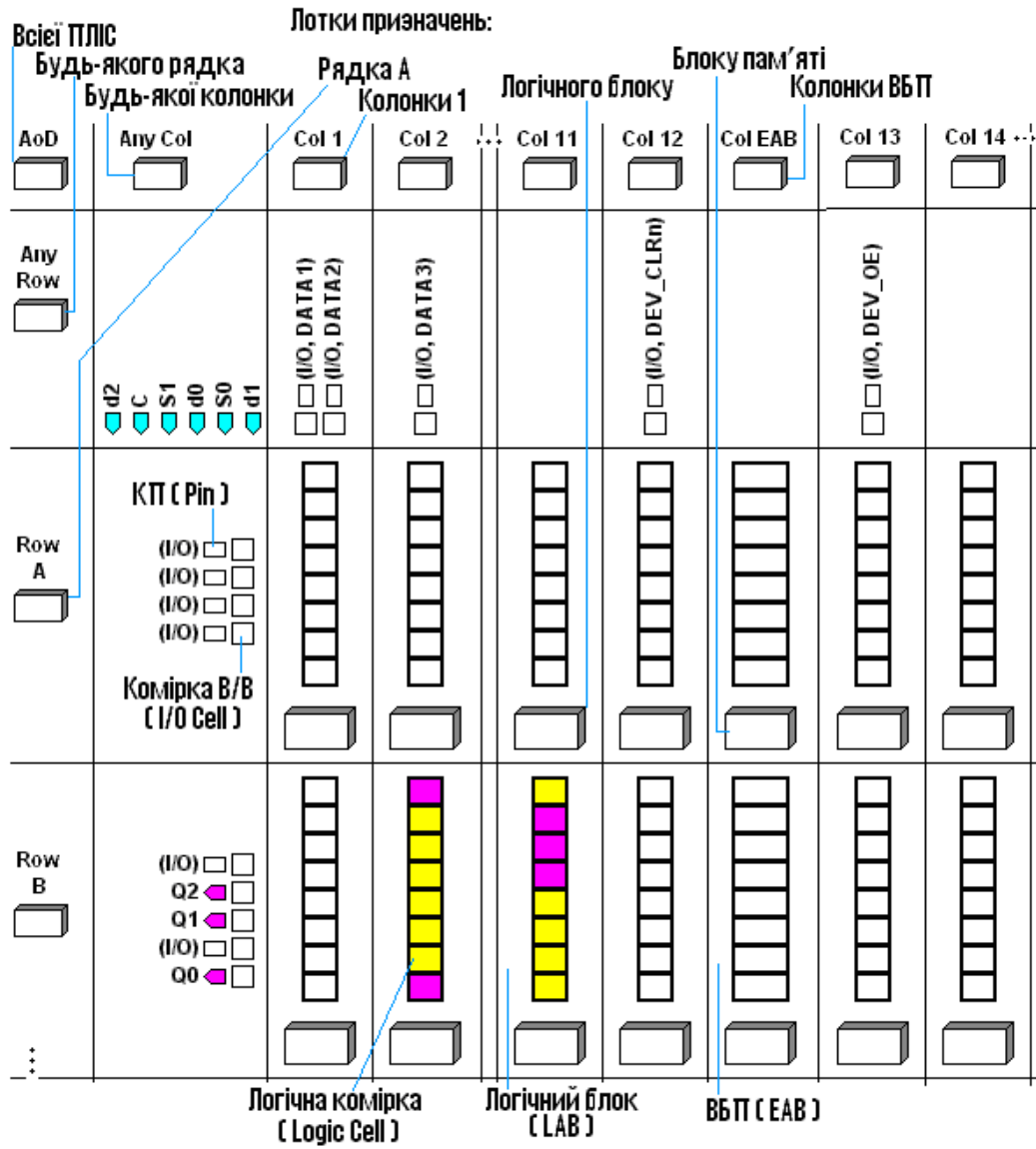


Рисунок 1.11 – Блоки ПЛІС

2 ПРОЕКТУВАННЯ ОСНОВНИХ ФУНКЦІОНАЛЬНИХ БЛОКІВ ПРИСТРОЮ АВТОМАТИЧНОЇ ВИТРИМКИ ЧАСУ

2.1 Розробка структурної схеми пристрою автоматичної витримки часу

Згідно завдання, пристрій, що проектується повинен з інтервалом в 100 секунд перемикатись між режимами генерації цифрових відліків часу на семи-сегментному індикаторі та режимом генерації кодових послідовностей на світлодіодах.

При цьому на семи-сегментному індикаторі, що має чотири розряди, повинно відображатись десятки, одиниці, десятки і соті секунди. Десятки і одиниці секунди будуть генеруватись у мікросхемі MAX EPM7128SLC84-7, а десятки і соті секунди у мікросхемі FLEX EPF10K70RC240-4 [6].

Генерація кодових послідовностей буде реалізована у мікросхемі MAX, оскільки вона має розширений роз'єм для підключення світлодіодів.

Отже, враховуючи дані особливості складемо структурну схему, що представлена у додатку А. Дана схема має такі блоки:

- кварцовий генератор – спільний для обох мікросхем, що задає тактові імпульси з частотою 25.175 МГц;
- JTAG – програматор – спільний для обох мікросхем, що виконує функцію програмування чи конфігурування мікросхем.

В мікросхемі MAX EPM7128SLC84-7 реалізовані наступні блоки, що показані на структурній схемі:

- ПЧ – подільник частоти, що виконує функцію ділення тактової частоти, щоб згенерувати десятки і одиниці секунди. Оскільки подільник частоти є звичайним лічильником, то розрахуємо його модуль виходячи із необхідності реалізації цих відліків орієнтуючись на менший розряд одиниць секунди [5]

$$M = f_T \cdot t_B, \quad (2.1)$$

де M - модуль лічби подільника, що розраховується;

f_T - тактова частота кварцового генератора ($f_T = 25.175 \cdot 10^6$ Гц);

t_B - мінімальний відлік, що необхідно сформувати на даній мікросхемі ($t_B = 1$ с).

Таким чином модуль подільника частоти за формулою (2.1) дорівнює

$$M = 25.175 \cdot 10^6 \cdot 1 = 25.175 \cdot 10^6;$$

- ДЛ – десятковий лічильник, що отримуючи тактову частоту із подільника формує безпосередньо розряди десятків і одиниць секунди;

- ГКВ – генератор кодових відліків, що призначений для переносу в унітарному коді цифрових часових відліків і їх утримання (запам'ятовування) для відображення на індикаторах;

- ДШ – дешифратор семи-сегментного коду, що перетворює унітарний код в семи-сегментний і виводиться безпосередньо на індикатори;

- ГКП – генератор кодових послідовностей – це генератор, що формує задану послідовність і виводить її на світло діоди.

У мікросхемі FLEX EPF10K70RC240-4 реалізовано схожу структуру, але із своїми відмінностями:

- ПЧ – подільник частоти, що виконує функцію ділення тактової частоти, щоб згенерувати десяті і соті секунди, а отже його модуль за формулою 2.1 оскільки мінімальний відлік, що необхідно сформувати на даній мікросхемі 10 мс визначається за формулою (2.1)

$$M = 25.175 \cdot 10^6 \cdot 1 \cdot 10^{-2} = 25.175 \cdot 10^4;$$

- блоки ПЧ, ГКВ і ДШ залишаються такими ж самими, як і у мікросхемі МАХ, лише відсутній блок ГКП.

У схемі реалізований сигнал керування, що передається від мікросхеми МАХ до FLEX, який блокує підрахунок відліків у мікросхемі FLEX на той час, коли вмикається ГКП.

2.2 Проектування подільника частоти

Будь-які лічильники можуть використовуватися як подільники частоти, коефіцієнт поділу якої на виході лічильника дорівнює його модулю лічби. Проте додаткові елементи (вентилі) у міжрозрядних зв'язках або потреба дубльованих входів у тригерів ускладнюють лічильники з довільним модулем і природним порядком лічби. З огляду на те, що в подільниках частоти порядок лічби не має значення, без його дотримання схему гранично спрощують [7].

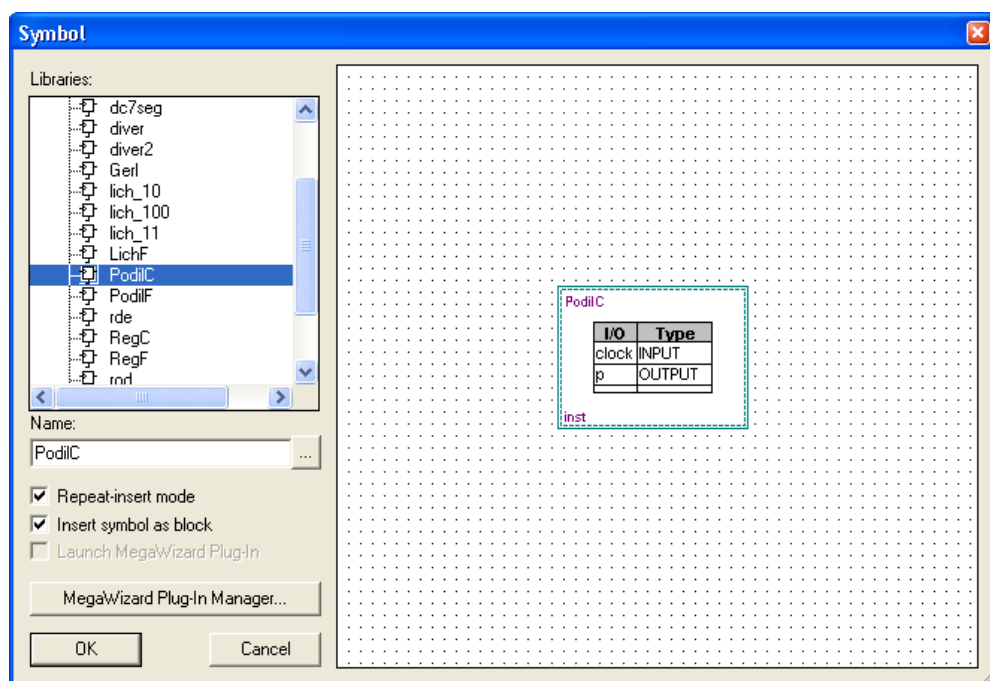


Рисунок 2.1 – Створення символу чи блоку на основі існуючої бібліотеки

Враховуючи, що модуль лічби подільника частоти на обох мікросхемах досить значний, то його доцільно виконати як компонент, що написаний на мові AHDL (Altera Hardware Description language) [8].

Для цього створюємо його через меню створення нових файлів системи Quartus II із текстом, що представлений у додатку А. Для мікросхем MAX і FLEX відмінністю у даних файлах є те, що для мікросхеми MAX значення величини $LPM_MODULUS = 25175000$, а для мікросхеми FLEX воно рівне $LPM_MODULUS = 251750$.

Далі даний файл необхідно додати до проекту за допомогою меню Project // Add/Remove files in project. Після цього створюючи на основі отриманого файлу символ отримуємо готовий подільник частоти, який можна додати до схеми як окремий блок Symbol Tool - Символьний інструмент (див. рисунок 2.1)

2.3 Проектування лічильника

Лічильником називається цифровий пристрій, що перетворює послідовність імпульсів у цифровий код, значення якого залежить від кількості вхідних імпульсів. Сформований код може зберігатися в лічильнику, як і в будь-якому послідовнісному пристрої, зокрема, у регістрі [8]. Лічильники застосовуються для кількісного визначення часових інтервалів, до яких попередньо перетворюють вимірювану величину в різного типу вимірювачах, для поділу частоти в синтезаторах частот і годинниках, для формування команд галузження програм під час цифрової обробки інформації тощо.

З надходженням вхідних імпульсів лічильник переходить з одного стійкого стану до іншого і код на його виходах змінюється циклічно.

За модулем лічби лічильники поділяють на двійкові, якщо модуль становить $M = 2^n$ (де n – ціле число), та з довільним модулем лічби (недвійкові), в яких модуль $M \neq 2^n$. За напрямком лічби розрізняють такі лічильники: підсумовувальні, код яких з надходженням чергового імпульсу збільшується на одиницю (інкрементується), віднімальні, коли код зменшується на одиницю (декрементується), та реверсивні, в яких напрямок лічби є керованим. Крім того, залежно від порядку зміни коду можна виокремити лічильники з природним порядком лічби, якщо код з надходженням чергового імпульсу збільшується або зменшується на одиницю, та зі штучним порядком лічби, коли код змінюється в довільному порядку. Щодо організації міжрозрядних зв'язків будують лічильники, в основному, за схемами з послідовним, паралельним і груповим переносом.

Оскільки в мікросхемах MAX і FLEX лічильник є однаковим, то для обох мікросхем його можна реалізувати на основі двох звичайних декадних лічильників з природнім ходом лічби та з паралельним переносом (елемент 74490 бази Quartus II, що є аналогом існуючої мікросхеми 74АС74490 [5]), при чому останній розряд першого слугує тактовими імпульсами для другого, що забезпечує відокремлення десятків і одиниць для мікросхеми MAX і десятих і сотих для мікросхеми FLEX.

Даний лічильник ускладнений схемою керування генераторами кодових відліків і послідовностей. На Т-тригері зібрано схему, на вхід якої подається інвертований останній розряд лічби, таким чином формуючи затримку і перемикання з інтервалом в 100 секунд.

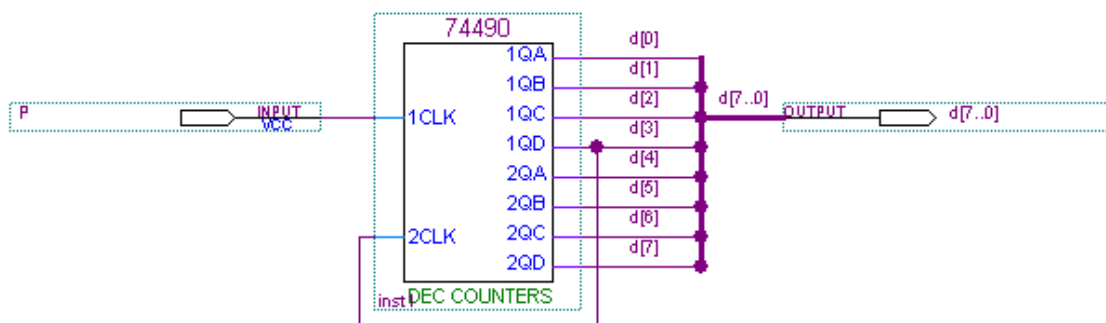


Рисунок 2.2 – Декадний лічильник для підрахунку десятків і одиниць секунди (MAX), десятих і сотих секунди (FLEX)

Схема лічильника приведена на рисунку 2.2, повна схема, ускладнена схемою керування на Т-тригері приведена у додатку А.

Іншим чином можна спроектувати лічильник шляхом перетворення його з двійкового в декадний. Для цього визначаємо потрібну кількість розрядів і вибираємо ІС лічильника зі входом скидання з умови

$$2^{n-1} < M < 2^n,$$

$$8 < M < 16,$$

отже кількість розрядів $n = 4$.

Зазначаємо в перемикальній таблиці 2.1, що коли лічильник переходить до стану $N = M = 10$, виникає сигнал скидання $R_M = 1$, яким він повертається до нульового стану, тому старші коди $N = 11 \dots 15$ не використовуються.

Таблиця 2.1 – Перемикальна таблиця

N	Q ₃	Q ₂	Q ₁	Q ₀	R _M
0	0	0	0	0	0
1	0	0	0	1	0
2	0	0	1	0	0
3	0	0	1	1	0
4	0	1	0	0	0
5	0	1	0	1	0
6	0	1	1	0	0
7	0	1	1	1	0
8	1	0	0	0	0
9	1	0	0	1	0
10	1	0	1	0	1
11...15	-	-	-	-	X

Далі мінімізуємо звичайним чином за діаграмою термів шукану функцію $R_M = Q_1 Q_3$ (рисунок 2.3), згідно з якою дешифрування виконує елемент І (рисунок 2.4).

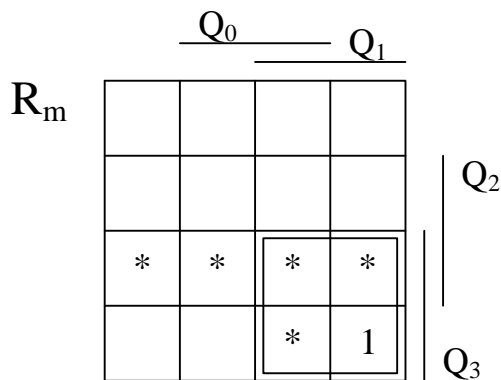
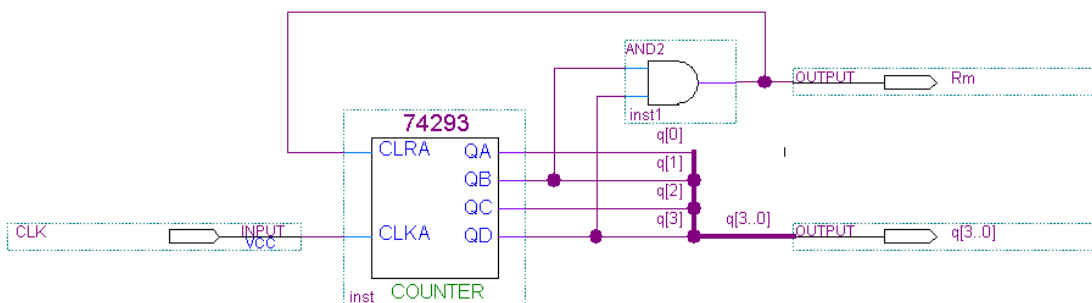
Рисунок 2.3 - Діаграма термів для мінімізації функції R_M 

Рисунок 2.4 - Спроектований декадний лічильник

Проте якщо сигнал R_M подати безпосередньо на вхід скидання лічильника CLRA (див. рисунок 2.4), певні його розряди можуть скинутися раніше інших, внаслідок чого на виході елемента І встановиться пасивний рівень, коли лічильник не встигне повністю обнулитись. У випадку можливості такої небезпеки слід розширити сигнал R_M затримкою на виході елемента І, наприклад, за допомогою додаткового тригера (див. рисунок 2.5).

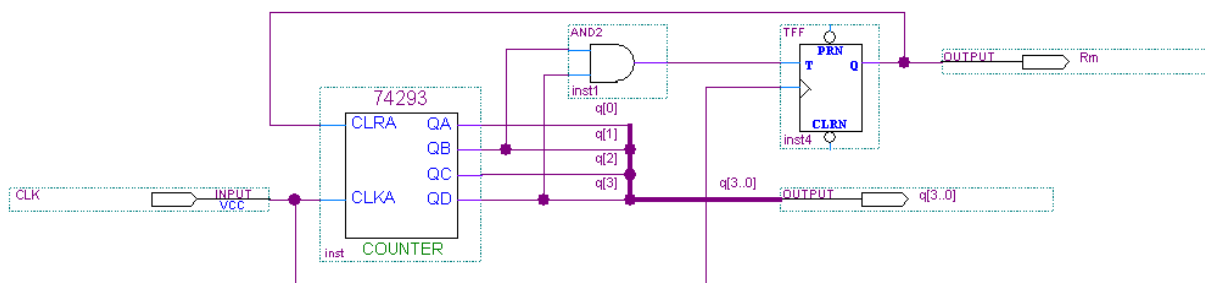


Рисунок 2.5 - Схема лічильника ускладненого затримкою на виході

Вихідним кодом $N = Q[3..0] = 10_{10} = A_{16}$ встановлюється сигнал $R_M = 1$ (рисунок 2.5), позитивним перепадом якого тригер перемикається до стану $Q = 1$ і запам'ятовує його до надходження нового імпульсу CLK. За цей час лічильник надійно обнуляється, а за позитивним перепадом наступного імпульсу CLK тригер скидається до стану $Q = 0$, відновлюється пасивний рівень на вході CLRA лічильника, тому за негативним перепадом імпульсу CLK починається новий цикл лічби.

2.4 Проектування генератора коду відліків

Генератор коду відліків виконує функцію збереження на виході інформації, що поступає на дешифратори семи-сегментного коду, а також вони вимикають цифрові часові відліки під час роботи генератора кодових послідовностей.

Такий генератор виконується на паралельному регістрі, що має додатковий вивід «Enable», за допомогою якого виконується дозвіл на відлікової операції блоку.

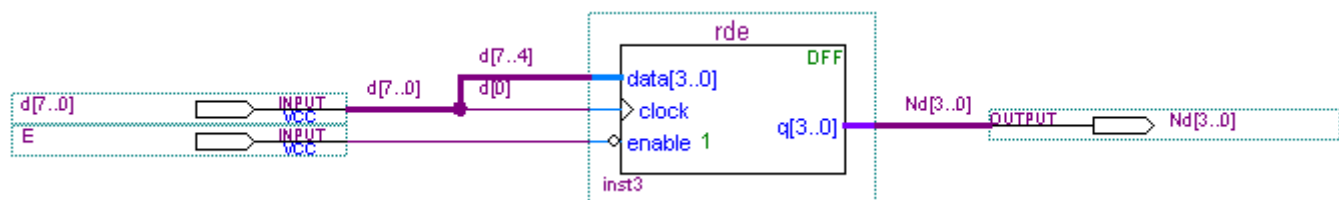


Рисунок 2.6 – Схемна реалізація мегафункції регістру на D – тригерах

Регістри виконуються як мегафункція LPM_FF, що є у стандартній бібліотеці системи Quartus II. Схемна реалізація такого регістру показана на рисунку 2.6, повна схема блоку наведена у додатку А.

2.5 Проектування дешифратора семисегментного коду

Дешифратором (з англ. decoder) називається перетворювач m -розрядного двійкового коду до n -розрядного унітарного; при цьому розрядність коду розширюється, бо $n > m$. Дешифратори найчастіше застосовуються для вибору (селекції) інтегрованої мікросхеми або іншого пристрою з метою обміну інформацією, наприклад, для адресування до окремих комірок пам'яті [9].

У загальному випадку вхідний m -розрядний і вихідний n -розрядний коди перетворювача можуть бути довільними – як числовими, так і комбінаторними. Прикладом нечислових комбінаторних кодів є коди цифрових індикаторів відображення інформації. Символи на індикаторній панелі формуються на основі рідких кристалів або світлодіодів шляхом 7-сегментного, 14-сегментного чи мозаїчного розкладу зображення. Сегменти поширеного в малогабаритних пристроях 7-сегментного індикатора позначають літерами a, b, c, d, e, f, g, dp (рисунок 2.7). Під керуванням перетворювача кодів окремі частини панелі активізуються, наприклад, рідкі кристали, виконані у формі сегментів, темнішають на сріблястому тлі, утворюючи зображення потрібного символу. Якщо не активізовано сегменти f та c, індикуються цифра 2, а якщо b та e – цифра 5 і т. ін [8].

Для відтворення стандартних знаків, зокрема, цифр 0...9 ДДК (з англ. BCD – binary-coded decimal) налагоджено випуск серійних ІС – перетворювачів кодів, які в довідковій літературі називають дешифраторами 7-сегментного коду [10].

Крім інформаційних входів тетради ДДК $a[3..0] = D, C, B, A$ та сегментних виходів $a...g = OA...OG$ такі дешифратори мають інверсний вхід гасіння \overline{VIN} , яким всі сегменти обнулюються (індикатор гасне). Інверсним входом \overline{LTN} , навпаки, всі сегменти засвічуються, що зручно для перевірки індикатора (достатньо тимчасово заземлити цей вхід). Послідовним з'єднанням входів \overline{RVIN} і виходів $R\overline{VON}$ ланцюжка знакомиць багаторозрядного індикатора

досягається послідовне гасіння нулів у старших розрядах, інакше було б важко зчитувати інформацію (як, наприклад, у звичайному калькуляторі) [9].

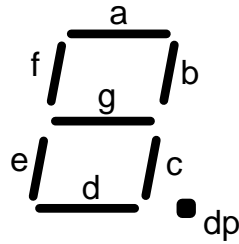


Рисунок 2.7 – Стандартне позначення елементів семи-сегментного індикатора

Окремим випадком перетворювачів кодів є пристрої, для яких вхідним або вихідним є так званий унітарний код “1 із К”, в якому активний рівень може існувати тільки в одному розряді. Якщо активним є рівень логічної одиниці, то код називають прямим, а якщо логічного нуля – інверсним. Прикладом є унітарний десятковий код “1 з 10” відображення натиснутої цифрової клавіші, якщо натиснення більш однієї клавіші заборонено. Якщо ж активний рівень може існувати в кількох розрядах, код “Х із К” називають пріоритетним, в якому старшим за пріоритетом за умовчанням є розряд з більшим номером. Унітарні коди використовуються в перетворювачах, які називаються дешифраторами і шифраторами.

Отже, для даного пристрою використаємо стандартний дешифратор семи-сегментного коду BCD to 7-SEG серії 74AC4900, схема включення якого представлена на рисунку 2.8 [11].

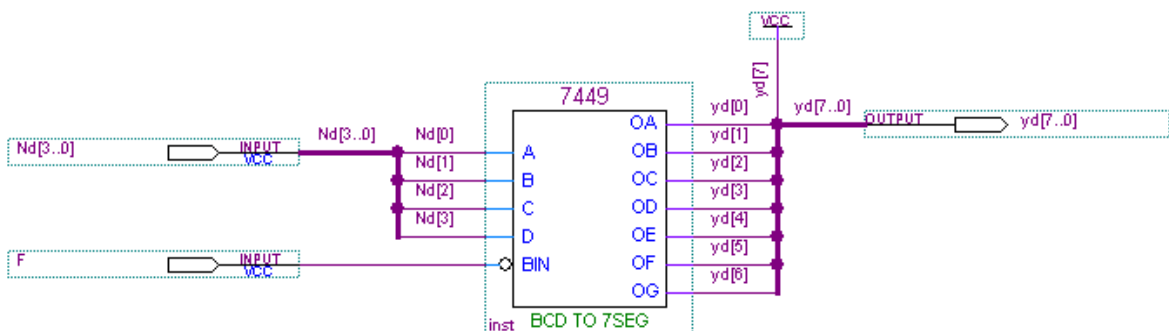


Рисунок 2.8 – Дешифратор семисегментного коду

На рисунку 2.8 зображено чотирьох-розрядний вхід унітарного коду на входи A,B,C,D мікросхеми (Nd [3..0]), інверсний вхід BIN (керуючий вхід F, що гасить індикатори при роботі ГКП), а також виходи, що безпосередньо під'єднуються до індикаторів (yd [7..0]). Десяткова кома, що позначена на індикаторі як dp (з англ. decimal point) під'єднана до логічної одиниці не буде світитись, тому в кінцевому пристрої після десятих секунд вона під'єднана до логічної одиниці, натомість після одиниць секунд вона під'єднана до логічного нуля (GND). В мікросхемі FLEX вона під'єднана в обох розрядах індикатора до логічного нуля [12].

Повна схема дешифраторів семи-сегментного коду представлена у додатку А. На ній вхід F, що гасить індикатори при роботі ГКП під'єднаний до обох мікросхем.

2.6 Розрахунок та проектування генератора кодових послідовностей

Генератори кодових послідовностей – це пристрої циклічної дії, що ґрунтуються на кодах зі сталим сполученням нулів і одиниць. Їх можна побудувати, зокрема, на регістрах зсуву. Достатньо попередньо записане певне слово зсувати в кільцевому регістрі для отримання на його виходах періодично повторюваної послідовності чисел, яка і правитиме за вихідні сигнали ГКП. Просування через розряди регістра періодично повторюваної послідовності символів, наприклад, 000111000111... для стислості зручно позначити періодом у дужках: (000111). При цьому значення кодів N на виходах кільцевого регістра залежать від кількості його розрядів n. Так, просуванням праворуч наведеної послідовності символів через двох-розрядний регістр ($n = 2$) на його виходах утворюватимуться коди $N = Q_1Q_0 = 00, 00, 01, 11, 11, 10$, які далі повторюються. Стисло це можна позначити в десятковій системі кодів як $N = (000111) = 0, 0, 1, 3, 3, 2$. Детерміновані коди послідовності мають бути різними, тому двох-розрядний регістр є неприйнятний для її формування, адже серед кодів є однакові. Розрядність регістра збільшують, поки не впевнюються, що серед вихідних кодів немає однакових, таку величину n і беруть

за мінімальну. Так, просуванням цієї ж послідовності через трьох-розрядний регістр утворюються коди $N = Q_2Q_1Q_0 = (000111) = 0, 1, 3, 7, 6, 4$, які є різні, отже, мінімальна кількість розрядів становить $n = 3$. Зі збільшенням розрядності змінюються значення кодів, але їх кількість залишається незмінною, модуль визначається лише кількістю символів послідовності [8].

Замість попередньо записувати слово до кільцевого регістра, в ГКП формують послідовність символів запровадження зворотного зв'язку між розрядами регістра. В ІС регістра зсуву приступним є лише вхід послідовного введення, тому зв'язок здійснюють між цим входом і виходами регістра за допомогою комбінаційних кіл [9].

Виходячи із завдання маємо послідовність символів з періодом (0000111). Тоді модуль $M = 7$, що дорівнює кількості символів у послідовності. Мінімальна кількість розрядів ГКП буде рівною $n = 4$. Тоді будемо робочий цикл перемикального графу ГКП. Під час зсуву числа з послідовності символів на один крок у бік старших розрядів значення початкового коду $N = Q_2Q_1Q_0$ подвоюється (наприклад, $001 \rightarrow 010$) і до молодшого розряду додається ще наступний символ x_N послідовності, тобто з надходженням чергового синхроімпульсу матимемо код $N^+ = 2N + x_N$. Але якщо є одиниця в старшому розряді, у наступному такті зсуву вона зникає, тому її вагу 2^{n-1} перед подвоєнням треба відняти. Отже, наступний код можна визначити з виразу [11]

$$N^+ = 2N + x_N, \text{ якщо } N < 2^{n-1}; N^+ = 2(N - 2^{n-1}) + x_N, \text{ якщо } N \geq 2^{n-1}. \quad (2.2)$$

Отже, за формулою (2.2) маємо

$$N = 0,$$

$$N_0 = 2 \cdot 0 + 1 = 1,$$

$$N_1 = 2 \cdot 1 + 1 = 3,$$

$$N_3 = 2 \cdot 3 + 1 = 7,$$

$$N_7 = 2 \cdot 7 + 0 = 14,$$

$$N_{14} = 2 \cdot (14 - 8) = 12,$$

$$N_{12} = 2 \cdot (12 - 8) = 8.$$

Перемикальний граф зобразимо на рисунку 2.9.

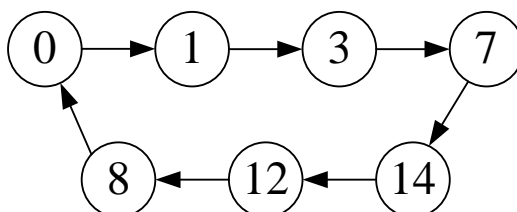


Рисунок 2.9 – Основний перемикальний граф ГКП

За допомогою діаграми термів (Вайча-Карно) [4] визначимо функцію збудження SER (див. рисунок 2.10). До клітинок номерами кодів N вписуємо «1», якщо наступний код непарний або «0», якщо він парний.

	Q_0		Q_1	
SER	1	1	1	*
			0	
	0			0
	0			

Q_2
 Q_3

Рисунок 2.10 – Діаграма термів для визначення функції збудження SER

Тоді функція збудження SER буде такою [4]

$$SER = \overline{Q_2} \cdot \overline{Q_3} = \overline{Q_2 + Q_3}.$$

Перевіримо ГКП на самовідновність і складемо повний перемикальний граф:

$$2 \rightarrow 2 \cdot 2 + 1 = 5,$$

$$\begin{aligned}
 5 &\rightarrow 2 \cdot 5 + 0 = 10, \\
 10 &\rightarrow 2 \cdot (10 - 8) + 0 = 4, \\
 4 &\rightarrow 2 \cdot 4 + 0 = 8, \\
 6 &\rightarrow 2 \cdot 6 + 0 = 12, \\
 9 &\rightarrow 2 \cdot (9 - 8) + 0 = 2, \\
 11 &\rightarrow 2 \cdot (11 - 8) + 0 = 6, \\
 13 &\rightarrow 2 \cdot (13 - 8) + 0 = 10, \\
 15 &\rightarrow 2 \cdot (15 - 8) + 0 = 14.
 \end{aligned}$$

Таким чином побудуємо повний перемикальний граф (див. рисунок 2.11)

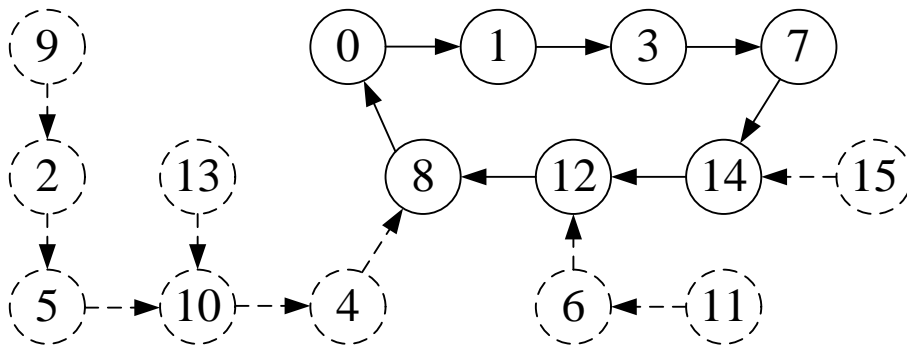


Рисунок 2.11 – Повний перемикальний граф ГКП

Отже, по отриманим результатам можна прийти до висновку, що розрахований ГКП є повністю самовідновним [12]. Схема даного ГКП зображена на рисунку 2.12.

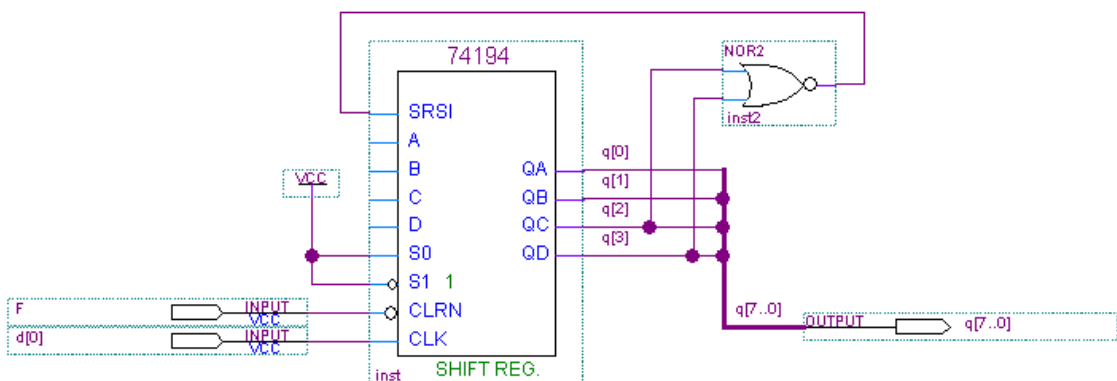


Рисунок 2.12 – Схема прямого чотирьох-розрядного ГКП

Виходи S0 і S1 під'єднані до логічної одиниці для відключення запису до регістру в паралельному коді. Вхід CLRn використовується для повного обнуління вихідних розрядів, що є необхідне під час роботи виводу часових відліків на індикатори семи-сегментного коду.

Для реалізації зворотного ГКП визначимо функцію збудження

$$SER = \overline{Q_1 + Q_2}.$$

Таким чином реалізуємо схему зворотного ГКП з тим самим періодом, змінивши порядок конфігурації вихідних розрядів, як показано на рисунку 2.13.

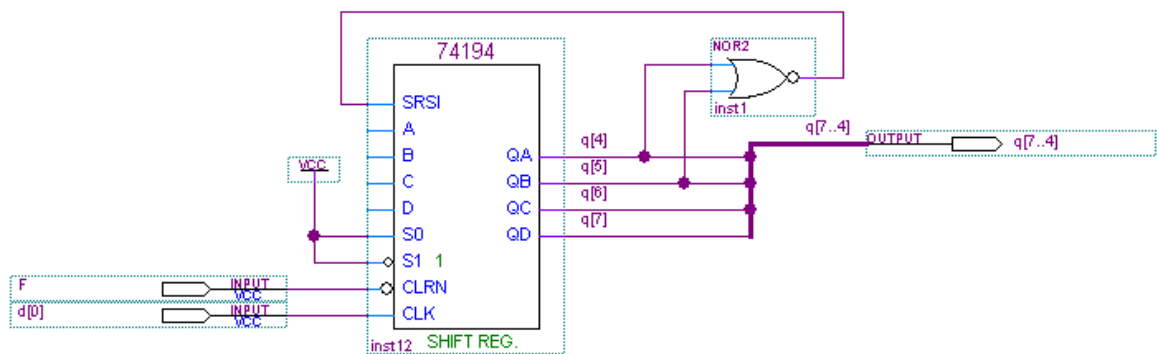


Рисунок 2.13 – Схемна реалізація зворотного ГКП

Повна схема об'єднаних прямого і зворотного ГКП представлена у додатку Ж. Оскільки даний стандартний регістр зсуву серії 74АС74194 [12] не має виводу «Enable», а отже він не має можливості зупиняти роботу ГКП, то на загальній схемі блоку за допомогою елементу І реалізовано функцію зупинки подачі тактових імпульсів на регістри.

2.7 Розрахунок похибки пристрою

Розрахуємо похибку пристрою, коли інтервал відліку в першому розряді – 1 с. Для цього визначимо деякі величини:

T - тривалість імпульсу останнього знаку в пристрої, яким є 4-й розряд, що відображує соті долі секунди ($T = 10^{-2}$ с);

f_0 - тактова частота кварцового генератора ($f_0 = 25.175 \cdot 10^6$ Гц);

δ_{f_0} - відносна похибка генератора імпульсів ($\delta_{f_0} = 10^{-8} \%$).

Отже, визначимо кількість тактових імпульсів, що проходять за час T
[11]

$$N = f_0 \cdot T,$$

$$N = 25.175 \cdot 10^6 \cdot 10^{-2} = 2.5175 \cdot 10^5.$$

Отже, відносна похибка пристрою розраховується таким чином [12]

$$\delta = \pm(\delta_{f_0} + 1/N),$$

$$\delta = \pm(10^{-8} + \frac{1}{2.5175 \cdot 10^5}) = \pm 3.98 \cdot 10^{-6} \%.$$

Таким чином, розраховано пристрій на двох мікросхемах, що відповідає поставленим у завданні вимогам. Розрахована похибка свідчить про те, що пристрій цілком відповідає сучасним вимогам до цифрових пристроїв.

Повна схема пристрою, що реалізований у мікросхемі МАХ представлена у додатку А.

3 МОДЕЛЮВАННЯ У САПР QUARTUS II ТА АПАРАТНА РЕАЛІЗАЦІЯ ПРИСТРОЮ АВТОМАТИЧНОЇ ВИТРИМКИ ЧАСУ

3.1 Моделювання пристрою автоматичної витримки часу у САПР Quartus II

Моделювання – дослідження будь-яких явищ, процесів чи систем об'єктів шляхом побудови і вивчення їх моделей; використання моделей для визначення чи уточнення характеристик і раціоналізації способів побудови ново побудованих об'єктів.

Для моделювання заданого пристрою оберемо систему Quartus II для того, щоб потім мати також можливість перевірити, відлагодити та створити реальний пристрій на основі ПЛІС. Також обрана система дає можливість змоделювати часові діаграми вихідних сигналів після чого з'являється звіт про моделювання в якому подаються результати в інформаційному вікні.

Система Quartus II – це повноциклова САПР (система автоматичного проектування), що використовується для моделювання, розробки та програмування цифрових ПЛІС (програмовані логічні інтегральні схеми).

Дана система дає можливість використовувати моделі різних логічних елементів, моделі цифрових пристроїв та систем, застосовувати макрофункції складних цифрових пристроїв із не стандартизованими розрядностями і функціями, які неможливо знайти у стандартних збірках цифрових пристроїв, а також дає можливість вводити нові моделі цифрових пристроїв або створювати їх на основі вже існуючих завдяки мові програмування AHDL [7].

Для моделювання, а також і подальшого програмування та конфігурування створимо новий проект піктограмою Starts the New Project Wizard (запустити майстра нового проекту) з назвою нашого пристрою. В ході створення проекту ми здійснюємо вибір мікросхем які будемо програмувати або конфігурувати (див. рисунок 3.1), у даному вікні необхідно задати такі параметри для мікросхеми MAX7000S: у розділі Show in 'Available devices' list: Package (тип корпусу) вибираємо PLCC, Pin count (кількість виводів) - 84,

Speed grade (градація швидкодії) - Any (довільна); у списку Available devices (доступні IC) – тип відповідної мікросхеми на платі - EPM7128SL84-7. Та для мікросхеми FLEX10K: у розділі Show in 'Available devices' list: Package вибираємо RQFP, Pin count - 240, Speed grade - Any; у списку Available devices – EPF10K70RC240-4. В разі потреби заміни мікросхеми це можна буде зробити піктограмою Device Settings або з меню Assignments (призначення) > Device (мікросхема) викликати діалогове вікно Settings (параметри налаштування), в якому встановити на вкладці Category – розділ Device [3].

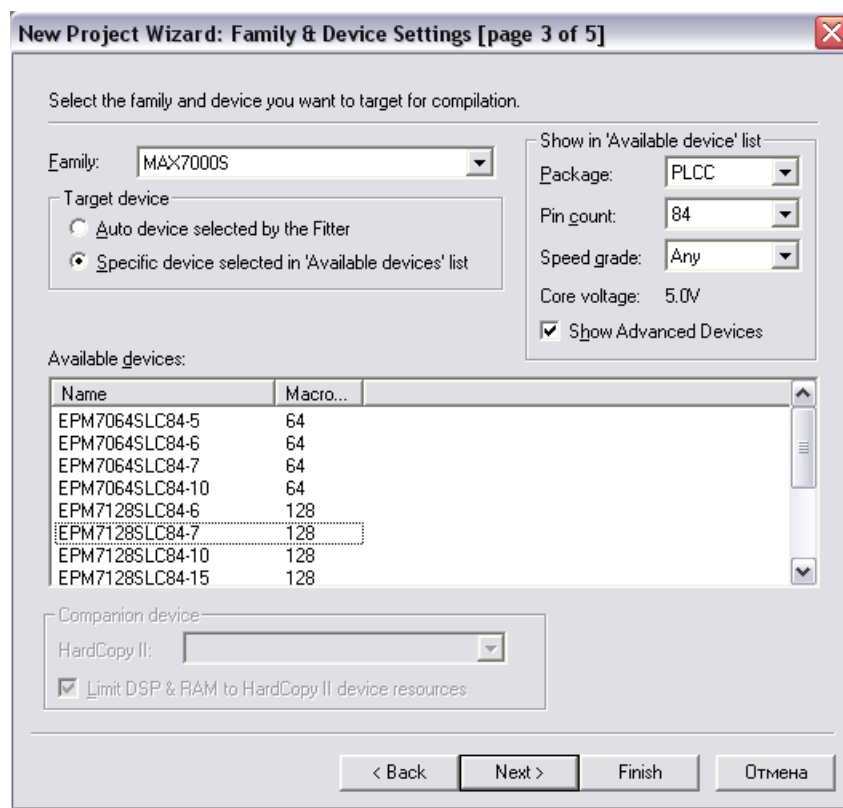


Рисунок 3.1 – Вибір програмованої мікросхеми

Створюємо графічний файл .bdf (Block Design File) нового проекту, так, як показано на рисунку 3.2, в якій внесемо схему для цього інструментом палітри (або подвійним клацанням у полі файла, або з меню Edit > Insert Symbol викликати діалогове вікно Symbol. Вводимо логічні елементи за допомогою графічного інструментарію. Для подальшого моделювання необхідно позначити назви входів і виходів: інструментом введення тексту вибираємо символ і в діалоговому вікні Pin Properties (властивості штирка), на вкладці

ці General (загальні) вводимо ім'я, наприклад, x1 та вибираємо ОК; так само позначаємо всі інші входи і виходи

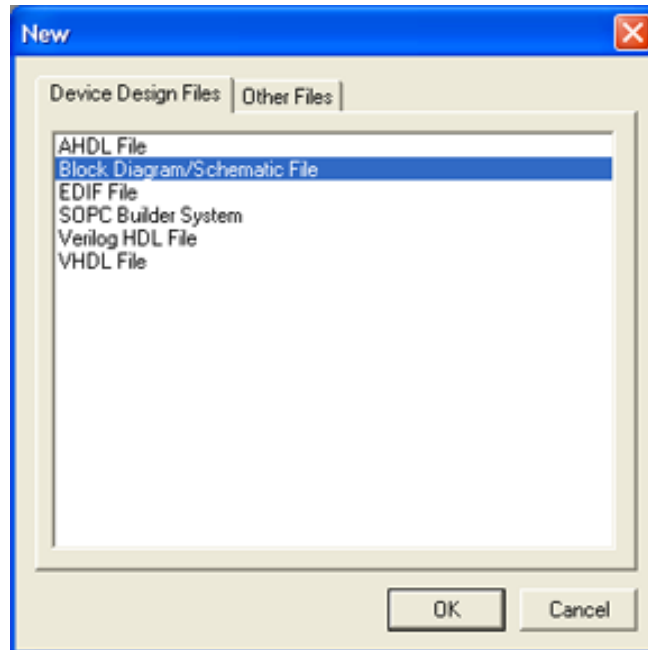


Рисунок 3.2 – Створення файлу .bdf

Мегафункції вводимо за допомогою інтерфейсних можливостей (MegaWizard Plug-In Manager), як показано на рисунку 3.3, а також в текстовому редакторі моделей AHDL. Мегафункцією називається структурна модель у вигляді стандартного блоку високого рівня, що реально не існує, але після попереднього налаштування може використовуватися як компонент схеми поряд із примітивами і макрофункціями [6]. Від макрофункції мегафункція відрізняється гнучкішими можливостями для налаштування параметрів і тим, що сигнали з'єднуються з нею, як правило, групами й шинами (вузли деяких різновидів макрофункцій також зображено шинами). Мегафункції містяться в директорії /quartus/libraries/megafunctions бібліотеки параметризованих модулів (LPM – Library of Parameterized Modules). До графічного файлу мегафункція вставляється як звичайний елемент, але із зазначеної директорії.

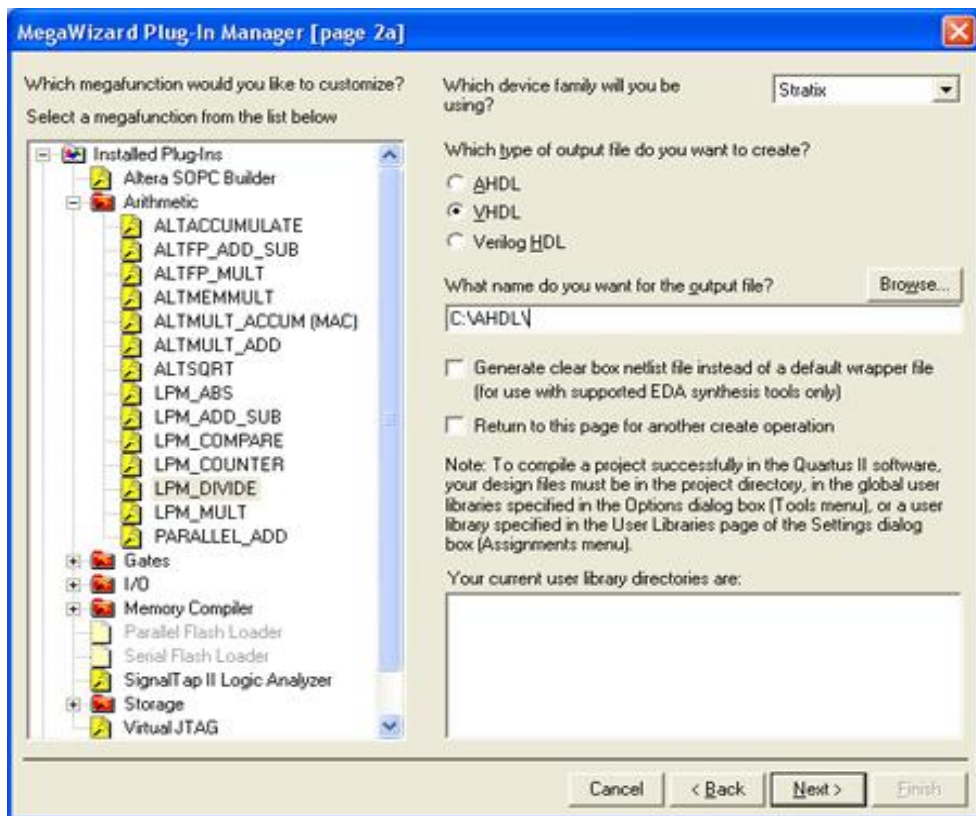


Рисунок 3.3 - Інструментарій MegaWizzard Plug-In Manager

Генератор кодових відліків реалізовано на мегафункції, для цього піктограмою створювача мегафункцій MegaWizard Plug-In Manager (або з меню Tools > MegaWizard Plug-In Manager) запустити менеджер мегафункцій і відповісти на запитання в наступних діалогових вікнах. На сторінці 1 (page 1) вибрати дію створити (Create ...) новий різновид мегафункції, у разі потреби можна редагувати (Edit ...) існуючу мегафункцію, > Next. На сторінці 2a ліворуч зі списку доступних мегафункцій вибираємо (натиснути +) категорію (storage) і функцію (LPM_FF), а праворуч – тип мови для створюваного файлу (AHDL) і вибираємо відповідну директорію, до віконця What name ... ввести ім'я файла rde (rod), > Next. На сторінці 3 в графі How many flipflops do you want? вводимо розрядність регістра, у графі How type of flipflop do you want? – вибираємо тип тригерів “D”; ставимо відмітку навпроти строки Create a Clock Enable input > Next. Нічого не змінюючи на сторінці 4, переходимо на сторінку 5 де переглядаємо підсумки – автоматично створені файли,

серед них текстовий (.tdf), включення (.inc) та символний (.bsf). Відтак виходимо з програми Manager кнопкою Finish [7,8].

Для більш наглядного вигляду і зручності роботи основні блоки схеми згорнемо до символів, для чого потрібно зайти у меню File>Great\Update>Great Symbol File for Current file, після цього вони стають доступні в базі елементів зокрема у бібліотеці створеного проекту, як показано на рисунку 3.4.

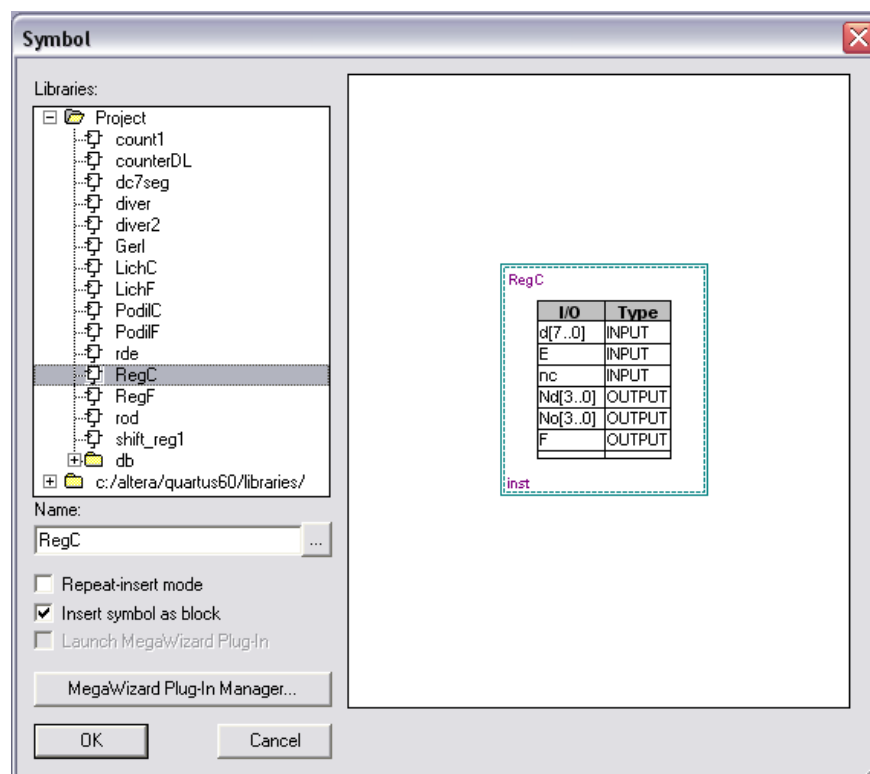


Рисунок 3.4 – Розміщення створених символів у бібліотеці проекту Symbol

Після внесення схеми у проект проводиться компіляція пристрою. Компіляція виконує наступні функції: «Analysis & Synthesis» (Аналіз і синтез), «Fitter» (Фіттер), «Assembler» (Трансляція), і «Classic or TimeQuest Timing Analyzer» (Класичний чи Спеціальний часовий аналізатор).

«Analysis & Synthesis» дозволяє досягнути вищої продуктивності та швидкодії чи використати деякі ресурси пристрою. А також виявляє помилки, допущені у створення моделі.

«Fitter» дозволяє отримати оптимальне зменшення обсягу програми а також зменшити час затримки програми.

«Assembler» створює програмний файл для програмування та конфігурування ПЛІС.

«Classic or TimeQuest Timing Analyzer» проводить аналіз схеми в часовій області. Дає можливість отримати часові діаграми вихідних сигналів, в залежності від вхідних.

Після компілювання потрібно виконати з'єднання виводів мікросхеми із зовнішніми колами згідно з таблицями розведення їх на друкованій платі, зокрема з 7-сигментним індикатором, світлодіодами, кварцовим генератором та виводом на слот розширення для передачі керуючого сигналу, для чого відкриваємо вікно Pin Planner, яке знаходиться в меню Assignments як показано на рисунку 3.5. Розведення виводів ІС, перемикачів, світлодіодів та ін. згідно друкованої плати наведено в додатку А.

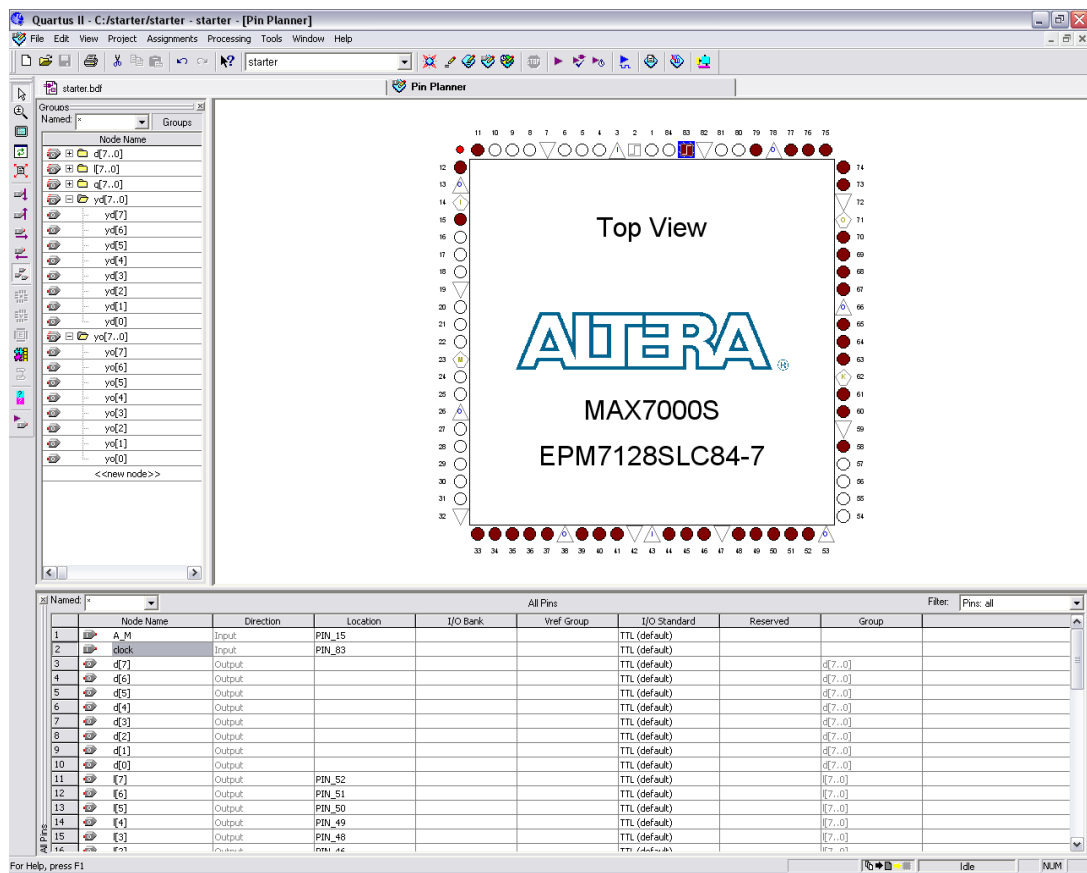


Рисунок 3.5 – Назначення виводів мікросхеми

В результаті цього біля кожного назначеного порту в проектному файлі з'явиться таблиця з'єднань, що вказує на які виводи мікросхеми назначені відповідні входи і виходи, як показано на рисунку 3.6.

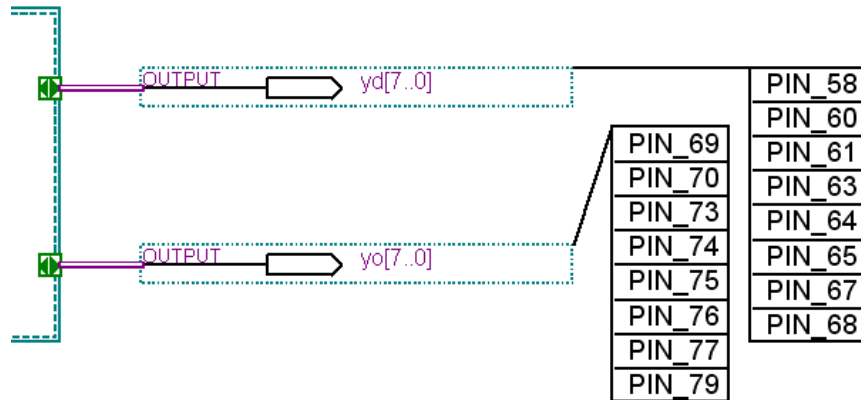


Рисунок 3.6 – Таблиці з'єднань

Щоб забезпечити синхронну роботу обох мікросхем необхідно передавати керуючий сигнал від одної мікросхеми до іншої, щоб це реалізувати використаємо один вільний вивід слоту розширення `MAX_EXPANSION` мікросхеми `MAX7000S`, наприклад `PIN_57`, та відповідно вільний вивід слоту розширення `FLEX_EXPANSION_B` мікросхеми `FLEX10K`, наприклад `PIN_144`, після чого з'єднаємо їх проводом [6].

Після цього виконуємо функціональне моделювання проектного пристрою та контрольних точок. Створюємо файл часових діаграм сигналів `.vwf`, для цього піктограмою горизонтальної панелі створити новий файл у редакторі часових діаграм (Waveform Editor), задаємо параметри часових діаграм згідно з таблицею відповідності (сітку моделювання для зручності вибираємо кратною десяти, наприклад, $\Delta t = 20 \text{ ns}$, а весь інтервал моделювання – $6,5 \text{ ms}$): меню `Edit > End Time > 6,5 ms` (прокруткою вибираємо одиницю вимірювання) `> OK`, відтак меню `Edit > Grid Size > Period 10 ns, Duty cycle` (коefficient заповнення) `50% > OK`, після чого піктограмою вписуємо все зображення у вікні. Інструментом палітри `Opens the Node Finder window` (відчинити вікно пошуку вузлів) або з меню `View > Utility Windows > Node`

Finder викликати вікно вибору сигналів. У створеному файлі часових діаграм вказуємо вхідні змінні і їх значення в залежності від часу, а також вихідні змінні. При симуляції часові діаграми вихідних змінних в залежності від заданих значень вхідних заповнюються у відповідності до складеної схеми. Результати даного функціонального моделювання приведені у додатку А.

Результатом моделювання є часові діаграми на яких зображені такі сигнали: виходи десятків і одиниць “nd” і “no” з мегафункції генератора кодових відліків; виходи з дешифратора семи-сегментного коду “yd” і “yo”, що безпосередньо подаються на індикатори; вихід з десяткового лічильника “d”; виходи з ГКП “q” і “z”, що подаються на світлодіоди [6].

ГКВ реалізовано для отримання десятків, одиниць, десятків і сотих долей секунди. Також у цьому блоці схеми на Т-тригері розроблено пристрій, який розподіляє у часі ввімкнення відліків або ГКП. Наступний блок, реалізований на регістрах, виконує генерацію семи сегментного коду відліків для відповідних розрядів дешифратора семи сегментного коду у наступному блоці, що можна спостерігати на часових діаграмах.

Дані часові діаграми відповідають схемі що реалізована на мікросхемі MAX7000S. Відмінністю двох схем є наявність, розробленого генератора кодових послідовностей у мікросхемі MAX7000S.

Сигнал з виходів дешифратора семисегментного коду “yd” і “yo”, що безпосередньо подаються на чотирьохрозрядний індикатор, висвічують відліки, де 1-ший розряд відповідає десяткам, 2-й – одиницям, інші два сигнали з мікросхеми FLEX10K висвічують 3-й і 4-й розряди, що відповідають десятим і сотим секунди. Синхронізація цих двох мікросхем відбувається за допомогою подачі на мікросхему FLEX10K керуючого сигналу з вищезгаданого Т-тригера що розроблено у генераторі кодових відліків [9].

Таким чином функціональне моделювання проектуемого пристрою у системі Quartus II дало можливість перевірити і відлагодити його перед безпосереднім програмуванням та конфігуруванням мікросхем.

3.2 Апаратна реалізація пристрою автоматичної витримки часу

Метою розробки будь-якого пристрою є його кінцева апаратна реалізація. Саме тому в даному розділі розглянемо процес виконання пристрою автоматичної витримки часу на ПЛІС.

Для цього скористаємось макетом фірми Altera UP2 Education Kit, що містить у своєму складі описані вище мікросхеми типу MAX EPM7128SLC84-7 і типу FLEX EPF10K70RC240-4 (див. рисунок 3.7) [6]. Також макет містить індикатори семи-сегментного коду, що заведені по два на кожен мікросхему (на рисунку 4.1 це MAX_DIGIT і FLEX_DIGIT), на яких буде відображено відлік часових дискретів. Крім того макет містить 16 світло-діодів, що підключені до мікросхеми типу MAX, на яких реалізовано відображення роботи ГКП, розрахованого у п. 2.6.

В макеті передбачено три по 8 перемикачів DIP (Dual-in-line package – плоский корпус з дворядним розміщенням виводів) типу з жорстким встановленням стану (MAX_SW1, MAX_SW2, FLEX_SWITCH) і дві кнопки (MAX_PB1, MAX_PB2) для динамічного дослідження макету [6].

Крім цього в даному макеті є відео-вихід і вхід для підключення PS/2 сумісного маніпулятора, що дає можливість проектувати і досліджувати відео-процесори.

Кожний вивід мікросхем заведений на окремі контактні виводи. Мікросхема MAX EPM7128SLC84-7 на контактні виводи MAX_EXPANSION, мікросхема FLEX EPF10K70RC240-4 на контактні виводи FLEX_EXPAN_A, FLEX_EXPAN_B, FLEX_EXPAN_C. Саме через ці контактні виводи і утворюється об'єднання двох мікросхем у єдину систему [6].

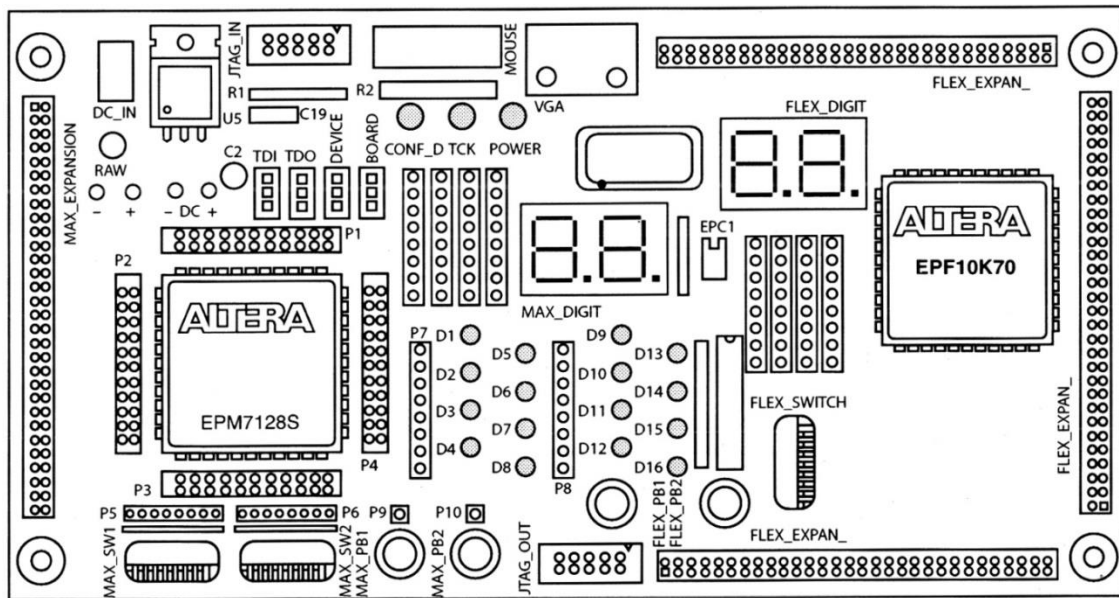


Рисунок 3.7 – Загальний вигляд макету UP2 Education Kit фірми Altera

Програмування та конфігурування пристрою можна умовно поділити на програмну та апаратну частину.

Програмне виконання програмування і конфігурування виконується у САПР, що застосовується для проектування (у нашому випадку Quartus II Version 8.0 SJ Web Edition). Це реалізовується через інтерфейс зв'язку, що викликається через меню Tools // Programmer (див. рисунок 3.8) [6, 8].

Спочатку необхідно переконатись у тому, що програматор ByteBlaster II, який виконаний окремим функціональним блоком, підключений до паралельного порту комп'ютера і перевірити його працездатність. Для цього потрібно увійти в режим «Hardware Setup...», діалогове вікно якого представлено на рисунку 4.3 і за відсутності зв'язку з програматором («No connection») через «Add hardware...» додати до списку пристроїв програмування ByteBlaster II (в даному випадку система Quartus II автоматично знаходить програматор, якщо він підключений до порту LPT і встановлює його в систему).

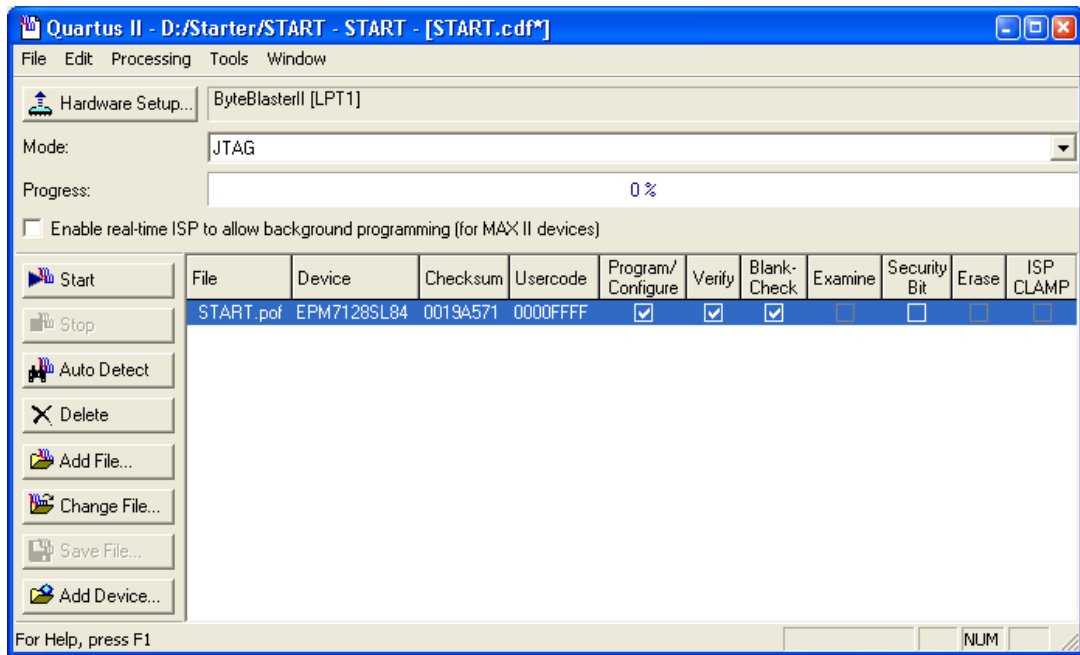


Рисунок 3.8 – Вікно інтерфейсу програмування і конфігурування мікросхеми EPM7128SLC84-7

Далі необхідно обрати файл, що буде створений автоматично після компіляції проекту (файл низького рівня програмування, в даному випадку на рисунку 3.8 це START.pof). Це виконується натисканням на кнопку «Add file...». Якщо в проекті не було задано модель мікросхеми, для якої відбувається програмування чи конфігурування, то необхідно також натиснути кнопку «Add device ...» і обрати тип необхідний тип мікросхеми.

Далі в діалоговому вікні інтерфейсу програмування і конфігурування необхідно задати безпосередньо режим програмування. Для мікросхеми MAX EPM7128SLC84-7 CPLD типу можливі наступні режими [6]:

- «Blank check» - перевірка мікросхеми на наявність будь-якої інформації в ній;
- «Verify» - перевірка працездатності та готовності мікросхеми для програмування;
- «Erase» - стирання пам'яті мікросхеми (лише для CPLD мікросхем)
- «Program / Configure» - внесення змісту файлу низького рівня програмування до EEPROM пам'яті мікросхеми (у випадку програму-

вання CPLD мікросхем) чи до FLASH пам'яті (у випадку конфігурування FPGA мікросхем);

- «Security bit» - мітка, що блокує мікросхему, захищаючи її від наступного процесу програмування, а також блокує процес зчитування вмісту EEPROM пам'яті мікросхеми.

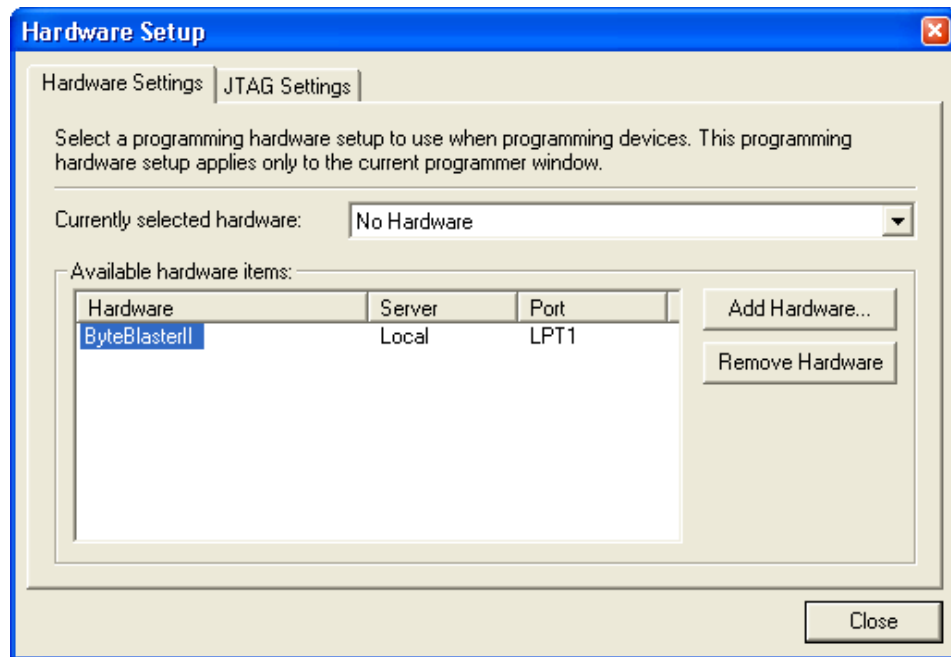


Рисунок 3.9 – Вікно інтерфейсу установки пристрою програмування

Інтерфейс програмування і конфігурування дозволяє комбінувати вище згадані режими в залежності від необхідності та технічних умов експлуатації мікросхем.

У випадку конфігурування мікросхем режими «Blank check», «Verify», «Erase» і «Security bit» є недоступними (див. рисунок 3.10)

Після того, як всі режими виставлені, тип мікросхеми і файл низького рівня програмування задані по натисненню кнопки «Start ...» відбувається процес програмування чи конфігурування.

Апаратне виконання програмування і конфігурування виконується через згаданий вище пристрій – програматор ByteBlaster II, що поєднує макет із комп'ютером, де встановлена система САПР Quartus II, через рознімач «JTAG_IN» (див. рисунок 3.7). Цей рознімач під'єднано до виводів мікрос-

хем, що відповідають за її програмування чи конфігурування (TDI, TDO, TCK, TMS)

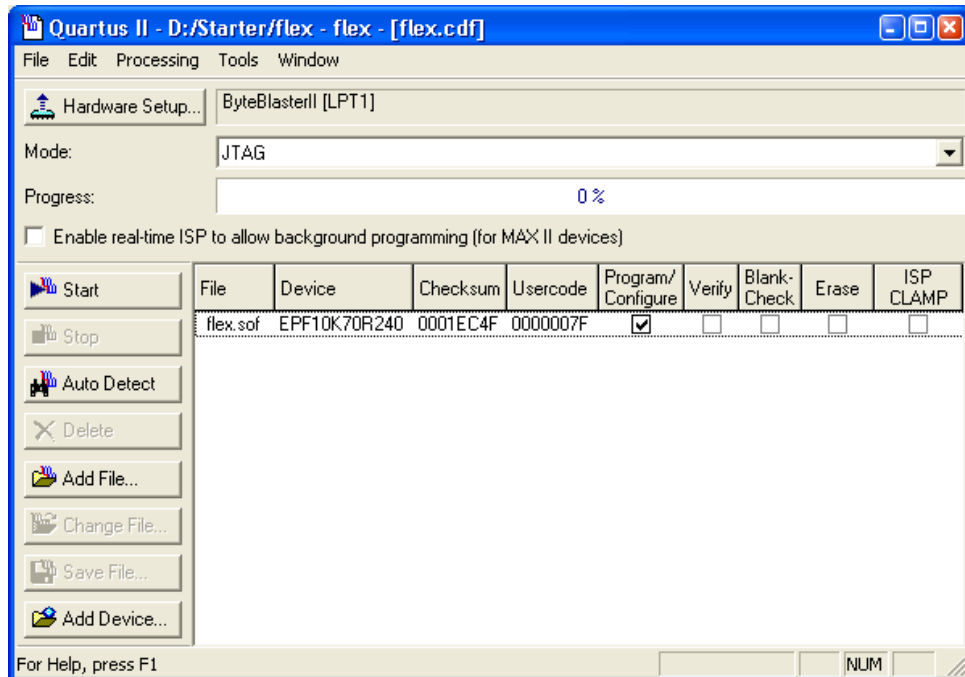


Рисунок 3.10 – Вікно інтерфейсу програмування і конфігурування мікросхеми EPF10K70RC240-4

Також необхідно в залежності від мікросхеми, яка програмується чи конфігурується змінити положення перемикачів TDI, TDO, DEVICE і BOARD так, як показано на рисунку 3.11, а для мікросхеми MAX EPM7128SLC84-7 і так, як показано на рисунку 3.11, б для мікросхеми типу FLEX EPF10K70RC240-4 [6].

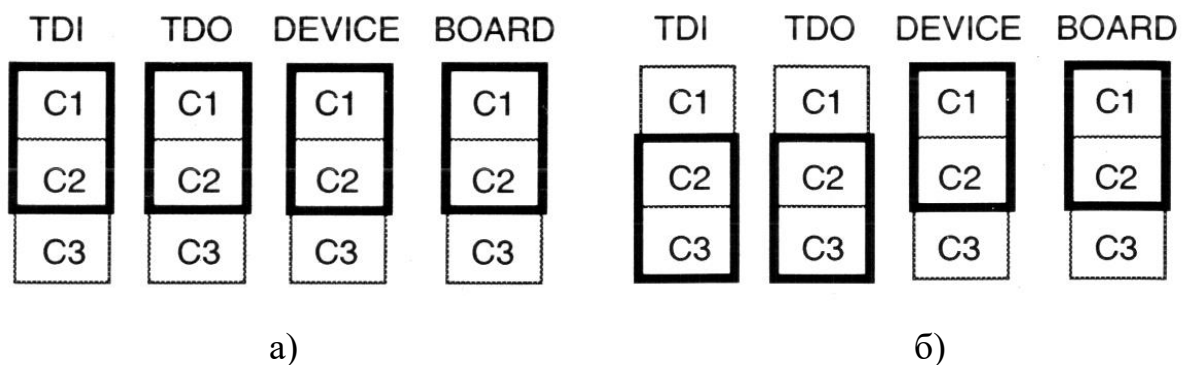


Рисунок 3.11 – Розміщення перемикачів TDI, TDO, DEVICE і BOARD
а) для мікросхеми MAX, б) для мікросхеми FLEX

3.3 Результати модельного дослідження працездатності блоків пристрою

3.3.1 Кодер клавіатури

У якості клавіатури можна використати будь-яку клавіатуру, що має дванадцять клавіш: з цифрами від 0 до 9 та клавіші «Пуск» і «Скидання». Наприклад, конструкція фірми Tesla типу GP-8213.

Як було зазначено вище кодер клавіатури повинен перетворювати унітарний код клавіатури у інверсний двійковий код. Позначення такого шифратора у середовищі Quartus II 6.0 наведено на рисунку 3.12.

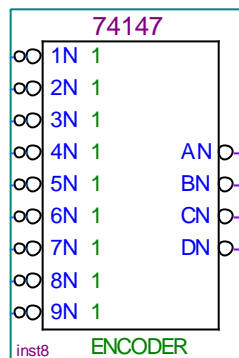


Рисунок 3.12 – Позначення шифратора у середовищі Quartus II

Оскільки входи шифратора також інверсні, то для подання прямого коду слід було провести інвертування даних. Робота кодера представлена часовою діаграмою (рисунок 3.13).

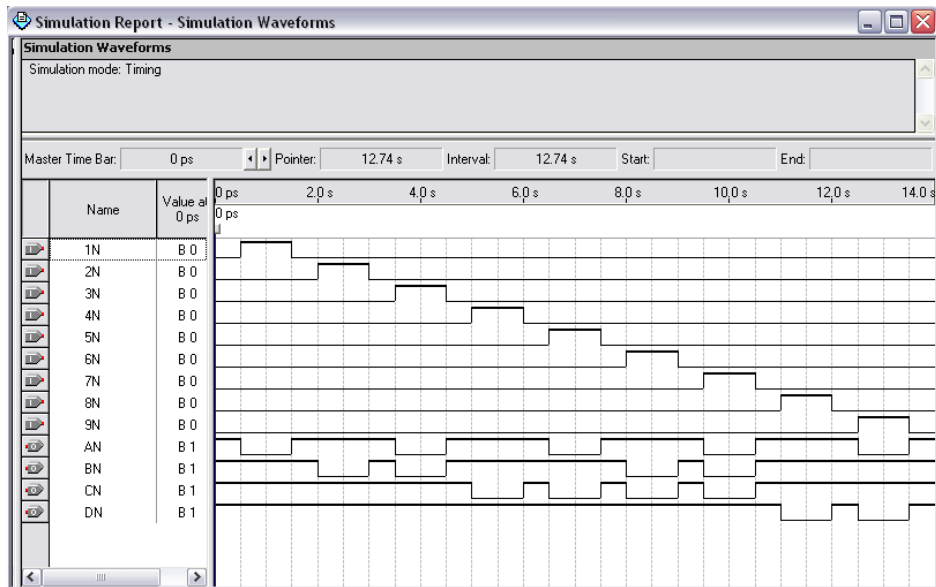


Рисунок 3.13 – Часові діаграми роботи шифратора

3.3.2 Детектор натиснень

Для простоти у якості детектора натиснень можна використати два логічних елемента І: на чотири (AND4) та на два (AND2) входи, з'єднаних як показано на рисунку 3.14.

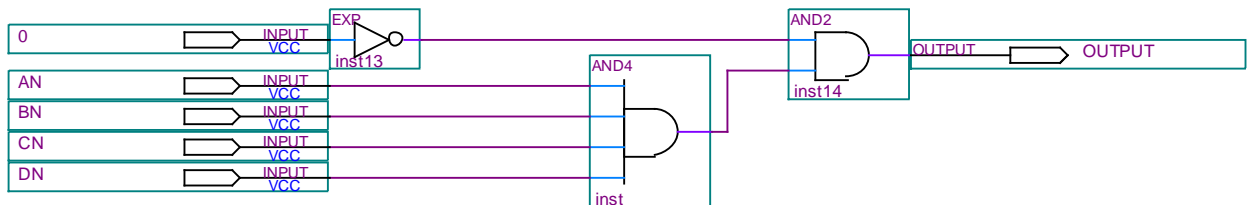


Рисунок 3.14 – Детектор натиснень

Вхідні сигнали AN..DN подаються від шифратора клавіатури, а сигнал 0 – від клавіші «0» клавіатури. На виході детектора натиснень буде встановлюватися рівень логічної одиниці при кожному відпусканні клавіші клавіатури, оскільки при натисненій клавіші з цифрою на входах детектора натиснень буде інверсний двійковий код, у якому не менше, ніж в одному розряді буде значення логічного нуля.

3.3.3 Лічильник натиснень

Лічильником натиснень є звичайний лічильник з динамічним керуванням. У середовищі Quartus II 6.0 зручно скористатися майстром створення мегафункцій MegaWizard Plug-In Manager і ввести лічильник як мегафункцію. (Мегафункцією називається структурна модель у вигляді стандартного блоку високого рівня, що реально не існує, але після попереднього налаштування може використовуватися як компонент схеми поряд із примітивами і макрофункціями [8]).

Створений лічильник представлений на рисунку 3.15.

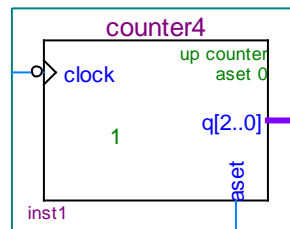


Рисунок 3.15 – Лічильник натиснень

Лічильник має два входи: вхід для послідовності імпульсів, які підраховуються (clock), та вхід асинхронного скидання до нуля (aset). Вхід clock з'єднаний з виходом детектора натиснень, а вхід aset – з клавішею «Скидання» клавіатури і дає змогу обнулити лічильник перед введенням нового значення часу витримки.

Вихід лічильника трьохрозрядний (q[2..0]), оскільки максимальна кількість введених цифр – чотири, що у двійковому коді займає чотири розряди. Робота лічильника представлена на рисунку 3.16.

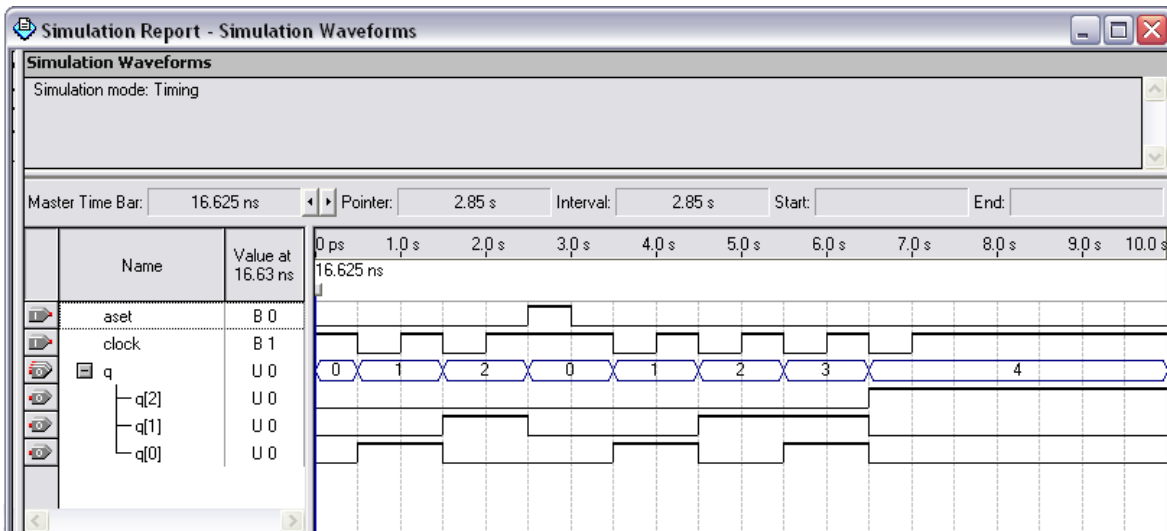


Рисунок 3.16 – Часові діаграми роботи лічильника

3.3.4 Дешифратор позицій завантаження

Дешифратор позицій завантаження виступає у якості перемикального пристрою, що керує записом у регістри. На його вхід надходить двійковий код з лічильника натиснень, який вказує порядковий номер введеної цифри, а на виході утворюється відповідний унітарний код.

Позначення дешифратора у середовищі Quartus II 6.0 наведене на рисунку 3.17 (оскільки максимальна кількість ведених цифр – чотири, то кількість виходів дешифратора, що використовуються, можна скоротити до чотирьох).

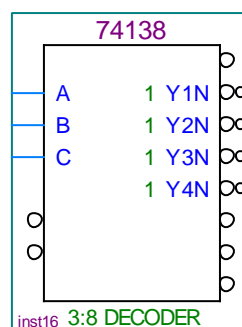


Рисунок 3.17 – Дешифратор у середовищі Quartus II

Для повернення до прямого коду використане додаткове інвертування вихідних сигналів. Роботу даного дешифратора можна проілюструвати часовими діаграмами (рисунок 3.18).

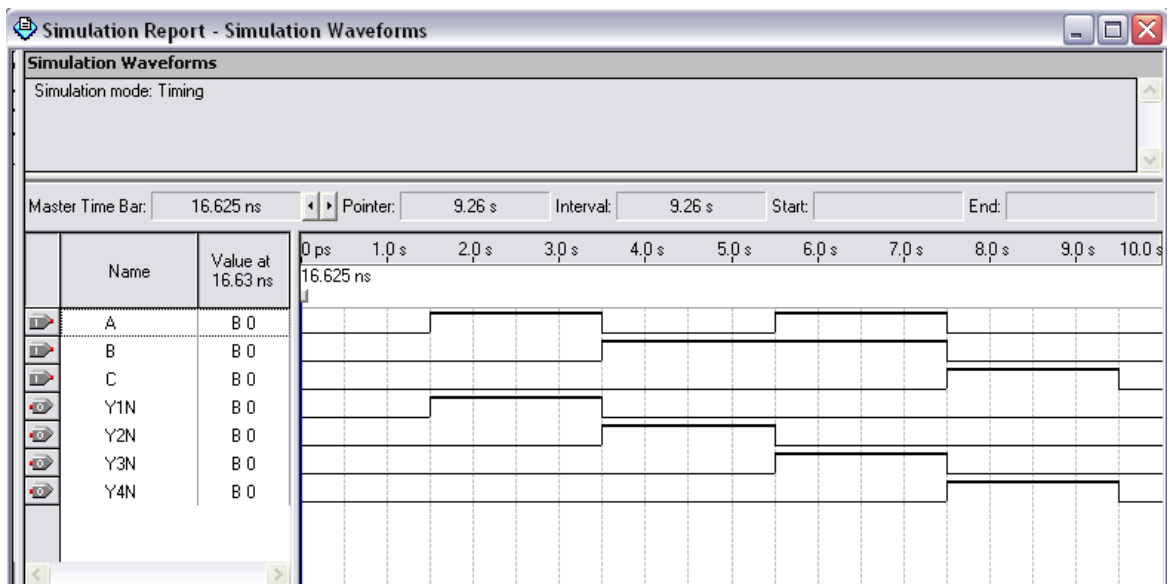


Рисунок 3.18 – Часові діаграми роботи дешифратора

3.3.5 Регістри

Регістри зберігають встановлений час відліку для подальшого відображення його на цифрових індикаторах та порівняння з часом, що минув.

У якості одного регістра використаємо магафункцію LPM_FF з бібліотеки компонентів. Позначення такого регістра наведено на рисунку 3.19.

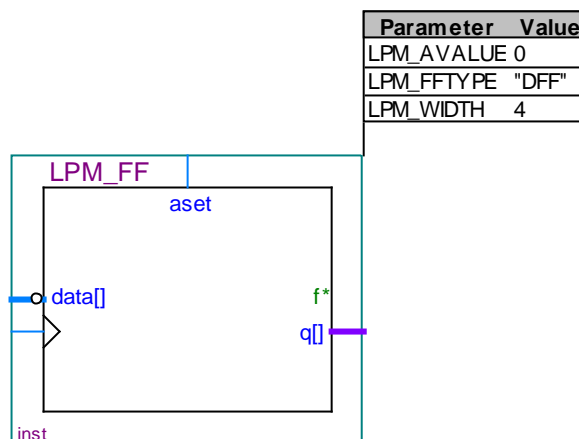


Рисунок 3.19 – Позначення регістра у середовищі Quartus II

Даний регістр побудований на D-тригерах (DFF) і має чотири входи: вхід даних на чотири розряди (`data[]`), вхід динамічного керування записом (позначений трикутником) та вхід асинхронного скидання до нуля (`aset`).

Оскільки дані подаються від кодера клавіатури у інверсному коді, то виникає необхідність у зворотному інвертуванні, тому вхід data[] першого регістра змінений на інверсний (рис. 3.20).

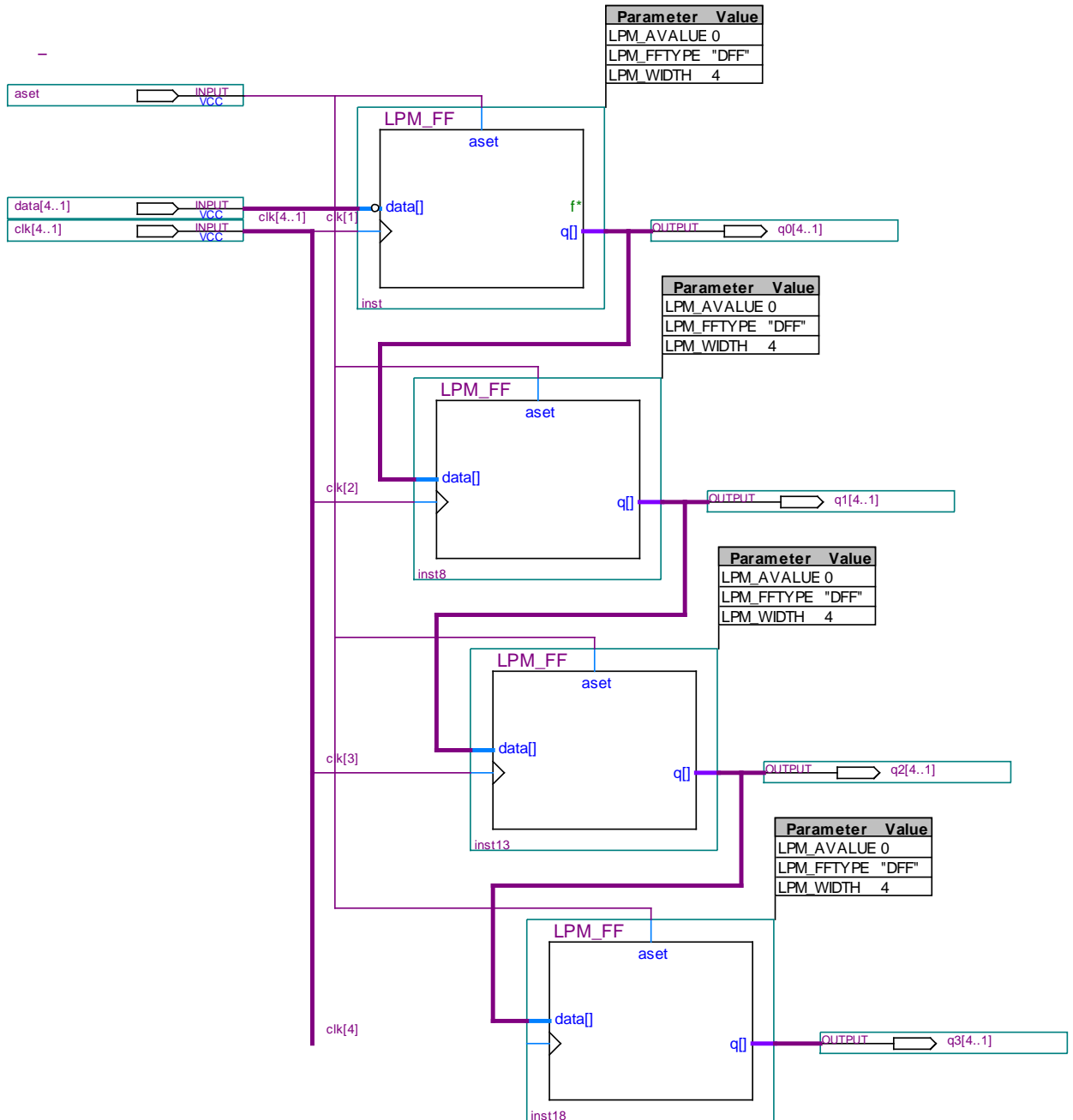


Рисунок 3.20 – З'єднання регістрів

Вхід асинхронного скидання з'єднаний з клавішею «Скидання» клавіатури та призначений для очищення регістрів при потребі введення нового значення часу витримки.

На вхід динамічного керування записом повинні надходити імпульси при появі нових вхідних даних.

Оскільки лічильник має чотири розряди, то необхідна кількість регістрів – чотири. Їх з'єднання показано на рисунку 3.20.

Таке з'єднання регістрів пояснюється зміною розряду введеної цифри. Тобто перша цифра записується у перший регістр, що зберігає молодший розряд (розряд одиниць). При введенні другої цифри дані з першого регістра переписуються у другий регістр (розряд десятків), а на їх місце надходить нова щойно введена цифра і т.д. Так введене десяткове число може мати від однієї до чотирьох цифр, кожна з яких буде записана у відповідному розряді.

Для формування імпульсів керування, що надходять на входи динамічного керування записом до регістрів використовуємо схему представлену на рисунку 3.21.

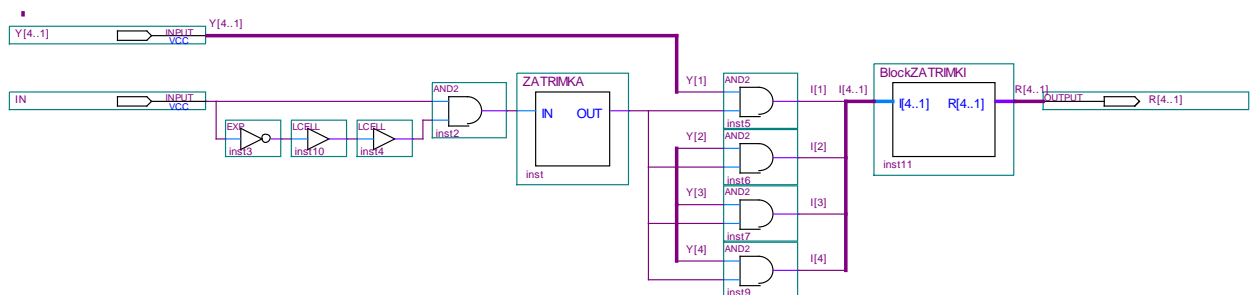


Рисунок 3.21 – Схема формувача імпульсів керування регістрами у середовищі Quartus II

Вхід IN з'єднаний з детектором натиснень, а вхід Y[4..1] – з дешифратором позицій завантаження

На даній схемі з'єднання інвертора (EXP), двох буферів затримки (LCELL) разом з елементом логічного множення (AND2) утворює імпульс короткої тривалості, який необхідно подати у певний час на певні регістри. Для того, щоб запис був здійснений під час наявності сигналу, використовується затримка утвореного імпульсу (ZATRIMKA), яка є з'єднанням п'яти буферів затримки (рисунок 3.22) та чотири елементи I (AND2). Розподілення

імпульсів між регістрами відбувається у блоці затримки (BlockZATRIMKI), схема якого наведена на рисунку 3.23.

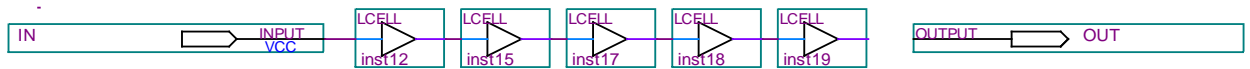


Рисунок 3.22 – Схема затримки імпульсу у середовищі Quartus II

У схемі використані буфери WIRE для можливості зміни назви сигналу.

На виході блоку затримки та розподілення імпульсів керування утворюється необхідна кількість імпульсів, що надходить на певні регістри.

Часові діаграми роботи блоку затримки та розподілення імпульсів представлені на рисунку 3.24, а всього формувача імпульсів – на рисунку 3.25.

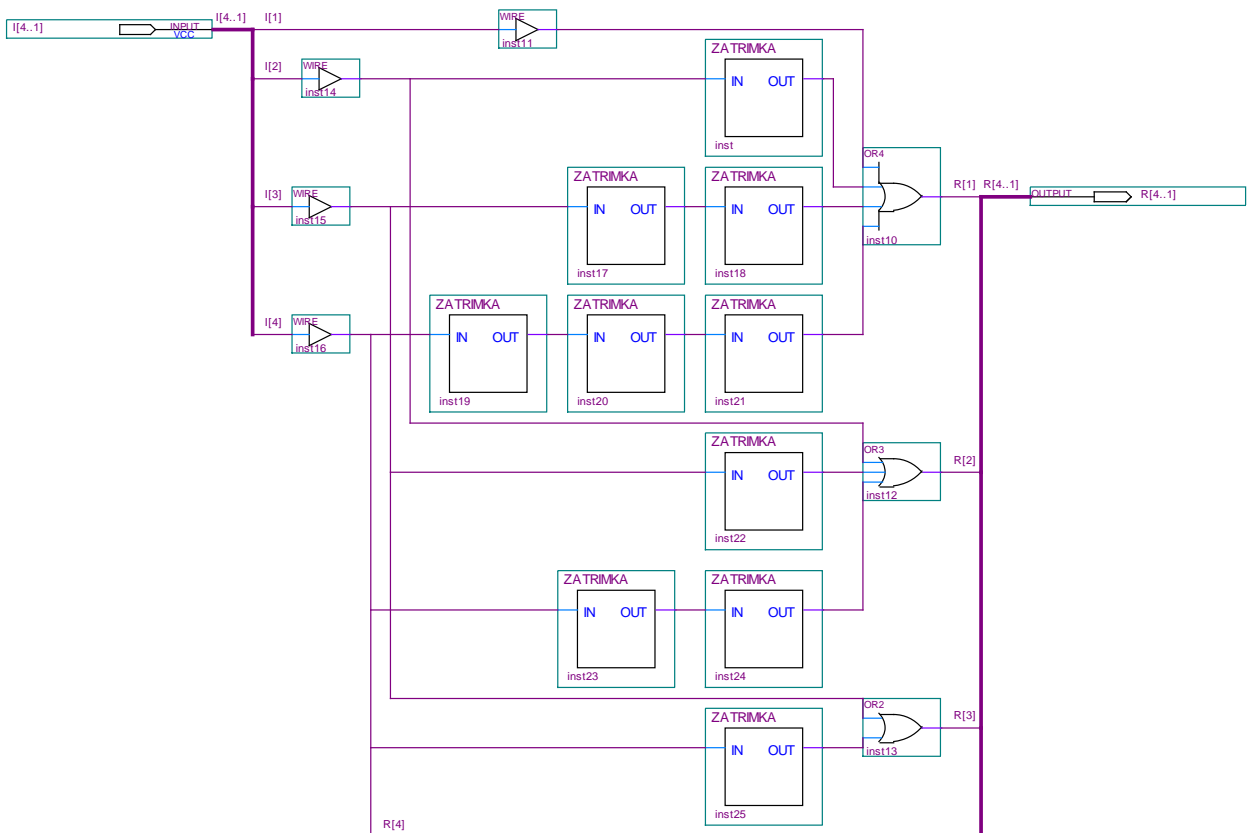


Рисунок 3.23 – Схема блоку затримки та розподілення імпульсів у середовищі Quartus II

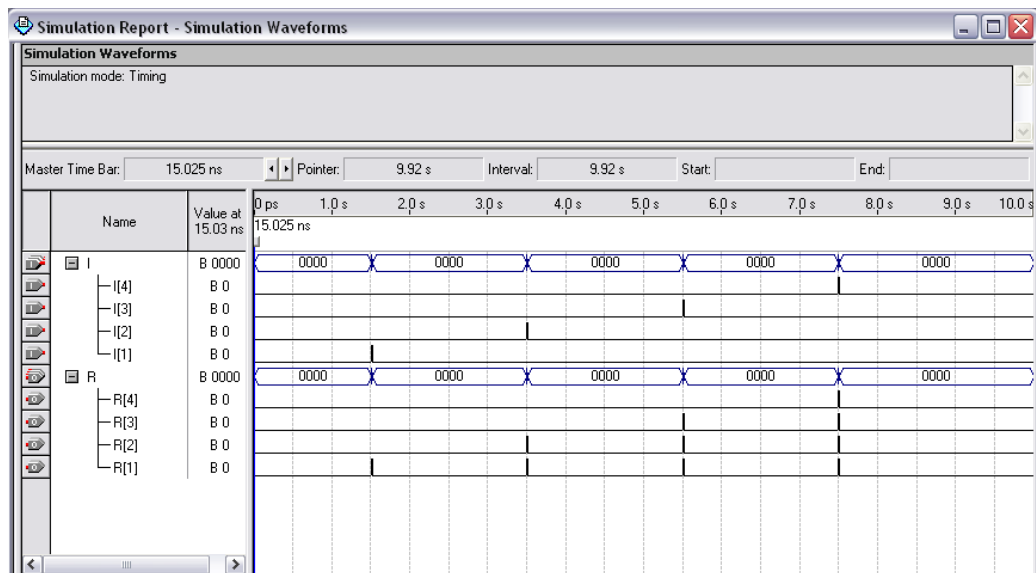


Рисунок 3.24 – Часові діаграми роботи блоку затримки та розподілення імпульсів

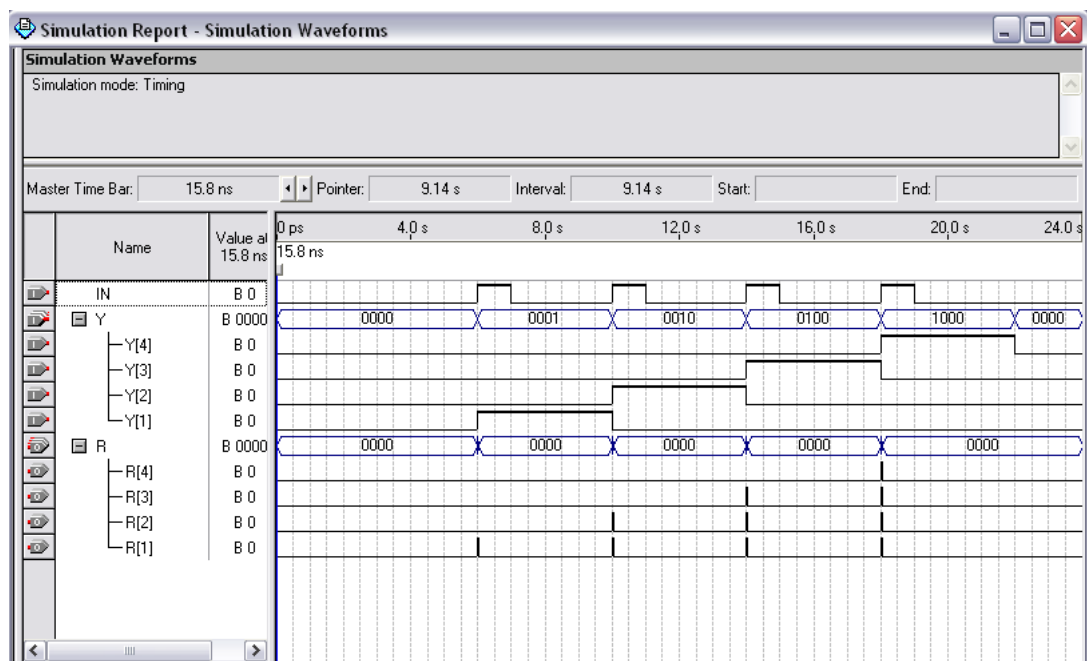


Рисунок 3.25 – Часові діаграми формувача імпульсів

Для спрощення загальної схеми таймера варто використати позначення блоку формування імпульсів керування запису у регістри, створеного у символному файлі (рисунок 3.26).

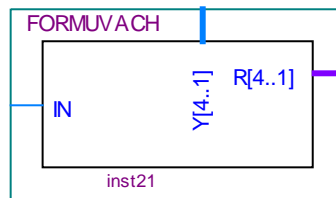


Рисунок 3.26 – Позначення блоку формування імпульсів керування запису у регістри у середовищі Quartus II

З метою встигання імпульсів керування записом до регістру за даними, що надходять від кодера клавіатури використовується затримка даних, що представляє собою послідовне з'єднання буферів затримки в однакової кількості для кожного розряду даних у двійковому коді. Символьне позначення такого блоку затримки даних, утворене у символному файлі наведено на рисунку 3.27.

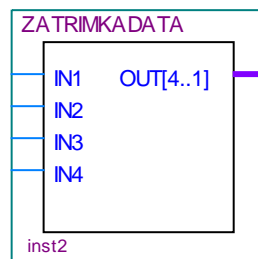


Рисунок 3.27 – Символьне позначення блоку затримки даних у середовищі Quartus II

З'єднання регістрів на загальній схемі також можна представити одним блоком, позначення якого приведене на рисунку 3.28.

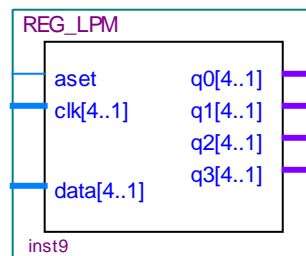


Рисунок 3.28 – Позначення з'єднання регістрів у середовищі Quartus II

На виході регістрів утримується введене число. Робота регістрів представлена часовими діаграмами (рисунок 3.29).

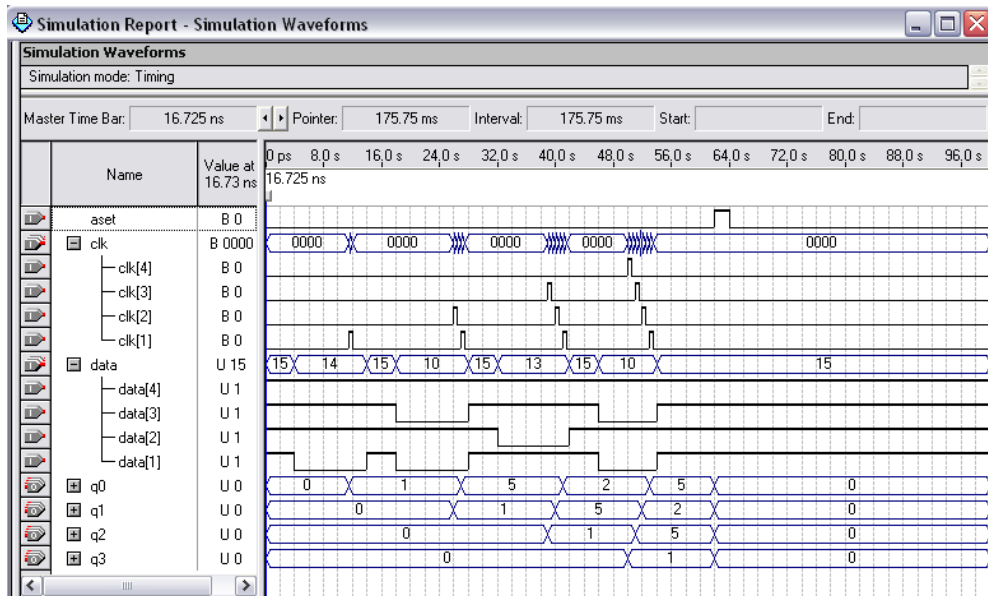


Рисунок 3.29 – Часові діаграми роботи регістрів

3.3.6 Лічильник

Для кожного розряду числа будемо використовувати свій лічильник. Схема з'єднання декадних лічильників представлена на рисунку 3.30.

Усі чотири декадних лічильника ідентичні та створені майстром створення мегафункцій MegaWizard Plug-In Manager. Кожен з них має три входи: вхід надходження імпульсів, що підраховуються (clock), вхід утримування вихідних даних або дозвіл на підраховування (cnt_en) та вхід асинхронного скидання до нуля (aset). На виходах лічильників встановлюється підрахована кількість імпульсів у двійковому коді (q[3..0]) та імпульс перенесення при переповненні, тобто кожен раз коли кількість підрахованих імпульсів буде рівна десяти, при цьому лічильник знов почне відлік від нуля. Лічильники з'єднані таким чином, що імпульс перенесення від попереднього лічильника є входним для наступного. Таким чином перший лічильник підраховує кількість одиниць, другий – десятків, третій – сотень, а четвертий – тисяч. Інвер-

тування (EXP) імпульсу перенесення пояснюється потребою спрацювання наступного лічильника на задній фронт імпульсу.

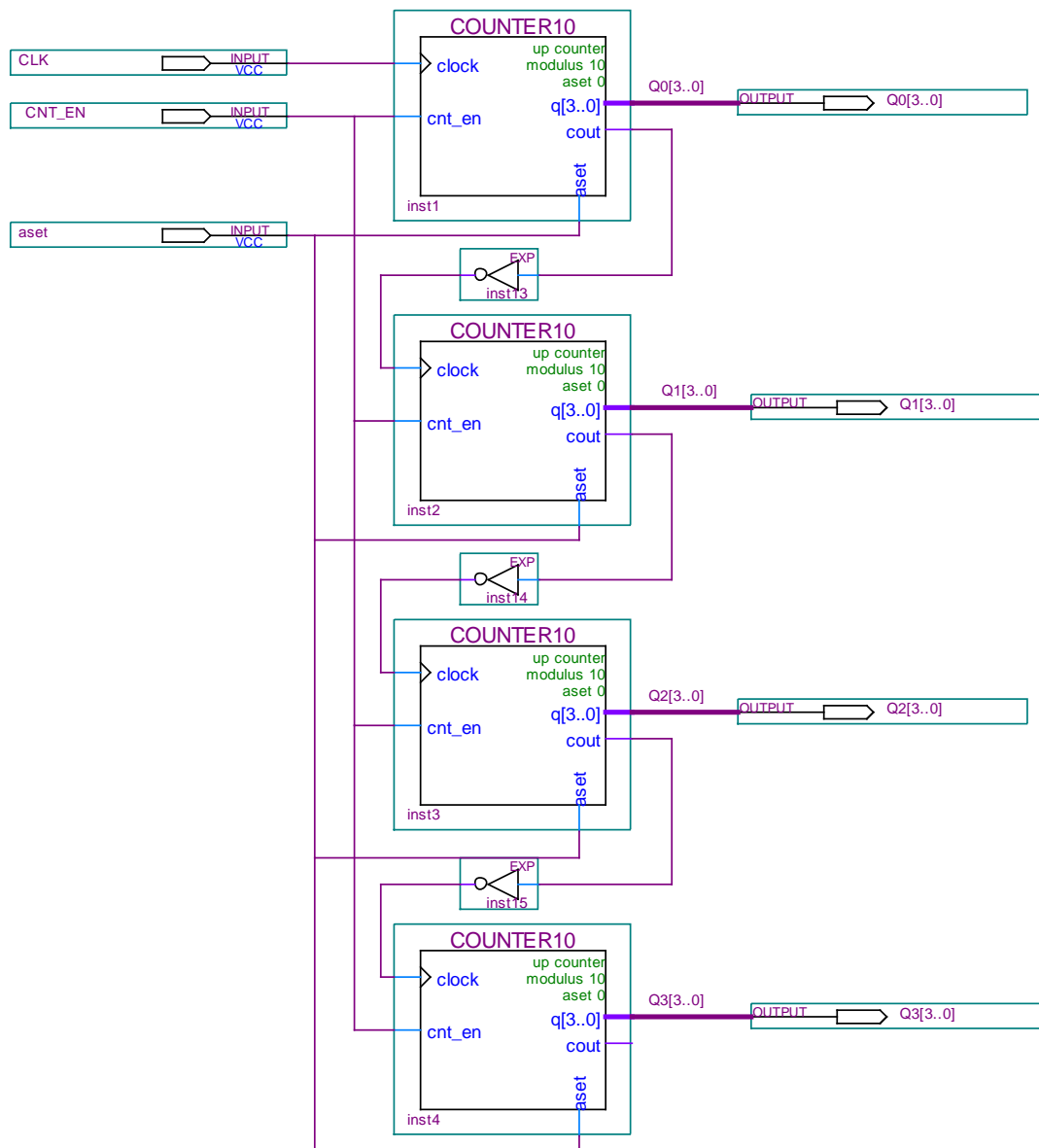


Рисунок 3.30 – Схема з'єднання декадних лічильників у середовищі Quartus II

Інтервал однієї витримки залежить від частоти тактового генератора, сигнали з якого подаються на вхід clock першого лічильника. Для отримання одиночного інтервалу, що дорівнює одній секунді, слід подати послідовність імпульсів з частотою 1 Гц. Тобто варто використати кварцовий генератор з подільником частоти, що є зовнішніми пристроями, тому не вимагають їх проектування.

На вхід утримування вихідних даних (cnt_en) подається вихідний імпульс таймера, що сигналізує про закінчення часу витримки. При появі такого імпульсу лічильники зупиняють підрахунок і зберігають останнє значення.

Вхід асинхронного скидання до нуля (aset) з'єднаний з клавішею «Скидання» та слугує для обнулення всіх декадних лічильників.

Позначення чотирьохрозрядного лічильника, створене у символному файлі наведено на рисунку 3.31.

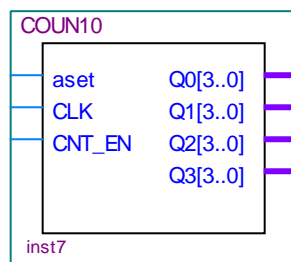


Рисунок 3.31 – Символьне позначення лічильника у середовищі Quartus II

Робота лічильника представлена часовими діаграмами (рисунок 3.32).

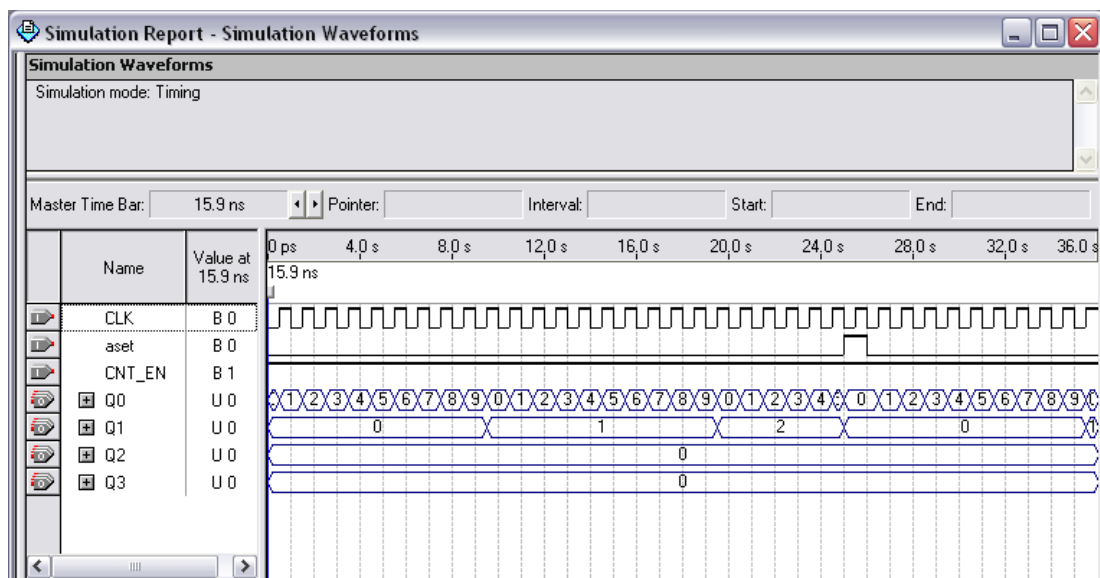


Рисунок 3.32 – Часові діаграми роботи лічильника

3.3.7 Перемикач шини даних

Перемикач шини даних призначений для перемикування між даними, що надходять від регістрів, та даними від лічильника при їх виведенні на цифрові індикатори.

Даний перемикач представляє собою з'єднання чотирьох мегафункцій (BUSMUX), які виконують функцію перемикання між двома шинами і керуються сигналом sel (рисунок 3.34). Коли sel приймає значення логічного нуля, то через перемикач проходять дані від регістрів, а при встановленні рівня логічної одиниці – від лічильника. Вхід sel з'єднаний з клавішею «Пуск» клавіатури. Тобто до початку відліку можна спостерігати за введеним числом, а після нього – за зміною часу, що минув.

Символьне зображення перемикача шин, створене у символічному файлі представлено на рисунку 3.33.

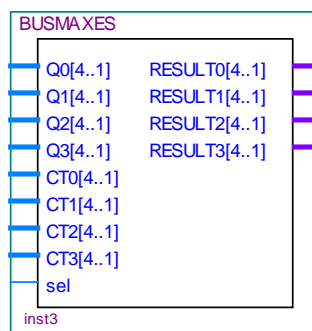


Рисунок 3.33 – Позначення перемикача шини даних у середовищі Quartus II

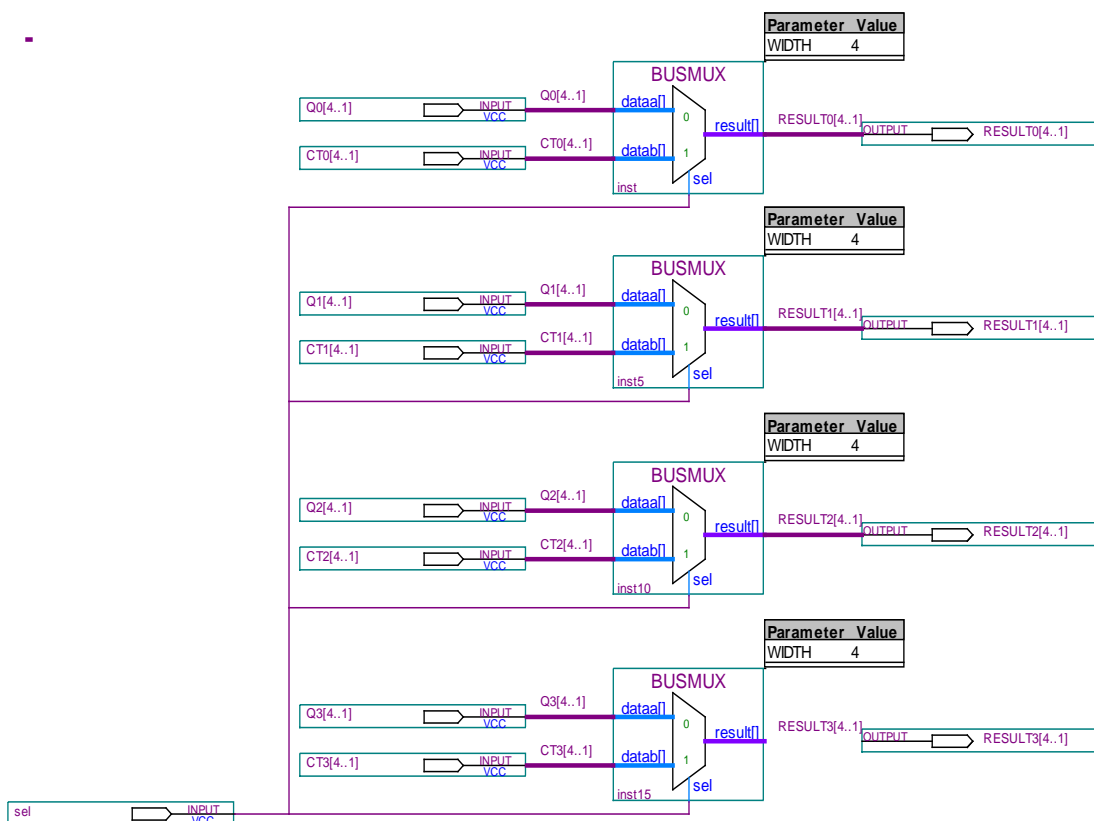


Рисунок 3.34 – Перемикач шини даних у середовищі Quartus II

Часові діаграми роботи мегафункції перемикача шин наведені на рисунку 3.35.

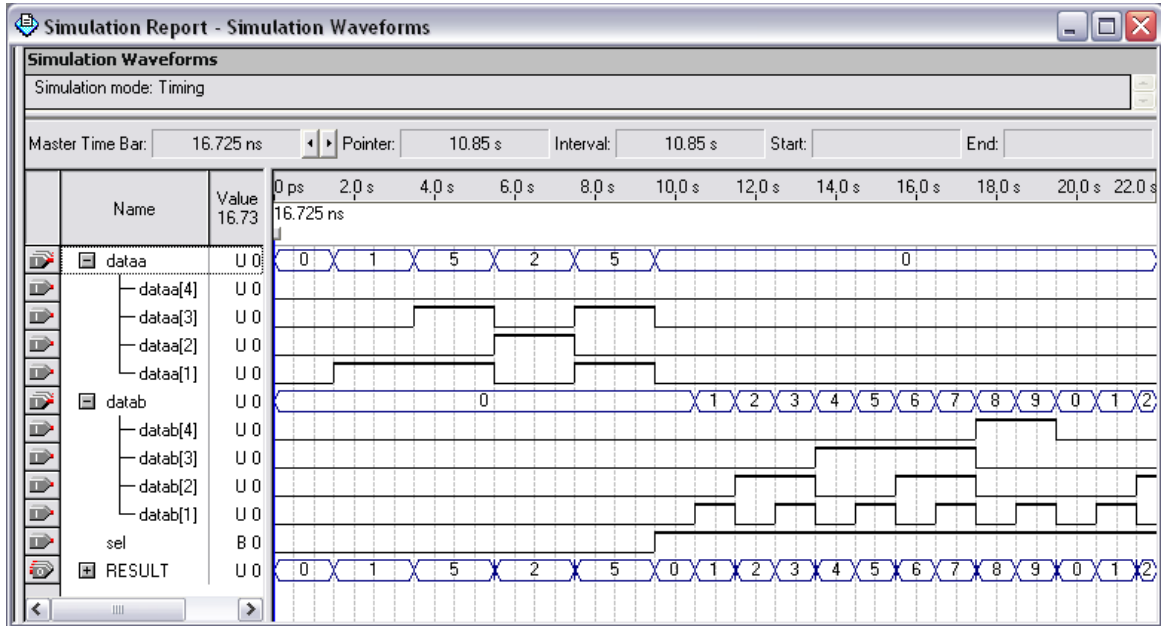


Рисунок 2.35 – Часові діаграми роботи мегафункції перемикача шин

3.3.8 Дешифратори індикаторів

Дешифратори індикаторів призначені для перетворення двійкового коду до семисегментного коду індикатора. У середовищі Quartus II 6.0 такий дешифратор має позначення, наведене на рисунку 3.36.

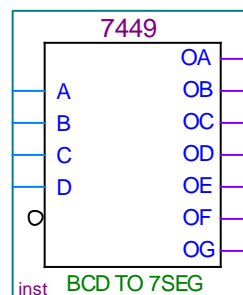


Рисунок 3.36 – Позначення дешифратора до семисегментного коду у середовищі Quartus II

Цифровий індикатор представляє собою з'єднання семи світлодіодів. Його сегменти позначаються латинськими літерами (рисунок 3.37).

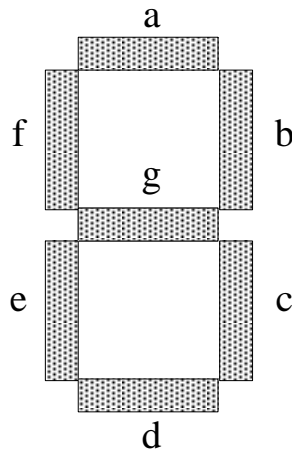


Рисунок 3.37 – Позначення сегментів індикаторів

Роботу дешифратора можна проілюструвати часовими діаграмами (рисунок 3.38).

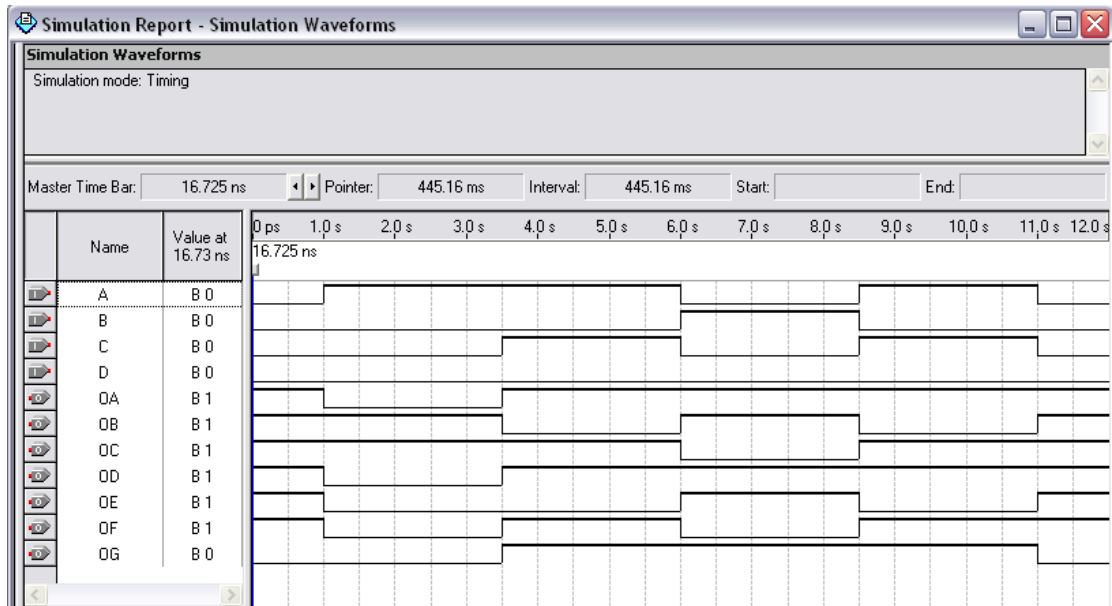


Рисунок 3.38 – Часові діаграми роботи дешифратора до семисегментного коду

Для зручного представлення на загальній схемі таймера чотири дешифратора варто помістити у єдиний блок з символічним позначенням, що приведений на рисунку 3.39.

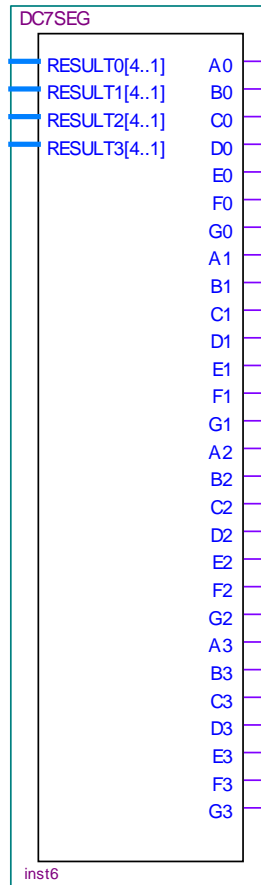


Рисунок 3.39 – Позначення блоку індикаторів у середовищі Quartus II

3.3.9 Компаратор

Даний елемент схеми призначений для слідкування за пройденим часом, шляхом постійного порівняння заданого проміжку часу з тим, що минув. Та при їх рівності продукує сигнал рівності, який зупиняє лічильник.

Компаратор, створений майстром створення мегафункцій MegaWizard Plug-In Manager представлений на рисунку 3.40.

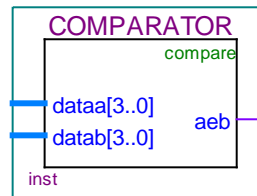


Рисунок 3.40 – Компаратор у середовищі Quartus II

Даний компаратор має два чотирьохрозрядні входи, один з яких під'єднується до певного регістра, а другий – до відповідного декадного лічильника. Наході встановлюється рівень логічної одиниці при повній ідентичності сигналів, що надходять.

Оскільки таймер має чотири розряди, то слід використати чотири компаратора, причому виходи компараторів подати на елемент логічного множення, щоб логічна одиниця на виході утворювалася лише при повній відповідності значень чотирьохрозрядного лічильника значенням, що зберігаються у регістрах.

Схема з'єднання компараторів наведена на рисунку 3.41.

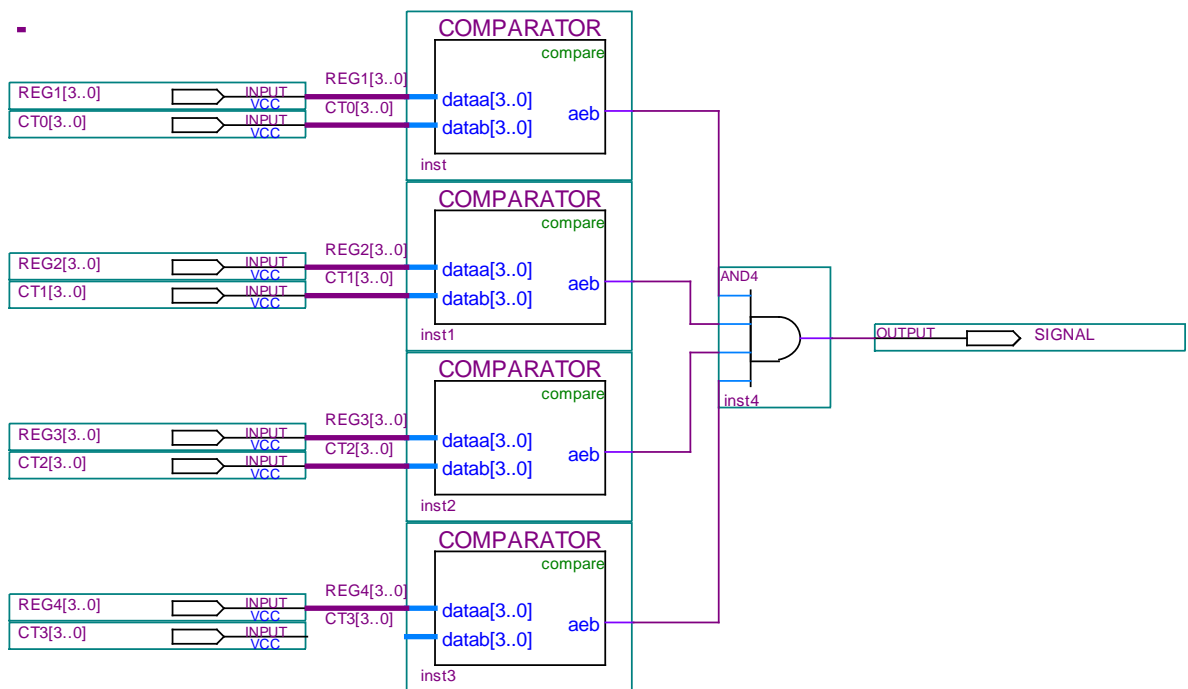


Рисунок 3.41 – Схема з'єднання компараторів у середовищі Quartus II

Робота компаратора представлена часовими діаграмами (рисунок 3.42).

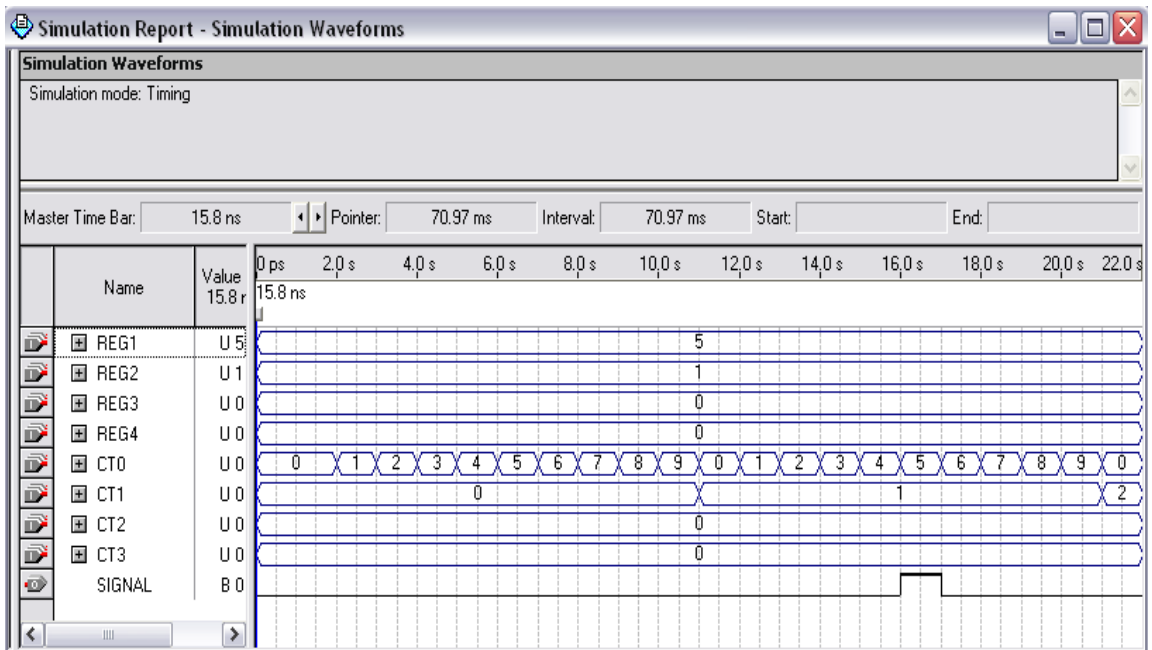


Рисунок 3.42 – Часові діаграми роботи компаратора

Позначення схеми з'єднання компараторів, створене у символному файлі зображене на рисунку 3.43.

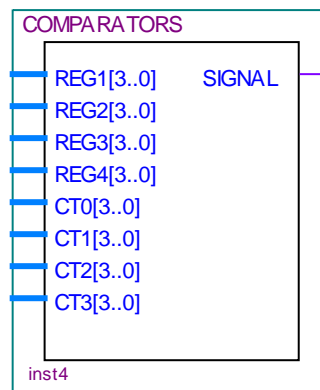


Рисунок 3.43 – Позначення блоку компараторів у середовищі Quartus II

4 ЕКОНОМІЧНА ЧАСТИНА

Науково-технічна розробка має право на існування та впровадження, якщо вона відповідає вимогам часу, як в напрямку науково-технічного прогресу та і в плані економіки. Тому для науково-дослідної роботи необхідно оцінювати економічну ефективність результатів виконаної роботи.

Магістерська кваліфікаційна робота з розробки та дослідження «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» відноситься до науково-технічних робіт, які орієнтовані на виведення на ринок (або рішення про виведення науково-технічної розробки на ринок може бути прийнято у процесі проведення самої роботи), тобто коли відбувається так звана комерціалізація науково-технічної розробки. Цей напрямок є пріоритетним, оскільки результатами розробки можуть користуватися інші споживачі, отримуючи при цьому певний економічний ефект. Але для цього потрібно знайти потенційного інвестора, який би взявся за реалізацію цього проекту і переконати його в економічній доцільності такого кроку.

Для наведеного випадку нами мають бути виконані такі етапи робіт:

- 1) проведено комерційний аудит науково-технічної розробки, тобто встановлення її науково-технічного рівня та комерційного потенціалу;
- 2) розраховано витрати на здійснення науково-технічної розробки;
- 3) розрахована економічна ефективність науково-технічної розробки у випадку її впровадження і комерціалізації потенційним інвестором і проведено обґрунтування економічної доцільності комерціалізації потенційним інвестором.

4.1 Проведення комерційного та технологічного аудиту науково-технічної розробки

Метою проведення комерційного і технологічного аудиту дослідження за темою «Керовані пристрої радіоавтоматики затримки часу на програмова-

них логічних інтегральних мікросхемах» є оцінювання науково-технічного рівня та рівня комерційного потенціалу розробки, створеної в результаті науково-технічної діяльності.

Оцінювання науково-технічного рівня розробки та її комерційного потенціалу рекомендується здійснювати із застосуванням 5-ти бальної системи оцінювання за 12-ма критеріями, наведеними в табл. 4.1 [19].

Таблиця 4.1 – Рекомендовані критерії оцінювання науково-технічного рівня і комерційного потенціалу розробки та бальна оцінка

Бали (за 5-ти бальною шкалою)					
	0	1	2	3	4
Технічна здійсненність концепції					
1	Достовірність концепції не підтверджена	Концепція підтверджена експертними висновками	Концепція підтверджена розрахунками	Концепція перевірена на практиці	Перевірено працездатність продукту в реальних умовах
Ринкові переваги (недоліки)					
2	Багато аналогів на малому ринку	Мало аналогів на малому ринку	Кілька аналогів на великому ринку	Один аналог на великому ринку	Продукт не має аналогів на великому ринку
3	Ціна продукту значно вища за ціни аналогів	Ціна продукту дещо вища за ціни аналогів	Ціна продукту приблизно дорівнює цінам аналогів	Ціна продукту дещо нижче за ціни аналогів	Ціна продукту значно нижче за ціни аналогів
4	Технічні та споживчі властивості продукту значно гірші, ніж в аналогів	Технічні та споживчі властивості продукту трохи гірші, ніж в аналогів	Технічні та споживчі властивості продукту на рівні аналогів	Технічні та споживчі властивості продукту трохи кращі, ніж в аналогів	Технічні та споживчі властивості продукту значно кращі, ніж в аналогів
5	Експлуатаційні витрати значно вищі, ніж в аналогів	Експлуатаційні витрати дещо вищі, ніж в аналогів	Експлуатаційні витрати на рівні експлуатаційних витрат аналогів	Експлуатаційні витрати трохи нижчі, ніж в аналогів	Експлуатаційні витрати значно нижчі, ніж в аналогів

Продовження таблиці 4.1.

Ринкові перспективи					
6	Ринок малий і не має позитивних перспектив	Ринок малий, але має позитивні перспективи	Середній ринок з позитивною перспективою	Великий стабільний ринок	Великий ринок з позитивною перспективою
7	Активна конкуренція великих компаній на ринку	Активна конкуренція	Помірна конкуренція	Незначна конкуренція	Конкуренція немає
Практична здійсненність					
8	Відсутні фахівці як з технічної, так і з комерційної реалізації ідеї	Необхідно найняти фахівців або витратити значні кошти та час на навчання наявних фахівців	Необхідне значне навчання фахівців та збільшення їх штату	Необхідне значне навчання фахівців	Є фахівці з питань як з технічної, так і з комерційної реалізації ідеї
9	Потрібні значні фінансові ресурси, які відсутні. Джерела фінансування ідеї відсутні	Потрібні значні фінансові ресурси. Джерела фінансування відсутні	Потрібні значні фінансові ресурси. Джерела фінансування є	Потрібні значні фінансові ресурси. Джерела фінансування є	Не потребує додаткового фінансування
10	Необхідна розробка нових матеріалів	Потрібні матеріали, що використовуються у військово-промисловому комплексі	Потрібні дорогі матеріали	Потрібні дешеві матеріали	Всі матеріали для реалізації ідеї відомі та давно використовуються у виробництві
11	Термін реалізації ідеї більший за 10 років	Термін реалізації ідеї більший за 5 років. Термін окупності інвестицій більше 10-ти років	Термін реалізації ідеї від 3-х до 5-ти років. Термін окупності інвестицій більше 5-ти років	Термін реалізації ідеї менше 3-х років. Термін окупності інвестицій від 3-х до 5-ти років	Термін реалізації ідеї менше 3-х років. Термін окупності інвестицій менше 3-х років

12	Необхідна розробка регламентних документів та отримання великої кількості дозвільних документів на виробництво	Необхідно отримання великої кількості дозвільних документів на виробництво та реалізацію продукту, що вимагає знач-	Процедура отримання дозвільних документів для виробництва та реалізації продукту вимагає незначних коштів та часу	Необхідно тільки повідомлення відповідним органам про виробництво та реалізацію продукту	Відсутні будь-які регламентні обмеження на виробництво та реалізацію продукту
----	--	---	---	--	---

Результати оцінювання науково-технічного рівня та комерційного потенціалу науково-технічної розробки потрібно звести до таблиці.

Таблиця 4.2 – Результати оцінювання науково-технічного рівня і комерційного потенціалу розробки експертами

Критерії	Експерт (ПІБ, посада)		
	1	2	3
	Бали:		
1. Технічна здійсненність концепції	5	5	5
2. Ринкові переваги (наявність аналогів)	4	3	4
3. Ринкові переваги (ціна продукту)	2	2	2
4. Ринкові переваги (технічні властивості)	5	3	4
5. Ринкові переваги (експлуатаційні витрати)	1	1	1
6. Ринкові перспективи (розмір ринку)	3	3	3
7. Ринкові перспективи (конкуренція)	1	1	1
8. Практична здійсненність (наявність фахівців)	3	3	3
9. Практична здійсненність (наявність фінансів)	3	4	4
10. Практична здійсненність (необхідність нових матеріалів)	4	4	4
11. Практична здійсненність (термін реалізації)	4	4	4
12. Практична здійсненність (розробка документів)	4	4	3
Сума балів	39	37	38
Середньоарифметична сума балів $СБ_c$	38,0		

За результатами розрахунків, наведених в таблиці 4.2, зробимо висновки щодо науково-технічного рівня і рівня комерційного потенціалу розробки. При цьому використаємо рекомендації, наведені в табл. 4.3 [19].

Таблиця 4.3 – Науково-технічні рівні та комерційні потенціали розробки

Середньоарифметична сума балів СБ , розрахована на основі висновків експе-	Науково-технічний рівень та комерційний потенціал розробки
41...48	Високий
31...40	Вище середнього
21...30	Середній
11...20	Нижче середнього
0...10	Низький

Згідно проведених досліджень рівень комерційного потенціалу розробки за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» становить 38,0 бала, що, відповідно до таблиці 4.3, свідчить про комерційну важливість проведення даних досліджень (рівень комерційного потенціалу розробки вище середнього).

4.2 Розрахунок узагальненого коефіцієнта якості розробки

Окрім комерційного аудиту розробки доцільно також розглянути технічний рівень якості розробки, розглянувши її основні технічні показники. Ці показники по-різному впливають на загальну якість проектної розробки.

Узагальнений коефіцієнт якості (B_n) для нового технічного рішення розрахуємо за формулою [20]

$$B_n = \sum_{i=1}^k \alpha_i \cdot \beta_i, \quad (4.1)$$

де k – кількість найбільш важливих технічних показників, які впливають на якість нового технічного рішення;

α_i – коефіцієнт, який враховує питому вагу i -го технічного показника в загальній якості розробки. Коефіцієнт α_i визначається експертним шляхом і

при цьому має виконуватись умова $\sum_{i=1}^k \alpha_i = 1$;

β_i – відносне значення i -го технічного показника якості нової розробки.

Відносні значення β_i для різних випадків розраховуємо за такими формулами:

- для показників, зростання яких вказує на підвищення в лінійній залежності якості нової розробки

$$\beta_i = \frac{I_{ni}}{I_{ai}}, \quad (4.2)$$

де I_{ni} та I_{na} – чисельні значення конкретного i -го технічного показника якості відповідно для нової розробки та аналога;

- для показників, зростання яких вказує на погіршення в лінійній залежності якості нової розробки

$$\beta_i = \frac{I_{ai}}{I_{ni}}; \quad (4.3)$$

Використовуючи наведені залежності можемо проаналізувати та порівняти техніко-економічні характеристики аналогу та розробки на основі отриманих наявних та проектних показників, а результати порівняння зведемо до таблиці 4.4.

Таблиця 4.4 – Порівняння основних параметрів розробки та аналога

Показники (параметри)	Одиниця вимірювання	Аналог	Проектований пристрій	Відношення параметрів нової розробки до аналога	Питома вага показника
Діапазон вимірювань	Гц	10-5000	10-10000	2	0,3
Клас точності	-	1,5	2	1,33	0,4
Габарити	мм ³	540000	845000	0,64	0,1
Вага	кг	0,8	0,4	2	0,2

Узагальнений коефіцієнт якості (B_n) для нового технічного рішення складе

$$B_n = \sum_{i=1}^k \alpha_i \cdot \beta_i = 2 \cdot 0,3 + 1,33 \cdot 0,4 + 0,64 \cdot 0,1 + 2 \cdot 0,2 = 1,60.$$

Отже за технічними параметрами, згідно узагальненого коефіцієнту якості розробки, науково-технічна розробка переважає існуючі аналоги приблизно в 1,60 рази.

4.3 Розрахунок витрат на проведення науково-дослідної роботи

Витрати, пов'язані з проведенням науково-дослідної роботи на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах», під час планування, обліку і калькулювання собівартості науково-дослідної роботи групуємо за відповідними статтями.

4.3.1 Витрати на оплату праці

До статті «Витрати на оплату праці» належать витрати на виплату основної та додаткової заробітної плати керівникам відділів, лабораторій, секторів і груп, науковим, інженерно-технічним працівникам, конструкторам, технологам, креслярам, копювальникам, лаборантам, робітникам, студентам, аспірантам та іншим працівникам, безпосередньо зайнятим виконанням конкретної теми, обчисленої за посадовими окладами, відрядними розцінками, тарифними ставками згідно з чинними в організаціях системами оплати праці.

Основна заробітна плата дослідників

Витрати на основну заробітну плату дослідників (Z_o) розраховуємо у відповідності до посадових окладів працівників, за формулою [19]

$$Z_o = \sum_{i=1}^k \frac{M_{ni} \cdot t_i}{T_p}, \quad (4.2)$$

де k – кількість посад дослідників залучених до процесу досліджень;

M_{ni} – місячний посадовий оклад конкретного дослідника, грн;

t_i – число днів роботи конкретного дослідника, дн.;

T_p – середнє число робочих днів в місяці, $T_p=21$ дні.

$$Z_o = 12800,00 \cdot 25 / 21 = 15238,10 \text{ (грн.)}$$

Проведені розрахунки зведемо до табл. 4.5.

Таблиця 4.5 – Витрати на заробітну плату дослідників

Найменування посади	Місячний посадовий оклад, грн	Оплата за робочий день, грн	Число днів роботи	Витрати на заробітну плату, грн
Керівник дослідження	12800,00	609,52	25	15238,10
Інженер-розробник радіоавтоматичних систем управління	12000,00	571,43	20	11428,57
Інженер-конструктор радіоапаратури 1-ї категорії	12100,00	576,19	20	11523,81
Технік 1-ї категорії	8000,00	380,95	15	5714,29
Всього				43904,76

Основна заробітна плата робітників

Витрати на основну заробітну плату робітників (Z_p) за відповідними найменуваннями робіт НДР на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» розраховуємо за формулою

$$Z_p = \sum_{i=1}^n C_i \cdot t_i, \quad (4.3)$$

де C_i – погодинна тарифна ставка робітника відповідного розряду, за виконану відповідну роботу, грн/год;

t_i – час роботи робітника при виконанні визначеної роботи, год.

Погодинну тарифну ставку робітника відповідного розряду C_i можна визначити за формулою

$$C_i = \frac{M_M \cdot K_i \cdot K_c}{T_p \cdot t_{зм}}, \quad (4.4)$$

де M_M – розмір прожиткового мінімуму працездатної особи, або мінімальної місячної заробітної плати (в залежності від діючого законодавства), прийmemo $M_M=2600,00$ грн;

K_i – коефіцієнт міжкваліфікаційного співвідношення для встановлення тарифної ставки робітнику відповідного розряду (табл. Б.2, додаток Б) [19];

K_c – мінімальний коефіцієнт співвідношень місячних тарифних ставок робітників першого розряду з нормальними умовами праці виробничих об'єднань і підприємств до законодавчо встановленого розміру мінімальної заробітної плати.

T_p – середнє число робочих днів в місяці, приблизно $T_p = 21$ дн;

$t_{зм}$ – тривалість зміни, год.

$$C_1 = 2600,00 \cdot 1,50 \cdot 1,65 / (21 \cdot 8) = 38,30 \text{ (грн.)},$$

$$З_{р1} = 38,30 \cdot 9,50 = 363,88 \text{ (грн.)}.$$

Таблиця 4.6 – Величина витрат на основну заробітну плату робітників

Найменування робіт	Тривалість роботи, год	Розряд роботи	Тарифний коефіцієнт	Погодинна тарифна ставка, грн	Величина оплати на робітника, грн
1. Встановлення допоміжного обладнання	9,50	4	1,50	38,30	363,88

Продовження таблиці 4.6.

2. Інсталяція програмного забезпечення	6,20	4	1,50	38,30	237,48
3. Встановлення модулів	7,30	5	1,70	43,41	316,90
4. Монтаж блоків затримки часу	10,00	6	2,00	51,07	510,71
5. Формування бази даних результатів вимірювань	24,00	3	1,35	34,47	827,36
6. Підготовка приміщення	10,00	3	1,35	34,47	344,73
Всього					2601,07

Додаткова заробітна плата дослідників та робітників

Додаткову заробітну плату розраховуємо як 10 ... 12% від суми основної заробітної плати дослідників та робітників за формулою

$$Z_{\text{дод}} = (Z_o + Z_p) \cdot \frac{H_{\text{дод}}}{100\%}, \quad (4.5)$$

де $H_{\text{дод}}$ – норма нарахування додаткової заробітної плати. Прийmemo 10%.

$$Z_{\text{дод}} = (43904,76 + 2601,07) \cdot 10 / 100\% = 4650,58 \text{ (грн.)}$$

4.3.2 Відрахування на соціальні заходи

Нарахування на заробітну плату дослідників та робітників розраховуємо як 22% від суми основної та додаткової заробітної плати дослідників і робітників за формулою

$$Z_n = (Z_o + Z_p + Z_{\text{дод}}) \cdot \frac{H_{\text{зн}}}{100\%} \quad (4.6)$$

де $H_{\text{зн}}$ – норма нарахування на заробітну плату. Приймаємо 22%.

$$Z_n = (43904,76 + 2601,07 + 4650,58) \cdot 22 / 100\% = 11254,41 \text{ (грн.)}$$

4.3.3 Сировина та матеріали

До статті «Сировина та матеріали» належать витрати на сировину, основні та допоміжні матеріали, інструменти, пристрої та інші засоби і предмети праці, які придбані у сторонніх підприємств, установ і організацій та витрачені на проведення досліджень за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах».

Витрати на матеріали (M), у вартісному вираженні розраховуються окремо по кожному виду матеріалів за формулою

$$M = \sum_{j=1}^n H_j \cdot C_j \cdot K_j - \sum_{j=1}^n B_j \cdot C_{\epsilon j}, \quad (4.7)$$

де H_j – норма витрат матеріалу j -го найменування, кг;

n – кількість видів матеріалів;

C_j – вартість матеріалу j -го найменування, грн/кг;

K_j – коефіцієнт транспортних витрат, ($K_j = 1,1 \dots 1,15$);

B_j – маса відходів j -го найменування, кг;

$C_{\epsilon j}$ – вартість відходів j -го найменування, грн/кг.

$$M_1 = 2,00 \cdot 280,00 \cdot 1,1 - 0,000 \cdot 0,00 = 616,00 \text{ (грн.)}$$

Проведені розрахунки зведемо до таблиці 4.7.

Таблиця 4.7 – Витрати на матеріали

Найменування матеріалу, марка, тип, сорт	Ціна за 1 кг, грн	Норма витрат, кг	Величина відходів, кг	Ціна відходів, грн/кг	Вартість витраченого матеріалу, грн
Папір офісний А4 білий (80%)	280,00	2,00	-	-	616,00
Диск оптичний (CD-R)	25,00	4,00	-	-	110,00

Продовження таблиці 4.7

Органайзер офісний ЕКО-81ВІС	270,00	3,00	-	-	891,00
Канцелярське приладдя	220,00	4,00	-	-	968,00
Картридж змінний Canon 216AF	1060,00	2,00	-	-	2332,00
FLASH-пам'ять 16Gb	230,00	3,00	-	-	759,00
<i>Матеріали дослідного блока</i>					
Склотекстоліт СТФ 2 – 1.5 ДЕСТ 102-78	240,00	0,10	0,050	50,00	23,90
Припой ПОС-61 ДЕСТ 21931-86	340,00	0,011	0,005	100,00	3,61
Флюс ФКСП ОСТ	280,00	0,020	0,008	50,00	5,76
Клей	360,00	0,014	-	-	5,54
Ізольований провідник	560,00	0,100	-	-	61,60
Лак	400,00	0,18	-	-	79,20
Провід монтажний	200,00	0,30	-	-	66,00
Всього					5921,62

4.3.4 Розрахунок витрат на комплектуючі

Витрати на комплектуючі ($K_с$), які використовують при проведенні НДР на тему «Керовані пристрої радіоавтоматики затримки часу на програваних логічних інтегральних мікросхемах», розраховуємо, згідно з їхньою номенклатурою, за формулою

$$K_с = \sum_{j=1}^n H_j \cdot C_j \cdot K_j, \quad (4.8)$$

де H_j – кількість комплектуючих j -го виду, шт.;

C_j – покупна ціна комплектуючих j -го виду, грн;

K_j – коефіцієнт транспортних витрат, ($K_j = 1,1 \dots 1,15$).

$$K_с = 8 \cdot 320,00 \cdot 1,11 = 2841,60 \text{ грн.}$$

Проведені розрахунки зведемо до таблиці 4.8.

Таблиця 4.8 – Витрати на комплектуючі

Найменування комплектуючих	Кількість, шт.	Ціна за штуку, грн	Сума, грн
Мікросхеми ПЛІС	8	320,00	2841,60
Мікроконтролер	1	210,00	233,10
РКІ індикатор	1	300,00	333,00
Резистори	49	15,60	848,48
Конденсатори постійної ємності	21	18,50	431,24
Конденсатори електролітичні	4	100,00	444,00
ІМС стабілізатора напруги L7805CV	1	240,00	266,40
Всього			5397,82

4.3.5 Спецустаткування для наукових (експериментальних) робіт

До статті «Спецустаткування для наукових (експериментальних) робіт» належать витрати на виготовлення та придбання спецустаткування необхідного для проведення досліджень, також витрати на їх проектування, виготовлення, транспортування, монтаж та встановлення.

Балансову вартість спецустаткування розраховуємо за формулою

$$B_{\text{спец}} = \sum_{i=1}^k C_i \cdot C_{\text{пр.і}} \cdot K_i, \quad (4.9)$$

де C_i – ціна придбання одиниці спецустаткування даного виду, марки, грн;

$C_{\text{пр.і}}$ – кількість одиниць устаткування відповідного найменування, які придбані для проведення досліджень, шт.;

K_i – коефіцієнт, що враховує доставку, монтаж, налагодження устаткування тощо, ($K_i = 1,10 \dots 1,12$);

k – кількість найменувань устаткування.

$$B_{\text{спец}} = 6300,00 \cdot 1 \cdot 1,11 = 6993,00 \text{ (грн.)}$$

Отримані результати зведемо до таблиці 4.9.

Таблиця 4.9 – Витрати на придбання спецустаткування по кожному виду

Найменування устаткування	Кількість, шт	Ціна за оди- ницю, грн	Вартість, грн
Блок інтерфейсний	1	6300,00	6993,00
Програматор мікроконтроллер- ний	1	12100,00	13431,00
Всього			20424,00

4.3.6 Програмне забезпечення для наукових (експериментальних) робіт

До статті «Програмне забезпечення для наукових (експериментальних) робіт» належать витрати на розробку та придбання спеціальних програмних засобів і програмного забезпечення, (програм, алгоритмів, баз даних) необхідних для проведення досліджень, також витрати на їх проектування, формування та встановлення.

Балансову вартість програмного забезпечення розраховуємо за формулою

$$B_{npz} = \sum_{i=1}^k C_{inprz} \cdot C_{npz.i} \cdot K_i, \quad (4.10)$$

де C_{inprz} – ціна придбання одиниці програмного засобу даного виду, грн;

$C_{npz.i}$ – кількість одиниць програмного забезпечення відповідного найменування, які придбані для проведення досліджень, шт.;

K_i – коефіцієнт, що враховує інсталяцію, налагодження програмного засобу тощо, ($K_i = 1, 10 \dots 1, 12$);

k – кількість найменувань програмних засобів.

$$B_{npz} = 8100,00 \cdot 1 \cdot 1,1 = 8910,00 \text{ (грн.)}$$

Отримані результати зведемо до таблиці 4.10.

Таблиця 4.10 – Витрати на придбання програмних засобів по кожному виду

Найменування програмного засобу	Кількість, шт	Ціна за одиницю, грн	Вартість, грн
ОС Windows	1	8100,00	8910,00
Прикладний пакет Microsoft Office	1	8950,00	9845,00
Прикладний пакет моделювання процесів MatLab	1	9020,00	9922,00
Всього			28677,00

4.3.7 Амортизація обладнання, програмних засобів та приміщень

В спрощеному вигляді амортизаційні відрахування по кожному виду обладнання, приміщень та програмному забезпеченню тощо, розраховуємо з використанням прямолінійного методу амортизації за формулою

$$A_{обл} = \frac{Ц_{б}}{T_{е}} \cdot \frac{t_{вик}}{12}, \quad (4.11)$$

де $Ц_{б}$ – балансова вартість обладнання, програмних засобів, приміщень тощо, які використовувались для проведення досліджень, грн;

$t_{вик}$ – термін використання обладнання, програмних засобів, приміщень під час досліджень, місяців;

$T_{е}$ – строк корисного використання обладнання, програмних засобів, приміщень тощо, років.

$$A_{обл} = (29500,00 \cdot 2) / (2 \cdot 12) = 2458,33 \text{ (грн.)}$$

Проведені розрахунки зведемо до таблиці 4.11.

Таблиця 4.11 – Амортизаційні відрахування по кожному виду обладнання

Найменування обладнання	Балансова вартість, грн	Строк корисного використання, років	Термін використання обладнання, місяців	Амортизаційні відрахування, грн
Комп'ютеризована метрологічна система ТКС-метро 2	29500,00	2	2	2458,33
Автоматизоване робоче місце розробника ПЛС	11450,00	5	2	381,67

Продовження таблиці 4.11

Пристрої збереження та передачі інформації	8300,00	4	2	345,83
Оргтехніка	7600,00	4	2	316,67
Приміщення лабораторії досліджень пристроїв радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах	301000,00	20	2	2508,33
Всього				6010,83

4.3.8 Паливо та енергія для науково-виробничих цілей

Витрати на силову електроенергію (B_e) розраховуємо за формулою

$$B_e = \sum_{i=1}^n \frac{W_{yi} \cdot t_i \cdot C_e \cdot K_{eni}}{\eta_i}, \quad (4.12)$$

де W_{yi} – встановлена потужність обладнання на визначеному етапі розробки, кВт;

t_i – тривалість роботи обладнання на етапі дослідження, год;

C_e – вартість 1 кВт-години електроенергії, грн; (вартість електроенергії визначається за даними енергопостачальної компанії), прийmemo $C_e = 6,12$ грн;

K_{eni} – коефіцієнт, що враховує використання потужності, $K_{eni} < 1$;

η_i – коефіцієнт корисної дії обладнання, $\eta_i < 1$.

$$B_e = 0,50 \cdot 120,0 \cdot 6,12 \cdot 0,95 / 0,97 = 367,20 \text{ (грн.)}$$

Проведені розрахунки зведемо до таблиці 4.12.

Таблиця 4.12 – Витрати на електроенергію

Найменування обладнання	Встановлена потужність, кВт	Тривалість роботи, год	Сума, грн
Комп'ютеризована метрологічна система ТКС-метро 2	0,50	120,0	367,20
Автоматизоване робоче місце розробника ПЛІС	0,36	120,0	264,38
Пристрої збереження та передачі інформації	0,10	100,0	61,20
Оргтехніка	0,80	30,0	146,88
Всього			839,66

4.3.9 Службові відрядження

До статті «Службові відрядження» дослідної роботи на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» належать витрати на відрядження штатних працівників, працівників організацій, які працюють за договорами цивільно-правового характеру, аспірантів, зайнятих розробленням досліджень, відрядження, пов'язані з проведенням випробувань машин та приладів, а також витрати на відрядження на наукові з'їзди, конференції, наради, пов'язані з виконанням конкретних досліджень.

Витрати за статтею «Службові відрядження» розраховуємо як 20...25% від суми основної заробітної плати дослідників та робітників за формулою

$$B_{cv} = (Z_o + Z_p) \cdot \frac{H_{cv}}{100\%}, \quad (4.14)$$

де H_{ce} – норма нарахування за статтею «Службові відрядження», прийmemo $H_{cb} = 25\%$.

$$B_{ce} = (43904,76 + 2601,07) \cdot 25 / 100\% = 11626,46 \text{ (грн.)}$$

4.3.10 Витрати на роботи, які виконують сторонні підприємства, установи і організації

Витрати за статтею «Витрати на роботи, які виконують сторонні підприємства, установи і організації» розраховуємо як 30...45% від суми основної заробітної плати дослідників та робітників за формулою

$$B_{cn} = (Z_o + Z_p) \cdot \frac{H_{cn}}{100\%}, \quad (4.15)$$

де H_{cn} – норма нарахування за статтею «Витрати на роботи, які виконують сторонні підприємства, установи і організації», прийmemo $H_{cn} = 40\%$.

$$B_{cn} = (43904,76 + 2601,07) \cdot 40 / 100\% = 18602,33 \text{ (грн.)}$$

4.3.11 Інші витрати

До статті «Інші витрати» належать витрати, які не знайшли відображення у зазначених статтях витрат і можуть бути віднесені безпосередньо на собівартість досліджень за прямими ознаками.

Витрати за статтею «Інші витрати» розраховуємо як 50...100% від суми основної заробітної плати дослідників та робітників за формулою

$$I_s = (Z_o + Z_p) \cdot \frac{H_{is}}{100\%}, \quad (4.16)$$

де H_{is} – норма нарахування за статтею «Інші витрати», прийmemo $H_{is} = 100\%$.

$$I_s = (43904,76 + 2601,07) \cdot 100 / 100\% = 46505,83 \text{ (грн.)}$$

4.3.12 Накладні (загальноновиробничі) витрати

До статті «Накладні (загальноновиробничі) витрати» належать: витрати, пов'язані з управлінням організацією; витрати на винахідництво та раціоналізацію; витрати на підготовку (перепідготовку) та навчання кадрів; витрати, пов'язані з набором робочої сили; витрати на оплату послуг банків; витрати, пов'язані з освоєнням виробництва продукції; витрати на науково-технічну інформацію та рекламу та ін.

Витрати за статтею «Накладні (загальноновиробничі) витрати» розраховуємо як 100...150% від суми основної заробітної плати дослідників та робітників за формулою

$$B_{нзв} = (Z_o + Z_p) \cdot \frac{H_{нзв}}{100\%}, \quad (4.17)$$

де $H_{нзв}$ – норма нарахування за статтею «Накладні (загальноновиробничі) витрати», приймемо $H_{нзв} = 120\%$.

$$B_{нзв} = (43904,76 + 2601,07) \cdot 120 / 100\% = 55807,00 \text{ (грн.)}$$

Витрати на проведення науково-дослідної роботи на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» розраховуємо як суму всіх попередніх статей витрат за формулою

$$B_{заг} = Z_o + Z_p + Z_{од} + Z_n + M + K_v + B_{спец} + B_{прз} + A_{обл} + B_e + B_{св} + B_{сп} + I_v + B_{нзв}. \quad (4.18)$$

$$B_{заг} = 43904,76 + 2601,07 + 4650,58 + 11254,4108 + 5921,62 + 5397,82 + 20424,00 + 28677,00 + 6010,83 + 839,66 + 11626,46 + 18602,33 + 46505,83 + 55807,00 = 262223,37 \text{ (грн.)}$$

Загальні витрати ZB на завершення науково-дослідної (науково-технічної) роботи та оформлення її результатів розраховується за формулою

$$3B = \frac{B_{заг}}{\eta}, \quad (4.19)$$

де η - коефіцієнт, який характеризує етап (стадію) виконання науково-дослідної роботи, прийmemo $\eta=0,8$.

$$3B = 262223,37 / 0,8 = 327779,22(\text{ грн.}).$$

4.4 Розрахунок економічної ефективності науково-технічної розробки при її можливій комерціалізації потенційним інвестором

В ринкових умовах узагальнюючим позитивним результатом, що його може отримати потенційний інвестор від можливого впровадження результатів цієї чи іншої науково-технічної розробки, є збільшення у потенційного інвестора величини чистого прибутку.

Результати дослідження проведені за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» передбачають комерціалізацію протягом 4-х років реалізації на ринку.

В цьому випадку майбутній економічний ефект буде формуватися на основі таких даних:

ΔN – збільшення кількості споживачів пристрою, у періоди часу, що аналізуються, від покращення його певних характеристик;

Показник	1-й рік	2-й рік	3-й рік	4-й рік
Збільшення кількості споживачів, осіб	1000	1500	1800	1000

N – кількість споживачів які використовували аналогічний пристрій у році до впровадження результатів нової науково-технічної розробки, прийmemo 3000 осіб;

C_o – вартість пристрою у році до впровадження результатів розробки, прийmemo 8500,00 грн;

$\pm\Delta C_o$ – зміна вартості пристрою від впровадження результатів науково-технічної розробки, прийmemo 5016,00 грн.

Можливе збільшення чистого прибутку у потенційного інвестора $\Delta\Pi_i$ для кожного із 4-х років, протягом яких очікується отримання позитивних результатів від можливого впровадження та комерціалізації науково-технічної розробки, розраховуємо за формулою [20]

$$\Delta\Pi_i = (\pm\Delta C_o \cdot N + C_o \cdot \Delta N)_i \cdot \lambda \cdot \rho \cdot \left(1 - \frac{\mathcal{G}}{100}\right), \quad (4.20)$$

де λ – коефіцієнт, який враховує сплату потенційним інвестором податку на додану вартість. У 2022 році ставка податку на додану вартість складає 20%, а коефіцієнт $\lambda = 0,8333$;

ρ – коефіцієнт, який враховує рентабельність інноваційного продукту).
Прийmemo $\rho = 35\%$;

\mathcal{G} – ставка податку на прибуток, який має сплачувати потенційний інвестор, у 2022 році $\mathcal{G} = 18\%$;

Збільшення чистого прибутку 1-го року

$$\begin{aligned} \Delta\Pi_1 &= (5016,00 \cdot 3000,00 + 13516,00 \cdot 1000) \cdot 0,83 \cdot 0,35 \cdot (1 - 0,18/100\%) = \\ &= 6804230,44 \text{ (грн.)}. \end{aligned}$$

Збільшення чистого прибутку 2-го року

$$\begin{aligned} \Delta\Pi_2 &= (5016,00 \cdot 3000,00 + 13516,00 \cdot 2500) \cdot 0,83 \cdot 0,35 \cdot (1 - 0,18/100\%) = \\ &= 11633699,98 \text{ (грн.)}. \end{aligned}$$

Збільшення чистого прибутку 3-го року

$$\begin{aligned} \Delta\Pi_3 &= (5016,00 \cdot 3000,00 + 13516,00 \cdot 4300) \cdot 0,83 \cdot 0,35 \cdot (1 - 0,18/100\%) = \\ &= 17429063,43 \text{ (грн.)}. \end{aligned}$$

Збільшення чистого прибутку 4-го року

$$\begin{aligned}\Delta\Pi_4 &= (5016,00 \cdot 3000,00 + 13516,00 \cdot 5300) \cdot 0,83 \cdot 0,35 \cdot (1 - 0,18/100\%) = \\ &= 20648709,79 \text{ (грн.)}.\end{aligned}$$

Приведена вартість збільшення всіх чистих прибутків $\Pi\Pi$, що їх може отримати потенційний інвестор від можливого впровадження та комерціалізації науково-технічної розробки

$$\Pi\Pi = \sum_{i=1}^T \frac{\Delta\Pi_i}{(1 + \tau)^i}, \quad (4.21)$$

де $\Delta\Pi_i$ – збільшення чистого прибутку у кожному з років, протягом яких виявляються результати впровадження науково-технічної розробки, грн;

T – період часу, протягом якого очікується отримання позитивних результатів від впровадження та комерціалізації науково-технічної розробки, роки;

τ – ставка дисконтування, за яку можна взяти щорічний прогнозований рівень інфляції в країні, $\tau = 0,14$;

t – період часу (в роках) від моменту початку впровадження науково-технічної розробки до моменту отримання потенційним інвестором додаткових чистих прибутків у цьому році.

$$\begin{aligned}\Pi\Pi &= 6804230,44/(1+0,14)^1 + 11633699,98/(1+0,14)^2 + 17429063,43/(1+0,14)^3 + \\ &+ 20648709,79/(1+0,14)^4 = 5968623,19 + 8951754,37 + 11764121,37 + 12225693,82 = \\ &= 38910192,75 \text{ (грн.)}.\end{aligned}$$

Величина початкових інвестицій PV , які потенційний інвестор має вкласти для впровадження і комерціалізації науково-технічної розробки:

$$PV = k_{инв} \cdot ЗВ, \quad (4.22)$$

де $k_{инв}$ – коефіцієнт, що враховує витрати інвестора на впровадження науково-технічної розробки та її комерціалізацію, приймаємо $k_{инв} = 2$;

ZB – загальні витрати на проведення науково-технічної розробки та оформлення її результатів, приймаємо 327779,22 (грн.).

$$PV = k_{инв} \cdot ZB = 2 \cdot 327779,22 = 655558,43 \text{ (грн.)}$$

Абсолютний економічний ефект $E_{абс}$ для потенційного інвестора від можливого впровадження та комерціалізації науково-технічної розробки становитиме

$$E_{абс} = ПП - PV \quad (4.23)$$

де $ПП$ – приведена вартість зростання всіх чистих прибутків від можливого впровадження та комерціалізації науково-технічної розробки, 38910192,75 грн;

PV – теперішня вартість початкових інвестицій, 655558,43 (грн.)

$$E_{абс} = ПП - PV = 38910192,75 - 655558,43 = 38254634,32 \text{ (грн.)}$$

Внутрішня економічна дохідність інвестицій E_e , які можуть бути вкладені потенційним інвестором у впровадження та комерціалізацію науково-технічної розробки

$$E_e = T_{жс} \sqrt[4]{1 + \frac{E_{абс}}{PV}} - 1, \quad (4.24)$$

де $E_{абс}$ – абсолютний економічний ефект вкладених інвестицій, 38254634,32 грн;

PV – теперішня вартість початкових інвестицій, 655558,43 грн;

$T_{жс}$ – життєвий цикл науково-технічної розробки, тобто час від початку її розробки до закінчення отримання позитивних результатів від її впровадження, 4 роки.

$$E_e = T_{жс} \sqrt[4]{1 + \frac{E_{абс}}{PV}} - 1 = (1 + 38254634,32 / 655558,43)^{1/4} = 1,78.$$

Мінімальна внутрішня економічна дохідність вкладених інвестицій τ_{\min} :

$$\tau_{\min} = d + f, \quad (4.25)$$

де d – середньозважена ставка за депозитними операціями в комерційних банках; в 2022 році в Україні $d = 0,11$;

f – показник, що характеризує ризикованість вкладення інвестицій, прийmemo 0,16.

$\tau_{\min} = 0,11 + 0,16 = 0,27 < 1,78$ свідчить про те, що внутрішня економічна дохідність інвестицій E_g , які можуть бути вкладені потенційним інвестором у впровадження та комерціалізацію науково-технічної розробки вища мінімальної внутрішньої дохідності. Тобто інвестувати в науково-дослідну роботу за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» доцільно.

Період окупності інвестицій $T_{ок}$ які можуть бути вкладені потенційним інвестором у впровадження та комерціалізацію науково-технічної розробки

$$T_{ок} = \frac{1}{E_g}, \quad (4.26)$$

де E_g – внутрішня економічна дохідність вкладених інвестицій.

$$T_{ок} = 1 / 1,78 = 0,56 \text{ р.}$$

$T_{ок} < 3$ -х років, що свідчить про комерційну привабливість науково-технічної розробки і може спонукати потенційного інвестора профінансувати впровадження даної розробки та виведення її на ринок.

4.5 Висновки до розділу

Згідно проведених досліджень рівень комерційного потенціалу розробки за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» становить 38,0 бала, що, свід-

чить про комерційну важливість проведення даних досліджень (рівень комерційного потенціалу розробки вище середнього).

При оцінюванні за технічними параметрами, згідно узагальненого коефіцієнту якості розробки, науково-технічна розробка переважає існуючі аналоги приблизно в 1,60 рази.

Також термін окупності становить 0,56 р., що менше 3-х років, що свідчить про комерційну привабливість науково-технічної розробки і може спонукати потенційного інвестора профінансувати впровадження даної розробки та виведення її на ринок.

Отже можна зробити висновок про доцільність проведення науково-дослідної роботи за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах».

5 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ

Частина 2 ст. 41 КУпАП передбачає, що порушення вимог законодавчих та інших нормативних актів про охорону праці тягне за собою накладення штрафу на посадових осіб підприємств, установ, організацій незалежно від форм власності та громадян - суб'єктів підприємницької діяльності — в сумі від 340 до 680 грн. Також слід зазначити, що ст. 188⁴ КУпАП передбачає більш суворішу відповідальність за невиконання законних вимог посадових осіб органів спеціально уповноваженого центрального органу виконавчої влади з нагляду за охороною праці і тягне за собою накладення штрафу на посадових осіб підприємства в сумі до 1700 грн [21].

Відомо, що працівники служби охорони праці несуть персональну відповідальність:

- за невідповідність прийнятих ними рішень вимогам чинного законодавства з охорони праці;
- за невиконання своїх функціональних обов'язків;
- за недостовірність та несвоєчасність підготовки статистичних звітів з охорони праці;
- за низьку якість проведеного ними розслідування нещасних випадків на виробництві.

Право на працю кожного громадянина закріплює ст. 43 Конституції України. Абзацом 4 цієї статті встановлено право кожного на належні, безпечні і здорові умови праці. Належне вирішення поставлених Конституцією та іншими чинними нормативно-правовими актами завдань із створення безпечних і здорових умов праці можливе лише за умови створення на всіх підприємствах служби охорони праці. Залишається надзвичайно важливим, щоб власники (керівники) підприємств всіх рівнів це розуміли й не підходили до вирішення цього важливого питання за залишковим принципом.

Отже, як бачимо, створення та забезпечення належного функціонування служби охорони праці посідає провідне місце у роботі підприємства та є обов'язком кожного роботодавця, який має виконуватися відповідально.

Дослідження на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» відбуватиметься в приміщенні, яке обладнане робочими місцями з ПК. На дослідника можливий вплив таких небезпечні та шкідливі виробничі факторів (згідно ГОСТ 12.0.003-74 [22]):

1. Фізичні: підвищена запиленість та загазованість повітря робочої зони; підвищена чи понижена температура повітря робочої зони; підвищений рівень шуму на робочому місці; підвищена чи понижена вологість повітря; підвищений рівень електромагнітного випромінювання; підвищена чи понижена іонізація повітря; недостатня освітленість робочої зони.

2. Психофізіологічні: статичне перевантаження; розумове перевантаження; емоційні перевантаження.

Відповідно до визначених факторів здійснюємо планування щодо безпечного виконання роботи.

5.1 Технічні рішення щодо безпечного виконання роботи

5.1.1. Обладнання приміщення та робочого місця

Під час аналізу умов праці на робочому місці необхідно оцінити відповідність параметрів приміщення НПАОП 0.00-7.15-18 [28] та відповідність параметрів мікроклімату ДСН 3.3.6.042-99 [27].

Згідно із НПАОП 0.00-7.15-18 [28] площу приміщень, в яких розташовують ПК, визначають згідно з чинними нормативними документами з розрахунку на одне робоче місце, обладнане ПК: площа – не менше 6,0 кв. м, обсяг – не менше 20,0 куб. м, з урахуванням максимальної кількості осіб, які одночасно працюють у зміні.

Згідно з ГОСТ 12.2.032-78 [23] конструкція робочого місця і взаємне розташування всіх його елементів повинне відповідати гігієнічним, антропометричним, фізіологічним і психологічним вимогам.

Гігієнічні вимоги визначають умови життєдіяльності і працездатності людини у процесі взаємодії з технікою і середовищем; показниками є рівень освітлення, температура, вологість, шум, вібрація, токсичність, загазованість тощо.

Антропометричні вимоги визначають відповідність конструкцій техніки антропометричним характеристикам людини (зріст, розміри тіла та окремі рухові ланки). Показниками є раціональна робоча поза, оптимальні зони досягнення, раціональні трудові рухи.

Фізіологічні та психофізіологічні вимоги визначають відповідність техніки і середовища можливостям працівника щодо сприйняття, переробки інформації, прийняття і реалізації рішень.

Велике значення має також характер роботи. Зокрема, при організації робочого місця дослідника повинні бути дотримані наступні основні умови:

- оптимальне розміщення обладнання, що входить до складу робочого місця;
- достатній робочий простір, що дозволяє здійснювати всі необхідні рухи і переміщення;
- необхідно природне і штучне освітлення для виконання поставлених завдань;
- рівень акустичного шуму не повинен перевищувати допустимого значення;
- достатня вентиляція робочого місця.

Характеристики робочого місця під час написання роботи на тему «Лінійний кодек для кабельної мережі доступу» наступні:

- висота робочої поверхні столу 750 мм;
- висота простору для ніг 650 мм;
- висота сидіння над рівнем підлоги 450 мм;

- поверхня сидіння м'яка з закругленим переднім краєм;
- передбачена можливість розміщення документів праворуч і ліворуч;
- відстань від ока до екрана 700 мм;
- відстань від ока до клавіатури 400 мм;
- відстань від ока до документів 500 мм;
- можливе регулювання екрана по висоті, по нахилу, у лівому і в правому напрямках.

5.1.2 Електробезпека приміщення

Основне завдання електробезпеки – мінімізувати можливість негативно-го впливу електричного струму на людину. Досягти цієї мети можна за допомогою таких заходів і засобів:

- безпечною і надійною конструкцією електроустановок;
- організаційними та технічними заходами щодо безпечної експлуатації електроустановок та використання електричної енергії;
- технічними засобами захисту.

За ступенем небезпеки враження електричним струмом приміщення можна класифікувати як таке, що має категорію «без підвищеної небезпеки», оскільки вся зазначена офісна техніка має захисне заземлення, передбачене її конструкцією, і повністю виключає можливість випадкового контакту із частинами, що перебувають під небезпечною для людини напругою [29].

Лінія електромережі для живлення ЕОМ, периферійних пристроїв ЕОМ та устаткування для обслуговування, ремонту та налагодження ЕОМ в досліджуваному приміщенні виконана як окрема групова трипровідна мережа, шляхом прокладання фазового, нульового робочого та нульового захисного провідників. Нульовий захисний провідник використовується для заземлення (занулення) електроприймачів.

Для запобігання електротравмам у приміщенні здійснюються:

- 1) ізоляція нормально струмоведучих елементів електроустаткування відповідно з вимогами нормативів;

- 2) захисне заземлення із використанням природних заземлювачів;
- 3) систематичне проходження інструктажу з електробезпеки.

5.2 Технічні рішення з гігієни праці та виробничої санітарії

5.2.1. Мікроклімат

Стан навколишнього виробничого середовища характеризується такими метеорологічними умовами: температурою, відотною вологістю, барометричним тиском і швидкістю руху повітря. Вищеназвані параметри, які ще називають параметрами мікроклімату, визначають умови теплообміну організму працівника із довкіллям.

Дослідження на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» згідно гігієнічною класифікацією праці за показниками шкідливості та небезпечності факторів виробничого середовища, важкості та напруженості трудового процесу [21] за енерговитратами відноситься до категорії I б. Допустимі параметри мікроклімату для цієї категорії відповідно до ДСН 3.3.6.042-99 [27] наведені в табл. 5.1.

Таблиця 5.1 – Параметри мікроклімату

Період року	Допустимі		
	t, °C	W, %	V, м/с
Теплий	22-28	40-60	0,1-0,3
Холодний	20-24	75	0,2

Для забезпечення необхідних за нормативами параметрів мікроклімату передбачені система опалення, теплоізолююча обробка приміщення та припливно-витяжна вентиляція.

5.2.2 Склад повітря робочої зони

Шкідливі речовини, що потрапили в організм людини, спричиняють порушення здоров'я лише в тому випадку, коли їхня кількість у повітрі пере-

вищує граничну для кожної речовини величину. Під гранично допустимою концентрацією (ГДК) шкідливої речовини у повітрі робочої зони розуміють таку максимальну концентрацію даної речовини, яка при щоденній (крім вихідних днів) роботі протягом 8 год чи іншої тривалості (але не більше 40 год на тиждень) не призводить до зниження працездатності й захворювання в період трудової діяльності та у наступний період життя, а також не чинить несприятливого впливу на здоров'я нащадків.

ГДК шкідливих речовин, які знаходяться в досліджуваному приміщенні, наведені в таблиці 5.2.

Таблиця 5.2 – ГДК шкідливих речовин у повітрі

Назва речовини	ГДК, мг/м ³		Клас небезпечності
	Максимально разова	Середньо добова	
Формальдегід	0,035	0,03	2
Фенол	0,01	0,01	3
Пил нетоксичний	0,5	0,15	4
Озон	0,16	0,01	1

Параметри іонного складу повітря на робочому місці, що обладнане ПК, повинні відповідати допустимим нормам (табл. 5.3).

Таблиця 5.3 – Рівні іонізації повітря приміщень при роботі на ПК

Рівні	Кількість іонів в 1 см ³	
	n+	n-
Мінімально необхідні	400	600
Оптимальні	1500-3000	3000-5000
Максимально необхідні	50000	50000

Для забезпечення складу повітря робочої зони передбачено використання механічної вентиляції та систематичне вологе прибирання.

5.2.3 Виробниче освітлення

У приміщенні, де відбувалося дослідження на тему «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» використовується природне однобічне бічне освітлення.

Норми освітленості при штучному освітленні та КПО (для III пояса світлового клімату відповідно до ДБН В.2.5-28-2006 [24]) при природному та сумісному освітленні для розробника зазначені у таблиці 5.4.

Таблиця 5.4 - Норми освітленості в приміщенні

Характеристика зорової роботи	Найменший розмір об'єкта розрізювання	Розряд зорової роботи	Підряд зорової роботи	Контраст об'єкта розрізнення з фоном	Характеристика фона	Освітленість, лк		КПО			
						Штучне освітлення		Природне освітлення		Сумісне освітлення	
						Комбіноване	Загальне	Верхнє або верхнє і бокове	Бокове	Верхнє або верхнє і бокове	Бокове
Дуже високої точності	Від 0,15 до 0,3	II	г	великий	світлий	1000	300	7	2,5	4,2	1,5

Для забезпечення достатнього освітлення передбачені такі заходи:

- 1) Максимально можливе бічне природне освітлення.
- 2) Штучне освітлення в приміщеннях з робочим місцем, обладнаним ВДТ, має здійснюватись системою загального рівномірного освітлення. Як джерело штучного освітлення мають застосовуватись економічні світлодіодні лампи.

3) Для захисту від прямих сонячних променів, які створюють прямі та відбиті відблиски з поверхні екранів ПК і клавіатури повинні бути передбачені сонцезахисні пристрої, вікна повинні мати ролети.

5.2.4 Виробничий шум

Джерелами шуму під час роботи є жорсткий диск ПК, вентилятор блока живлення мережі, вентилятор, розташований на процесорі, швидкісні приводи дисків, механічні сканери, пересувні механічні частини принтера. Санітарні норми виробничого шуму, ультразвуку та інфразвуку відображені в ДСН 3.3.6.037-99 [26]. Для умов виконання роботи допустимі рівні звукового тиску повинні наведені в таблиці 5.5.

Таблиця 5.5 – Допустимі рівні звукового тиску і рівні звуку для постійного широкополосного шуму

Характер робіт	Допустимі рівні звукового тиску (дБ) в стандартизованих октавних смугах зі середньгеометричними частинами (Гц)									Допустимий рівень звуку, дБА
	32	63	125	250	500	1000	2000	4000	8000	
Наукова і творча діяльність	86	71	61	54	49	45	42	40	38	50

Для забезпечення допустимих параметрів шуму доцільно використовувати комп'ютери з пасивним охолодженням та встановити пластикові вікна, які мають достатню звукоізоляцію.

5.2.5 Виробничі випромінювання

Джерелами змінних електричних і магнітних полів у ПК є вузли, у яких присутня висока змінна напруга, і вузли, що працюють з великими струмами. Рівні напруженості електромагнітних полів за електричними складовими та густиною магнітних потоків (індукції) у цих піддіапазонах регламентуються

чинним в Україні нормативним актом ДСанПіН 3.3.2.007-98 [25] та загальноєвропейським стандартом MPR II, відомим під назвою «шведський стандарт». Ці ж діапазони розглядаються в універсальному рекомендаційному стандарті ТСО'99. Допустимі значення параметрів неіонізуючих електромагнітних випромінювань від комп'ютера наведені в табл. 5.6.

Таблиця 5.6 – Допустимі значення параметрів неіонізуючих електромагнітних випромінювань

Види поля	Допустимі параметри поля		Допустима поверхнева щільність потоку енергії (інтенсивність потоку енергії), Вт/м ²
	за електричною складовою (Е), В/м	за магнітною складовою (Н), А/м	
Напруженість електромагнітного поля, 6 кГц...3 МГц	50	5	
3 МГц...30МГц	2	-	
30 МГц...5 ГГц	-	-	10
Електромагнітне поле оптичного діапазону в ультрафіолетовій частині спектру: УФ-С (220...280 нм)			0,001
УФ-В (280...320 нм)			0,01
УФ-А (320. ..400 нм)			10,0
в інфрачервоній частині спектру: 0,76... 10,0 мкм			35,0.. .70,0
Напруженість електричного поля ВДТ			20 вВ/м

Для захисту людини від дії електромагнітних випромінювань передбачаються такі способи і засоби: зменшення параметрів випромінювання безпосередньо в самому джерелі випромінювання; екранування робочого місця; обмеження часу перебування персоналу в робочій зоні; встановлення раціональних режимів експлуатації установок і роботи працюючого персоналу.

5.2.6 Напруженість праці

У процесі роботи з комп'ютером необхідно дотримуватися правильного режиму праці та відпочинку. Інакше у працівників спостерігається незадоволеність роботою, головний біль, роздратування, порушення сну, втома і більші відчуття в очах, попереку, у ділянці шиї та рук. Для збереження здоров'я працівників, запобігання професійним захворюванням і підтримки працездатності слід передбачати внутрішньо змінні регламентовані перерви для відпочинку: для розробників програм — 15 хв. через кожну годину роботи за комп'ютером; для операторів ЕОМ — 15 хв. через кожні 2 год.; для операторів комп'ютерного набору — 10 хв. після кожної години роботи. Для профілактики напруженості органів зору важливими є: дотримання режимів праці та відпочинку; характеристики та налаштування монітору ПК: яскравість екрана, зернистість, відсутність близькості тощо, наприклад, неяскраві кольори менше втомлюють очі, ніж яскраві.

Для зниження нервово-емоційного напруження і втоми очей, поліпшення мозкового кровообігу, подолання несприятливих наслідків гіподинамії доцільно деякі перерви використовувати для виконання комплексу вправ, наведених у додатку 7 до ДСанПіН 3.3.2.007-98 (див. с.70,71). Отже, за умови дотримання Правил № 65 та ДСанПіН 3.3.2.007-98 робота з ПК не належить до категорії із шкідливими умовами праці.

5.3 Матеріально-технічне забезпечення радіаційного і хімічного захисту

Нормативно-правовою основою матеріально-технічного забезпечення радіаційного і хімічного захисту є постанова Кабінету Міністрів України “Про затвердження порядку забезпечення населення і особового складу невоєнізованих формувань засобами радіаційного і хімічного захисту” № 1200 від 19.08.2002 р. Цим документом визначено порядок накопичення приладів радіаційної і хімічної розвідки у підрозділах цивільного захисту та придбання приладів населенням.

Технічні засоби радіаційного захисту. Прилади, призначені для виявлення і вимірювання іонізуючих випромінювань, називаються приладами радіаційного контролю або радіаційної розвідки. Названі прилади поділяють на індикатори-сигналізатори, рентгенометри, радіометри, дозиметри та універсальні прилади. Індикатори-сигналізатори – це найпростіші дозиметричні прилади, призначені для виявлення іонізуючих випромінювань і подачі у такому разі звукового чи світлового сигналу. Рентгенометри – це прилади, за допомогою яких вимірюється потужність доз γ -випромінювання, а також визначається ступінь радіоактивного забруднення поверхонь різноманітних об’єктів. Радіометри (вимірювачі радіоактивності) належать до числа вимірювачів іонізуючих випромінювань спеціального призначення і використовуються для визначення ступеня радіоактивного забруднення поверхонь, різноманітних предметів (у тому числі обладнання, води і продуктів харчування) α - та β -активними речовинами. Можуть використовуватися для вимірювання невеликих потужностей доз радіації γ -випромінювань. Застосовуються для пошуку уранових руд, у санепідемстанціях, науково-дослідних лабораторіях та інших установах. Дозиметри призначені для визначення сумарних доз опромінення, які отримують працівники або населення в радіоактивно забруднених районах. За допомогою дозиметрів визначаються індивідуальні дози γ - і нейтронних випромінювань невеликої потужності.

Універсальними приладами радіаційного контролю є спектрометри, спектрометри-дозиметри, дозиметри-радіометри та ін. У 60-х роках ХХ ст. промисловість випускала: індикатори загального призначення типу ДП-62, ДП-63, ДП-64; рентгенометри ДП-5А, ДП-5Б, ДП-5В; радіометри КРБ-1, РКБ4- 1ЕМ, КРВП-3АБ, КРК-1, СРП-68-01; дозиметри ДК-02, ДП-24, ДП-22В, ИД-1, ИД-11, ДП-70, КИД-6А, КДТ-02 та інші. Деякі з них використовуються і досі.

За сферою використання сучасні прилади радіаційного контролю поділяються на прилади для: санітарної дозиметрії і екології: радіометр-дозиметр γ - та β -випромінювань РКС-01 “СТОРА”, РКС-01 “СТОРА – ТУ”, радіометр-дозиметр МКС-05 “ТЕРРА”, радіометр-дозиметр пошуковий МКС-07 “ПОШУК”; цивільного захисту та Збройних Сил України: індикатор радіоактивності УДРБГ-Б, радіометр-дозиметр універсальний МКС-У, радіометр “Прип’ять”, радіометр-дозиметр МКС-05 “ТЕРРА”; 47 пошукових завдань: радіометр-дозиметр пошуковий МКС-07 “ПОШУК”, радіометри-дозиметри γ - та β -випромінювань РКС-01 “СТОРА – ТУ”, дозиметр γ -випромінювання індивідуальний з пошуковою функцією ДКС-02П “КАДМІЙ”; індивідуальної дозиметрії: дозиметри ДКС-02К “КАДМІЙ”, ГО-32, “Юпітер”, дозиметр γ -випромінювання ДКГ-21 “Ecotest CARD” (як автономний прилад, так і у складі автоматизованої системи індивідуального дозиметричного контролю АСІДК-21); побутового використання: дозиметр-радіометр побутовий МКС-05 “ТЕРРА-П”. Усі названі прилади радіаційного контролю вироблені на вітчизняних підприємствах і є професійними засобами вимірювальної техніки, що пройшли сертифікацію Держспоживстандарту України та внесені до Державного реєстру засобів вимірювальної техніки.

ВИСНОВКИ

У ході виконання магістерської кваліфікаційної роботи проведено розробку, дослідження та практичну реалізацію пристрою автоматичної витримки часу на ПЛІС.

В першому розділі представлено теоретичний опис ПЛІС різної структури та специфікації, було проведено теоретичний огляд способів їх програмування та конфігурування, а також принцип їх апаратної та програмної реалізації.

У другому розділі було виконано розрахунок та проектування всіх блоків пристрою автоматичної витримки часу, розраховані лічильник з модулем $M = 10$, що утворений із двійкового, реалізовано елементи на мові AHDL, спроектовано схемотехнічними та автоматизованими засобами системи проектування Quartus II, розраховано прямий і зворотній ГКП, що повністю відповідає завданню, а також розраховано відносну похибку всього пристрою.

У третьому розділі було детально описано процес моделювання в системі Quartus II, промодельовано роботу всіх блоків та вузлів пристрою автоматичної витримки часу. В результаті моделювання отримано часові діаграми, що показують хід та правильність виконання спроектованим пристроєм відповідність до завдання. Також у третьому розділі було реалізовано спроектований пристрій на макеті UP2 Education Kit фірми Altera та наочно підтверджено правильність його виконання.

Таким чином було розроблено повноцінний пристрій, що виконує відповідно поставленим у завданні вимогам, проведено його моделювання та апаратну реалізацію, тому поставлене завдання виконано.

Згідно проведених в економічній частині досліджень рівень комерційного потенціалу розробки за темою «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах» становить 38,0 бала, що, свідчить про комерційну важливість проведення даних досліджень (рівень комерційного потенціалу розробки вище середнього).

При оцінюванні за технічними параметрами, згідно узагальненого коефіцієнту якості розробки, науково-технічна розробка переважає існуючі аналоги приблизно в 1,60 рази. Також термін окупності становить 0,56 р., що менше 3-х років, що свідчить про комерційну привабливість науково-технічної розробки і може спонукати потенційного інвестора профінансувати впровадження даної розробки та виведення її на ринок.

СПИСОК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. The Telegraph. URL:
[http://www.telegraph.org/delay_spec\\$123xe2s.shtml](http://www.telegraph.org/delay_spec$123xe2s.shtml)
2. http://www.pronau.org.ua/edu/index.php?dir=ACTS_KPI/otip
3. LATEST NEWS FOR: A HDL. URL: <http://www.ahdl.com>
4. Кофанов В.Л. Математичні та схемотехнічні основи цифрових пристроїв: Навч. посібник. Вінниця: УНІВЕРСУМ-Вінниця, 2005. 165 с.
5. Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов связи. М.:Горячая линия Телеком, 2002. 336 с.
6. University Program UP2 Education Kit. Altera Corporation, v. 3.1, 2004.
7. Кофанов В.Л., Осадчук О.В., Гаврілов Д.В.. Практикум з цифрових пристроїв на основі САПР Quartus II: Навч. посібник. – Вінниця: УНІВЕРСУМ-Вінниця, 2007.
8. Кофанов В.Л. Лабораторні роботи з цифрових пристроїв: Навч. посібник. Вінниця: УНІВЕРСУМ-Вінниця, 2006.
9. Зубчук В.І., Сигорский В.П., Шкуро А.Н. Справочник по цифровой схемотехнике. К.: Техніка, 1990. 448 с.
10. Лихтциндер Б.Я., Кузнецов В.И. Микропроцессоры и вычислительные устройства в радиотехнике: Учеб. пособие. К.: Вища шк., 1988. 272 с.
11. Угрюмов Е.П. Цифровая схемотехника: Учеб. пособие. СПб.: БХВ – Петербург, 2002. 528 с.
12. Радиотехніка: Енциклопедичний навчальний довідник: Навч. посібник / За ред. Ю.Л. Мазора, Є.А. Мачуського, В.І. Правди. К.: Вища шк., 1999. – 838 с.
13. Семенов А.О., Бриндак І.П., Довгун В.О. Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах. Збірнику тез доповідей XI міжнародної науково-практичної конфе-

ренції «Сучасні проблеми і досягнення в галузі радіотехніки, телекомунікацій та інформаційних технологій», 12-14 грудня 2022 року, м. Запоріжжя, Національний Університет «Запорізька Політехніка». С. 56-57.

14. Кофанов В.Л., Гаврілов Д.В., Осадчук О.В. Проектування цифрових пристроїв на основі САПР QUARTUS II. Вінниця: ВНТУ, 2009. 163 с.

15. Кофанов В.Л., Гаврілов Д.В., Осадчук О.В. Лабораторний практикум з дослідження цифрових пристроїв на основі САПР MAX+PLUSII. – Вінниця: ВНТУ, 2008. 200 с.

16. Осадчук О.В., Крилик Л.В., Семенов А.О. Лабораторний практикум з інформатики. –Вінниця: ВНТУ, 2010.– 131 с.

17. Осадчук О.В., Гаврілов Д.В., Звягін О.С. Основи комп'ютерного проектування та моделювання РЕА. Лабораторний практикум. Частина 1. – Вінниця: ВНТУ, 2015. – 99 с.

18. Сигнали та процеси в радіотехніці : лабораторний практикум / [Воловик Ю. М., Гаврілов Д. В., Семенов А. О. та ін.]. Вінниця : ВНТУ, 2017. 94 с.

19. Методичні вказівки до виконання економічної частини магістерських кваліфікаційних робіт / Уклад. : В. О. Козловський, О. Й. Лесько, В. В. Кавецький. Вінниця : ВНТУ, 2021. 42 с.

20. Кавецький В. В. Економічне обґрунтування інноваційних рішень: практикум / В. В. Кавецький, В. О. Козловський, І. В. Причепа. Вінниця : ВНТУ, 2016. 113 с.

21. Гігієнічна класифікація праці (за показниками шкідливості і небезпеки факторів виробничого середовища від 12.08.1986 № 4137-86. [Електронний ресурс] Режим доступу:

<http://zakon4.rada.gov.ua/laws/show/v4137400-86>

22. ГОСТ 12.0.003-74 ССБТ. Опасные и вредные производственные факторы. Классификация.

23. ГОСТ 12.2.032-78 Система стандартов безопасности труда. Рабочее место при выполнении работ сидя. Общие эргономические требования

[Електронний ресурс]. Режим доступу:

<http://vsegost.com/Catalog/31/31970.shtml>

24.ДБН В.2.5-28-2006. Природне і штучне освітлення. Мінбуд України. К.: 2006.

25.ДСан ПiН 3.3.2.007-98 Державні санітарні правила і норми роботи з візуальними дисплейними терміналами електронно-обчислювальних машин ЕОМ. [Електронний ресурс]. Режим доступу: <http://document.ua/derz-nor4881.html>

26.ДСН 3.3.6.037-99 Санітарні норми виробничого шуму, ультразвуку та інфразвуку. [Електронний ресурс]. Режим доступу: <http://document.ua/sanitarni-normi-virobnichogo-shumu-ultrazvuku-ta-infrazvuku-nor4878.html>

27.ДСН 3.3.6.042-99 Санітарні норми мікроклімату виробничих приміщень. [Електронний ресурс]. Режим доступу: <http://mozdocs.kiev.ua/view.php?id=1972>

28.НПАОП 0.00-7.15-18 Вимоги щодо безпеки та захисту здоров'я працівників під час роботи з екранними пристроями. [Електронний ресурс]. Режим доступу: http://sop.zp.ua/norm_npaop_0_00-7_15-18_01_ua.php

29.Правила улаштування електроустановок. [Електронний ресурс]. Режим доступу: <http://www.energiy.com.ua/PUE.html>


Додаток А
(обов'язковий)

ІЛЮСТРАТИВНА ЧАСТИНА

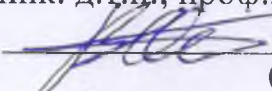
КЕРОВАНІ ПРИСТРОЇ РАДІОАВТОМАТИКИ ЗАТРИМКИ ЧАСУ НА ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМАХ

Виконала: студентка 2-го курсу, групи РТ-21м
спеціальності 172 – Телекомунікації та радіо-
техніка

(шифр і назва напрямку підготовки, спеціальності)

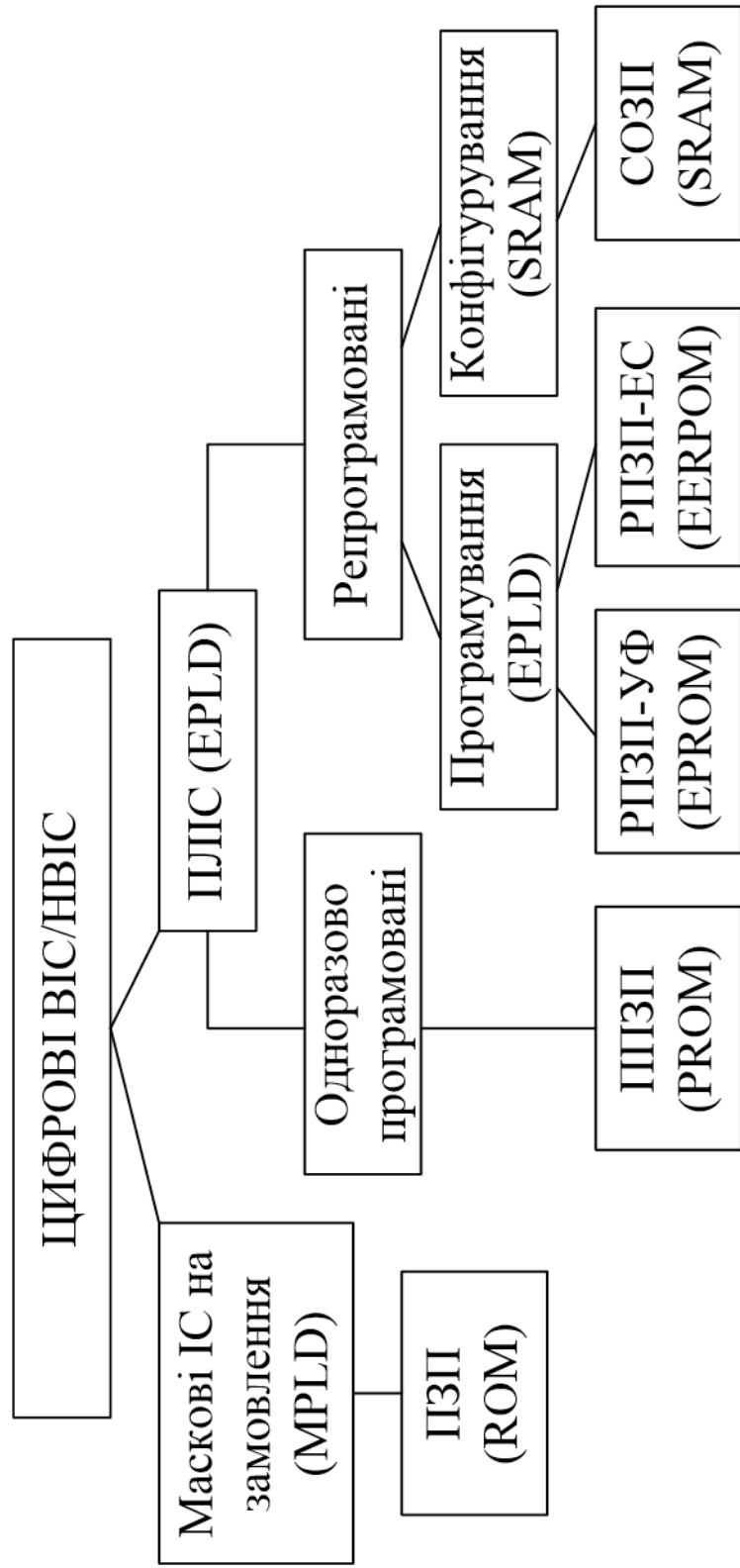
 Бриндак І. П.
(прізвище та ініціали)

Керівник: д.т.н., проф., проф. каф. ІРТС

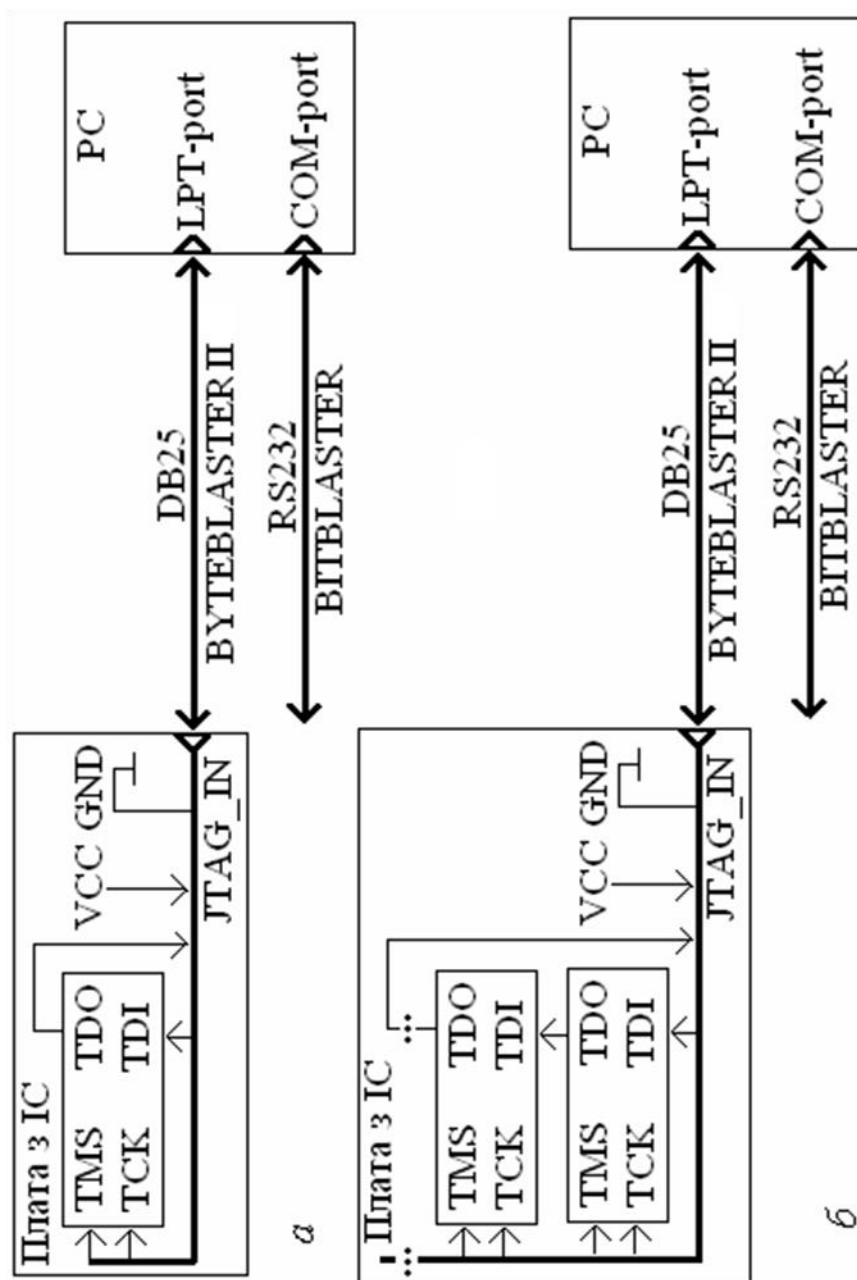
 Осадчук В. С.
(прізвище та ініціали)

«19» 12 2022 р.

Класифікація ПЛІС за способами програмування структури



Схеми програмування та конфігурування ПЛІС



Макрокомірка ПЛС

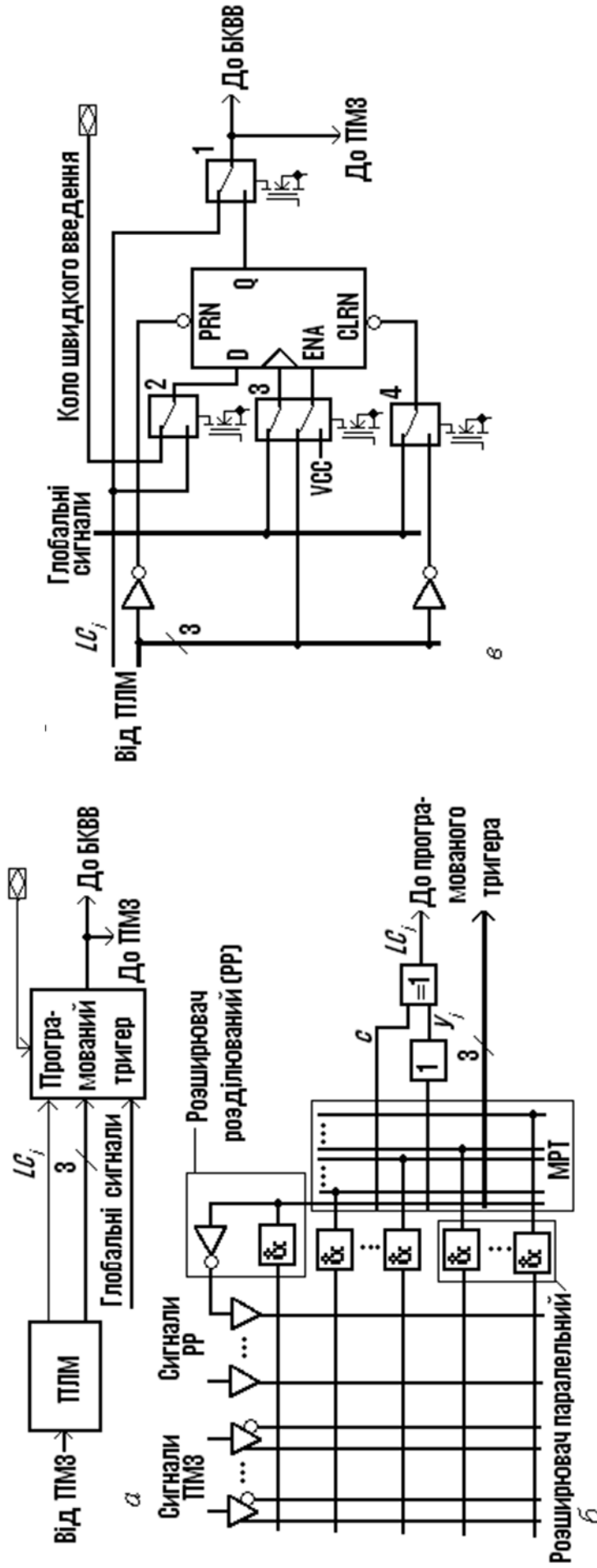
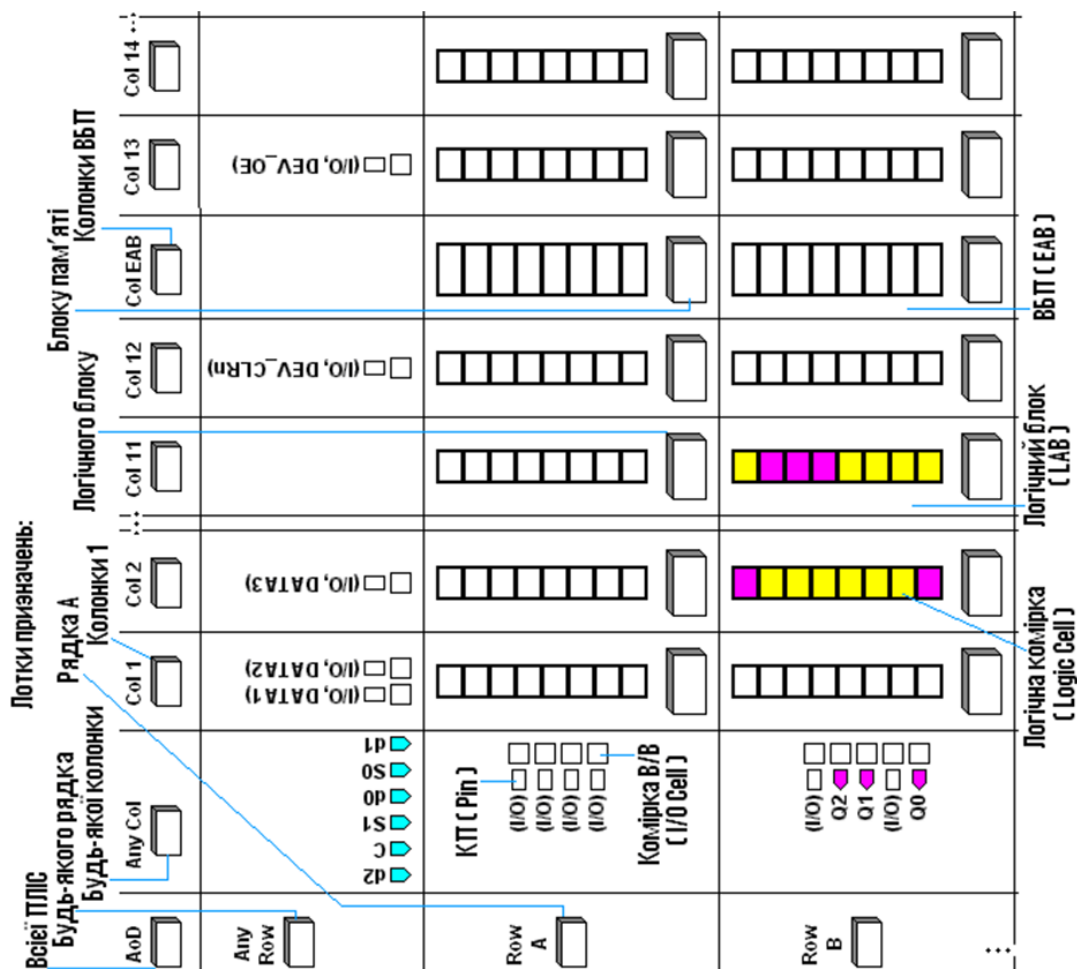


Рисунок 1 – Макрокомірка ПЛС: а) комбінаційна, б) на основі програмованого тригера

Двокоординатна система позначень блоків ПЛІС



Проектування блоку лічильника на ПЛС

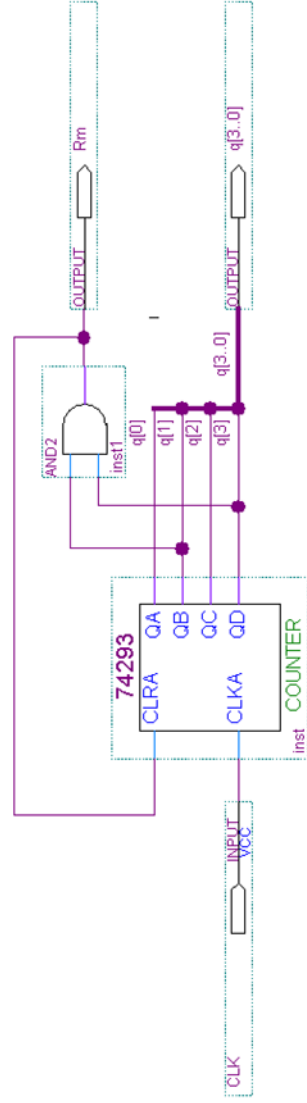


Рисунок 1 - Спроектований декадний лічильник

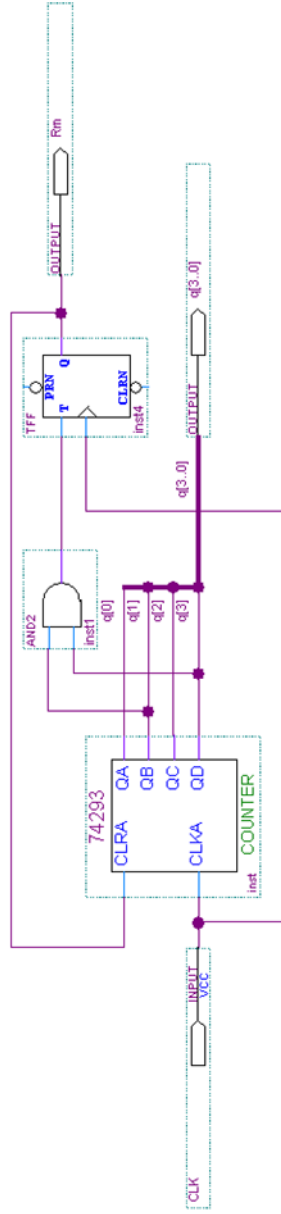


Рисунок 2 - Схема лічильника ускладненого затримкою на виході

Проектування блоку генератора коду відліків і блоку дешифратора семисегментного коду

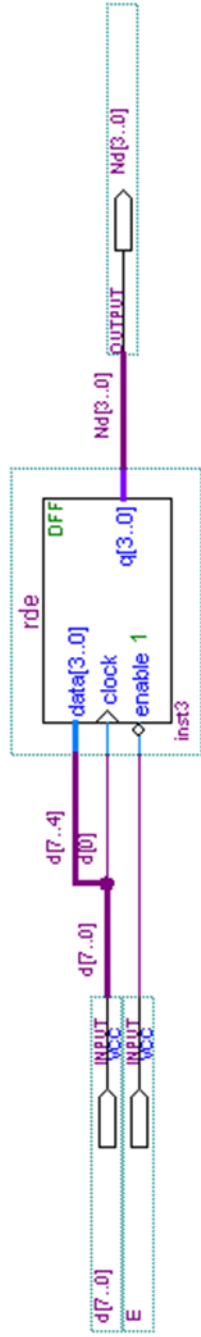


Рисунок 1 – Схемна реалізація мегафункції регістру на D – тригерах

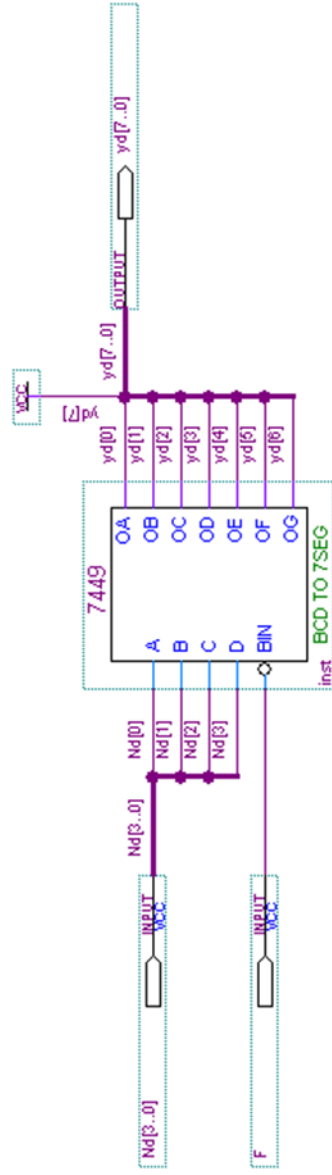


Рисунок 2 – Дешифратор семисегментного коду

Проектування генератора кодових послідовностей

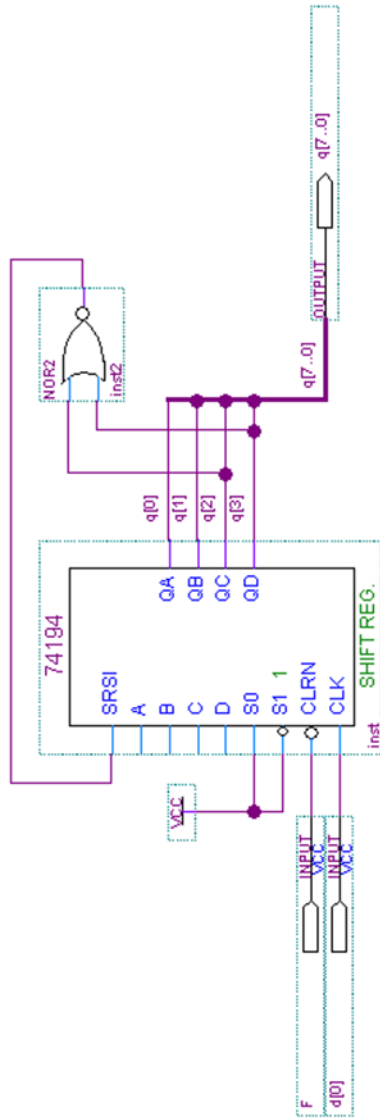


Рисунок 1 – Схема прямого чотирьох-розрядного ГКП

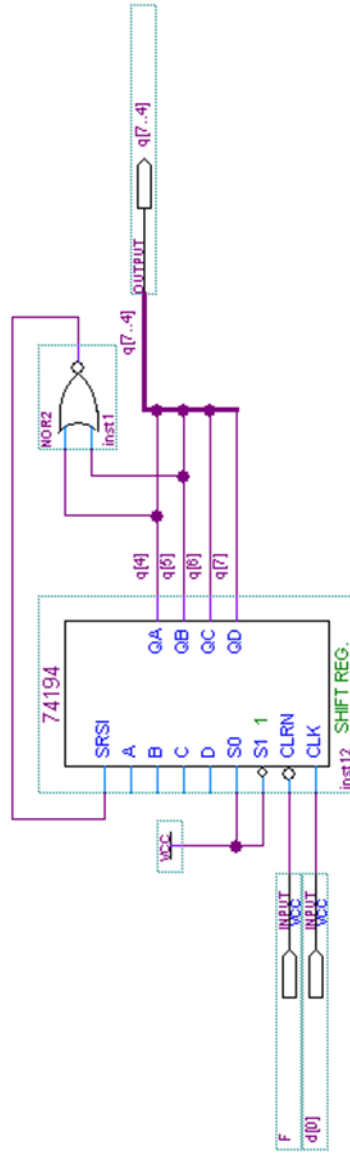
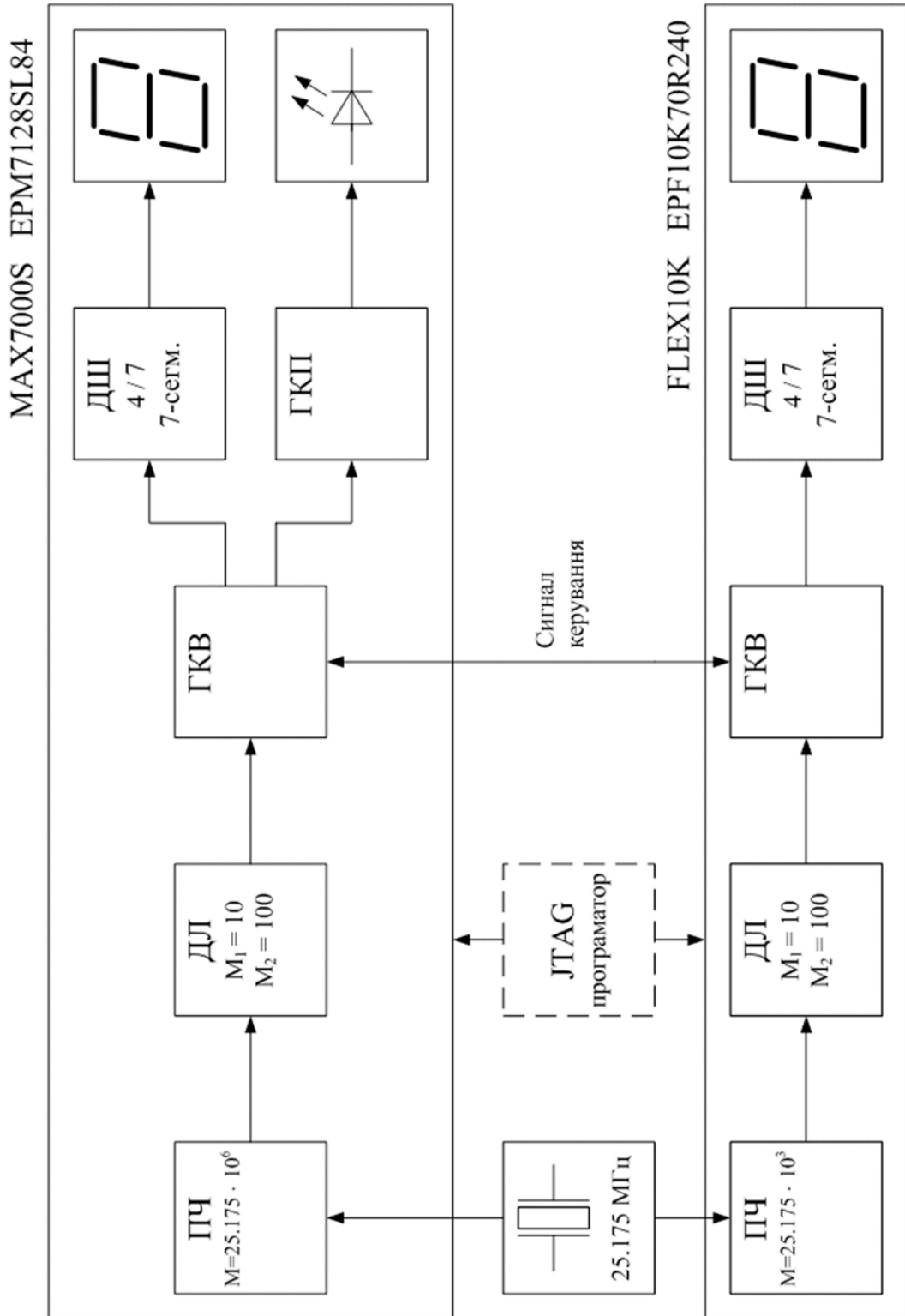


Рисунок 2 – Схемна реалізація зворотного ГКП

Структурна схема пристрою



Апаратна реалізація пристрою

Комірки периферійного сканування

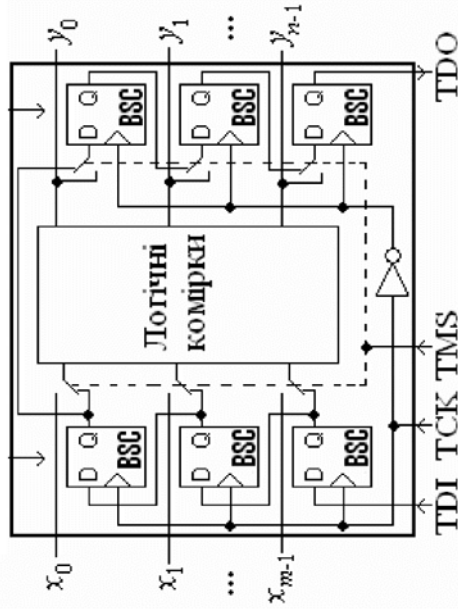
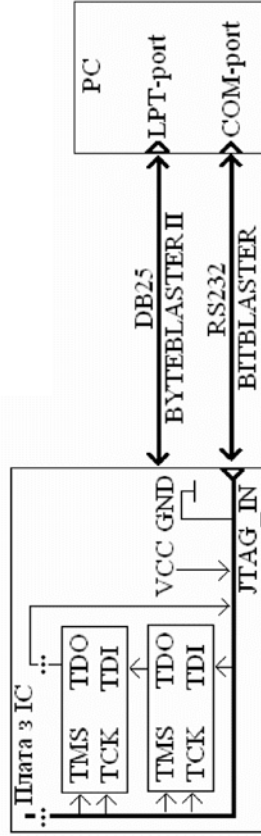
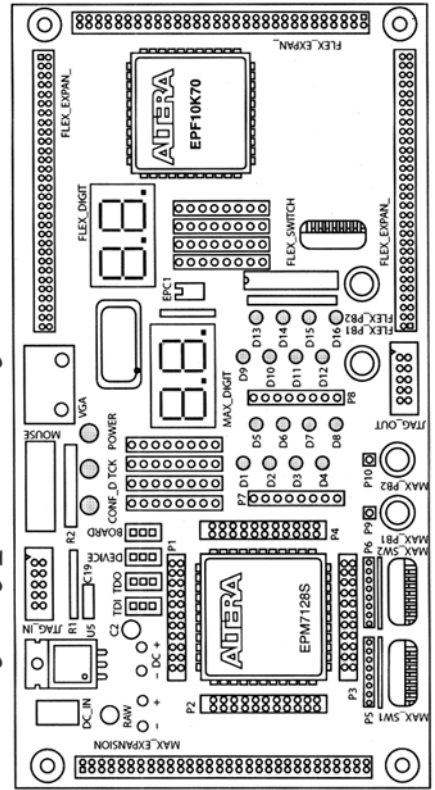


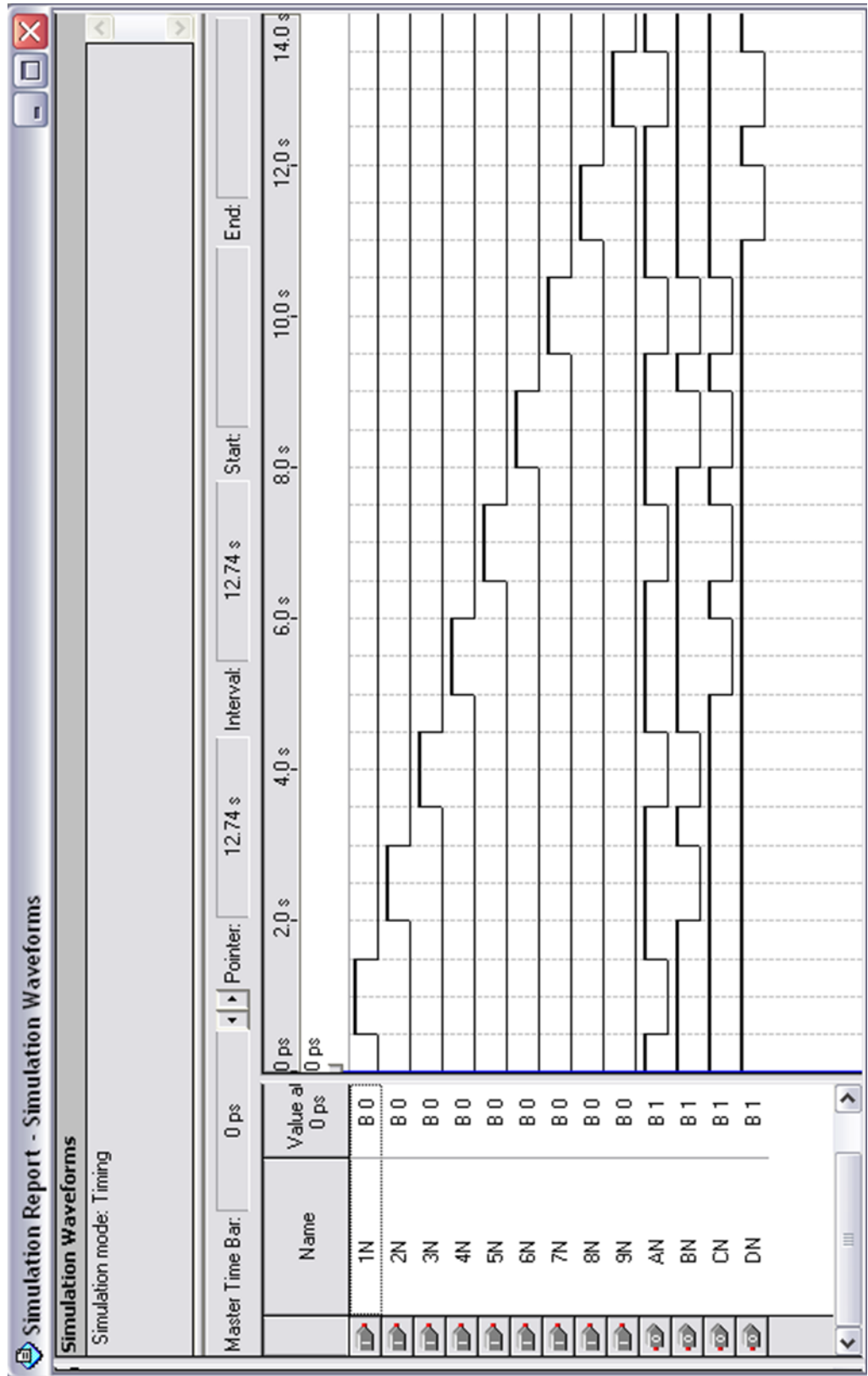
Схема включення JTAG-програмера



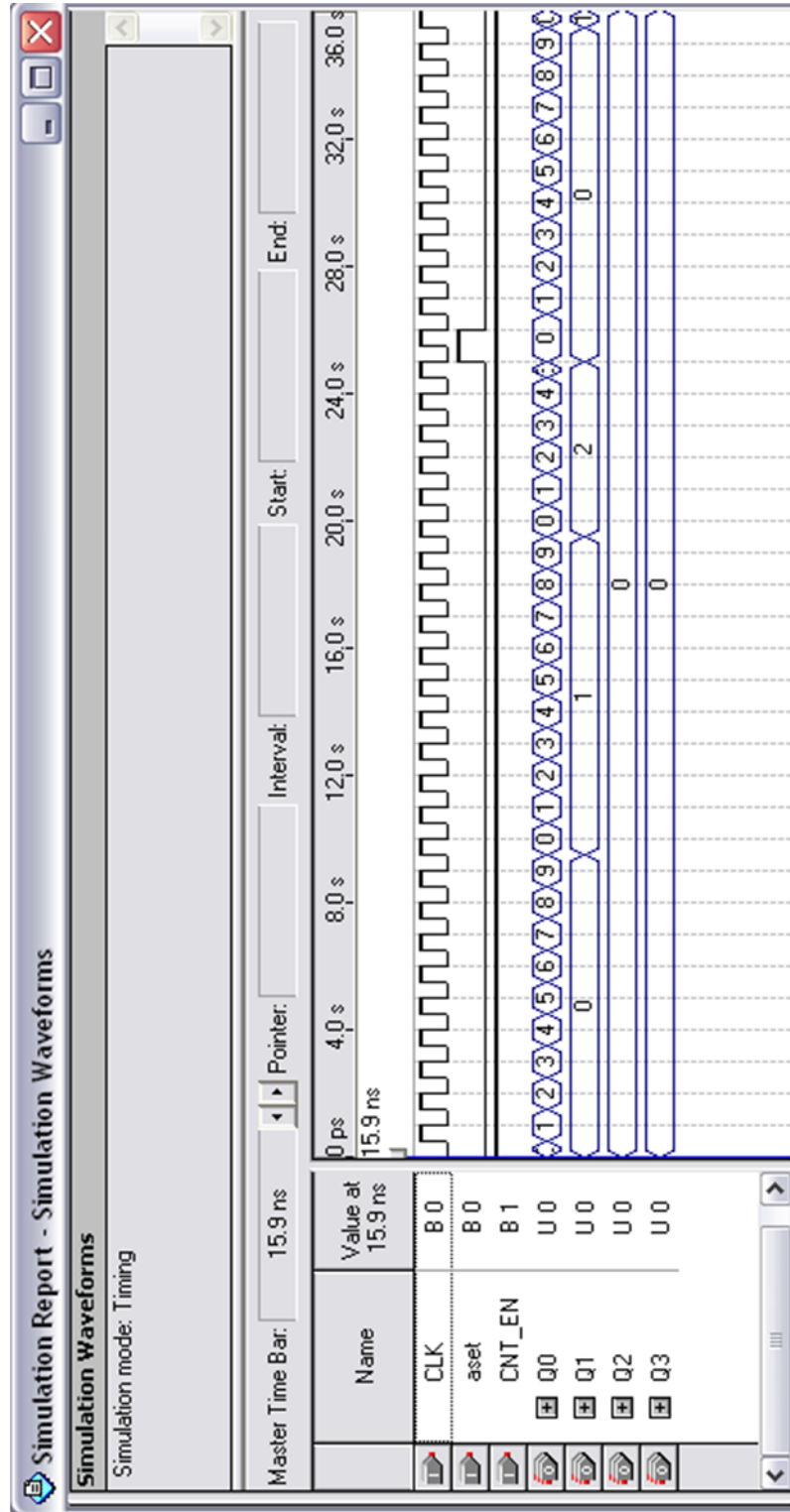
Структура макету UP2 ed. Kit



Часові діаграми роботи шифратора



Часові діаграми роботи лічильника



Додаток Б
(обов'язковий)

ПРОТОКОЛ ПЕРЕВІРКИ РОБОТИ

**КЕРОВАНІ ПРИСТРОЇ РАДІОАВТОМАТИКИ ЗАТРИМКИ ЧАСУ НА
ПРОГРАМОВАНИХ ЛОГІЧНИХ ІНТЕГРАЛЬНИХ МІКРОСХЕМАХ**

ПРОТОКОЛ
ПЕРЕВІРКИ КВАЛІФІКАЦІЙНОЇ РОБОТИ
НА НАЯВНІСТЬ ТЕКСТОВИХ ЗАПОЗИЧЕНЬ

Назва роботи: «Керовані пристрої радіоавтоматики затримки часу на програмованих логічних інтегральних мікросхемах»

Тип роботи: Магістерська кваліфікаційна робота
(БДР, МКР)

Підрозділ кафедра ІРТС
(кафедра, факультет)

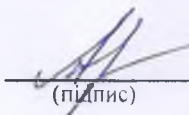
Показники звіту подібності Unicheck

Оригінальність 88,1% Схожість 11,9%

Аналіз звіту подібності (відмітити потрібне):

1. Запозичення, виявлені у роботі, оформлені коректно і не містять ознак плагіату.
2. Виявлені у роботі запозичення не мають ознак плагіату, але їх надмірна кількість викликає сумніви щодо цінності роботи і відсутності самостійності її виконання автором. Роботу направити на розгляд експертної комісії кафедри.
3. Виявлені у роботі запозичення є недобросовісними і мають ознаки плагіату та/або в ній містяться навмисні спотворення тексту, що вказують на спроби приховування недобросовісних запозичень.

Особа, відповідальна за перевірку

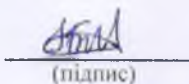

(підпис)

Звягін О.С.

(прізвище, ініціали)

Ознайомлені з повним звітом подібності, який був згенерований системою Unicheck щодо роботи.

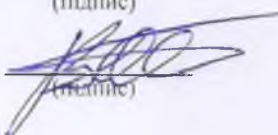
Автор роботи


(підпис)

Бриндак І. П.

(прізвище, ініціали)

Керівник роботи


(підпис)

Осадчук В. С.

(прізвище, ініціали)