

Вінницький національний технічний університет

(повне найменування вищого навчального закладу)

Факультет інфокомунікацій, радіоелектроніки та наносистем

(повне найменування інституту, назва факультету (відділення))

Кафедра радіотехніки

(повна назва кафедри (предметної, циклової комісії))

Пояснювальна записка
до магістерської кваліфікаційної роботи

«Магістр»

(освітньо-кваліфікаційний рівень)

на тему: «Розробка вимірювача фази на FPGA»

Виконав: студент 2-го курсу, групи ТКР-18м з/в
спеціальності 172 – Телекомунікації та
радіотехніка Освітня програма - Радіотехніка
(шифр і назва напрямку підготовки, спеціальності)

Кобися М.В.

(прізвище та ініціали)

Керівник: к.т.н., доцент каф. РТ

Гаврілов Д.В.

(прізвище та ініціали)

« ____ » _____ 2020 р.

Рецензент: к.т.н., професор

Барась С.Т.

(прізвище та ініціали)

« ____ » _____ 2020 р.

Вінниця ВНТУ - 2020 рік

Вінницький національний технічний університет
Факультет Інфокомунікацій, радіоелектроніки та наносистем
Кафедра Радіотехніки
Освітньо-кваліфікаційний рівень Магістр
Спеціальність 172 – Телекомунікації та радіотехніка
(шифр і назва)

ЗАТВЕРДЖУЮ
Завідувач кафедри РТ
д.т.н., професор О.В. Осадчук
“ ___ ” _____ 20__ року

ЗАВДАННЯ НА МАГІСТЕРСЬКУ КВАЛІФІКАЦІЙНУ РОБОТУ СТУДЕНТУ

Кобисі Миколі Володимировичу
(прізвище, ім'я, по батькові)

1. Тема роботи «Розробка вимірювача фази на FPGA»
керівник роботи Гаврілов Дмитро Володимирович, к.т.н., доцент
(прізвище, ім'я, по батькові, науковий ступінь, вчене звання)
затверджені наказом вищого навчального закладу від “06” 03 2020 року №76
2. Строк подання студентом роботи 15.06.2020 року.
3. Вихідні дані: Діапазон частот 10...500 кГц, режим точності 1^0 , реалізація цифрового фазометра в програмному пакеті Quartus II.
4. Зміст розрахунково-пояснювальної записки (перелік питань, які потрібно розробити) вступ; техніко-економічне обґрунтування; методи вимірювання фази; розробка фазометра: вибір елементної бази та системи проектування, принцип роботи фазометра, структурна схема приладу; розробка і розрахунок функціональних вузлів цифрового фазометра: вхідний блок, формувач стробуючого імпульсу, формувач стробуючого імпульсу ΔT , лічильники для підрахунку значень n і N , математична частина, семисегментний перетворювач; реалізація цифрового фазометра в програмному пакеті Quartus II: опис моделюючої програми Quartus II, моделювання функціональних блоків цифрового фазометра в програмному пакеті Quartus II; розрахунок надійності та ефективності цифрового фазометра; цивільна оборона; безпека життєдіяльності; організаційно-економічний розділ; висновки.
5. Перелік графічного матеріалу (з точним зазначенням обов'язкових креслень) структурна схема цифрового фазометра, принцип роботи цифрового фазометра, електричні схеми функціональних блоків цифрового фазометра в програмному пакеті Quartus II, моделювання функціональних блоків цифрового фазометра в програмному пакеті Quartus II, повна схема пристрою.

6. Консультанти розділів роботи

Розділ	Прізвище, ініціали та посада консультанта	Підпис, дата	
		завдання видав	завдання прийняв
Основна частина	к.т.н., доцент Гаврілов Д. В.		
Охорона праці та безпека в надзвичайних ситуаціях	к.т.н., доцент Березюк О. В.		
Економічна частина	к.т.н., доцент Адлер О. О.		

7. Дата видачі завдання 02.01.2020 року

КАЛЕНДАРНИЙ ПЛАН

№ з/п	Назва етапів магістерської кваліфікаційної роботи	Строк виконання етапів роботи	Примітка
1.	Огляд літературних джерел. Вибір та узгодження теми МКР	06.01.2020-20.01.2020	
2.	Аналіз літературних джерел. Попередня розробка основних розділів	21.01.2020-24.02.2020	
3.	Затвердження теми. Розробка технічного завдання	25.02.2020-06.03.2020	
4.	Аналіз вирішення поставленої задачі. Розробка структурної схеми	07.03.2020-23.03.2020	
5.	Електричні розрахунки. Експериментальне дослідження	24.03.2020-07.04.2020	
6.	Розділ моделювання	08.04.2020-13.04.2020	
7.	Розробка графічної частини МКР	14.04.2020-28.04.2020	
8.	Аналіз економічної ефективності розробки	29.04.2020-11.05.2020	
9.	Охорона праці (ОП)	12.05.2020-19.05.2020	
10	Оформлення пояснювальної записки та графічної частини	20.05.2020-03.06.2020	
11.	Нормоконтроль	04.06.2020-08.06.2020	
12.	Попередній захист МКР, доопрацювання, рецензування МКР	09.06.2020-15.06.2020	

Студент

_____ (підпис)

Кобися М.В.

Керівник роботи

_____ (підпис)

Гаврілов Д.В.

РЕФЕРАТ

УДК 621.396

Кобися М.В. Розробка вимірювача фази на FPGA / Магістерська кваліфікаційна робота / Вінниця: ВНТУ, 2020, – 136 с. Укр. мовою.

Бібліограф. найменувань 24, ілюстрацій 41, таблиць 37.

Метою **магістерської кваліфікаційної роботи** є конструкторсько-технологічне проектування вимірювача фази на FPGA, із метою подальшого виготовлення.

Методи дослідження - застосування сучасних САПР, порівняльний аналіз, використання існуючих баз даних для створення конструкції приладу.

Результатом розробки є частина технічної документації, необхідна для виготовлення та експлуатації вимірювальних приладів.

В **магістерській кваліфікаційній роботі** наводиться необхідний матеріал для підтвердження актуальності розробки, наводиться принцип дії із висвітленням наукової новизни, обраховані основні електричні, конструктивні та технологічні характеристики виробу, а також електромагнітна сумісність та захист. Наведене обґрунтування загального конструкторського рішення, обґрунтування вибору комплектуючих та матеріалів.

Описано технологію виготовлення друкованої плати та порядок складання пристрою. Проведено техніко-економічне обґрунтування доцільності розробки. Розраховано економічний ефект від розробки та впровадження пристрою. Розглянуті питання безпеки життєдіяльності під час виготовлення пристрою та стійкості його роботи при дії електромагнітного імпульсу та іонізуючого випромінювання.

Ключові слова: вимірювачі фази, FPGA, Intel, Altera, Quartus.

ABSTRACT

UDC 621.396

Kobisia MV Development of phase meter on FPGA / Master's qualification work / Vinnytsia: VNTU, 2020, - 136 p. Ukr. language.

Bibliographer. names 24, illustrations 41, tables 37.

The purpose of the master's qualification work is the design and technological design of the phase meter on the FPGA, with a view to further manufacture.

Research methods - application of modern CAD, comparative analysis, use of existing databases to create the device design.

The result of the development is part of the technical documentation necessary for the manufacture and operation of measuring instruments.

The master's qualification work provides the necessary material to confirm the relevance of the development, the principle of action with the coverage of scientific novelty, the basic electrical, structural and technological characteristics of the product, as well as electromagnetic compatibility and protection. The substantiation of the general design decision, the justification of the choice of components and materials is given.

The technology of PCB manufacturing and the order of assembly of the device are described. The feasibility study of the feasibility of the development was carried out. The economic effect of the design and implementation of the device is calculated. The questions of safety of life during manufacture of the device and stability of its work under the influence of electromagnetic pulse and ionizing radiation are considered.

Keywords: Phase Meters, FPGA, Intel, Altera, Quartus.

ЗМІСТ

ВСТУП.....	6
1 ОБГРУНТУВАННЯ ВИБОРУ	11
1.1 Суть технічної проблеми	11
1.2 Вибір базового варіанту як найкращого із варіантів техніки	13
1.3 Обґрунтування вибору оптимального варіанта рішення основної задачі.....	17
2 МЕТОДИ ВИМІРЮВАННЯ ФАЗИ	20
2.1 Осцилографічний метод вимірювання фази.....	20
2.2 Компенсаційний метод вимірювання фази	23
2.3 Метод перетворення фазового зсуву в імпульси струму	26
2.4 Метод дискретного підрахунку	28
3 РОЗРОБКА СТРУКТУРНОЇ СХЕМИ	33
3.1 Вибір елементної бази та системи проектування	33
3.2 Принцип роботи фазометра.....	33
3.3 Структурна схема приладу	35
4 РОЗРОБКА І РОЗРАХУНОК ФУНКЦІОНАЛЬНИХ ВУЗЛІВ ЦИФРОВОГО ФАЗОМЕТРА	38
4.1 Вхідний блок.....	38
4.2 Формувач стобуючого імпульсу ΔT	38
4.3 Формувач стобуючого імпульсу T	40
4.4 Лічильники для підрахунку значень n і N	42
4.5 Математична частина.....	45
4.6 Семисегментний перетворювач.....	50

5 РЕАЛІЗАЦІЯ ЦИФРОВОГО ФАЗОМЕТРА В ПРОГРАМНОМУ ПАКЕТІ QUARTUS II.....	54
5.1 Опис моделюючої програми Quartus II.....	54
5.2 Моделювання функціональних блоків цифрового фазометра в програмному пакеті Quartus II	62
6 ОЦІНКА ПОХИБОК ТА РОЗРАХУНОК НАДІЙНОСТІ І ЕФЕКТИВНОСТІ ЦИФРОВОГО ФАЗОМЕТРА.....	71
6.1 Експериментальна оцінка похибки цифрових фазометрів	71
6.2 Похибка квантування часових інтервалів в цифрових фазометрах	74
6.3 Розрахунок надійності та ефективності цифрового фазометра	77
7 ЕКОНОМІЧНА ЧАСТИНА	80
7.1 Аналіз комерційного потенціалу розробки (технологічний аудит розробки) вимірювача фази на FPGA.....	80
7.2 Прогнозування витрат на виконання науково-дослідної, дослідно-конструкторської та конструкторсько-технологічної роботи	85
7.3 Прогнозування комерційних ефектів від реалізації вимірювача фази на FPGA.....	91
7.4 Розрахунок ефективності вкладених інвестицій та період їх окупності	93
8 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ	96
8.1 Технічні рішення з гігієни праці та виробничої санітарії	96
8.2 Технічні рішення щодо промислової та пожежної безпеки при проведенні розробки вимірювача фази на FPGA.....	99

8.3 Безпека у надзвичайних ситуаціях. Визначення області працездатності вимірювача фази на FPGA в умовах дії загрозових чинників надзвичайних ситуацій.....	102
8.4 Визначення області працездатності вимірювача фази на FPGA в умовах впливу електромагнітного імпульсу	103
8.5 Розробка заходів по підвищенню стійкості роботи вимірювача фази на FPGA до дії загрозових чинників надзвичайних ситуацій.	106
8.6 Висновки до розділу	108
ВИСНОВКИ	110
ПЕРЕЛІК ПОСИЛАНЬ.....	112
Додаток А (обов'язковий) – Технічне завдання.....	114
Додаток Б (обов'язковий) – Схема електрична структурна	122
Додаток В (обов'язковий) – Принцип роботи цифрового фазометра	124
Додаток Г (обов'язковий) – Електричні схеми функціональних блоків цифрового фазометра в програмному пакеті Quartus II	126
Додаток Д (обов'язковий) – Електричні схеми функціональних блоків цифрового фазометра в програмному пакеті Quartus II	128
Додаток Е (обов'язковий) – Функціональна електрична схема	130
Додаток Ж (обов'язковий) – Моделювання функціональних блоків цифрового фазометра в програмному пакеті Quartus II.....	132

ВСТУП

Актуальність теми. На даному відрізку історії різко зросло значення вимірювань, як джерела об'єктивної інформації про величини, які характеризують ефективність та якість виробничих процесів, стан та властивості досліджуваних об'єктів. Саме тому в науці ширше почали використовувати цифрові вимірювальні прилади, як в лабораторних, так і в польових умовах. Тому від методів і засобів вимірювань вимагається більша точність вимірювань, швидкодія вимірювальних приладів, можливість їх роботи в автоматичному режимі, підвищення надійності, зменшення маси та габаритів.

Потреба в цих приладах обмовлена високою потенційною точністю фазових вимірів і широким використанням фазових принципів у навігації, зв'язку, при проектуванні електронної апаратури і вже безпосередньо в процесі роботи даних приладів.

Впровадження у вимірювальну техніку FPGA забезпечує подальший розвиток засобів вимірювання, створення нового покоління програмованих вимірювальних приладів. Вони все частіше стають джерелами даних для автоматизованих систем збирання, обробки, зберігання і відображення вимірювальної інформації.

Фазові методи вимірів знаходять широке застосування в радіотехніці. Інформація, що закладена у фазі, використовується для вимірювання відстаней та просторового розташування об'єкту, визначення параметрів і характеристик матеріалів та середовищ та інше. Точне установлення фазових співвідношень напруг чи струмів, що діють у електричних колах різних пристроїв, забезпечує поліпшення рівня вихідних параметрів електронної апаратури.

Характерною рисою розвитку сучасної техніки є поява нових приладів, таких як цифрові фазометри на FPGA.

Різноманітні засоби цифрової техніки: ЕОМ, мікропроцесорні системи вимірів і автоматизації технологічних процесів, цифровий зв'язок, телебачення і т. д. будуються на єдиній елементній базі, до складу якої входять надзвичайно різні по складності мікросхеми – від логічних елементів, що виконують найпростіші операції, до найскладніших програмувальних кристалів, що містять мільйони логічних елементів.

Варто помітити, що для схемотехніків відсутність вітчизняних мікросхем сучасного рівня компенсується доступністю іноземної елементної бази, тому вивчення цифрових вузлів і пристроїв має пряме практичне значення. Елементну базу цифрових пристроїв (ЦП) складають інтегральні схеми (ІС).

З часу появи цифрових пристроїв ІС постійно вдосконалюються. Характеристикою складності ІС є рівень інтеграції, оцінюваний або числом базових логічних елементів, або числом транзисторів, що можуть бути реалізовані на кристалі. Розходження в рівнях інтеграції ІС поділяють на деякі категорії: МІС, СІС, ВІС, НВІС (відповідно малі, середні, великі і над великі ІС). Практичне використання знаходять всі категорії.

В останні роки відбувся різкий прорив як у технології виготовлення програмованих логічних інтегральних схем (FPGA), так і в розробці інструментальних засобів, призначених для проектування цифрових пристроїв на FPGA і випуску готових виробів. Технологічний прорив характеризується різким збільшенням числа еквівалентних логічних вентилів, розташовуваних на одному кристалі, підвищенням робочої частоти (до 400 МГц) з одночасним зниженням як питомої, так і абсолютної вартості. Так, вартість FPGA ємністю 100000 вентилів за період з 1998 р. до початку 2000 р. знизилася з 1500...3000 до 100...350 у.е. і ця тенденція є стійкою. Крім того програмована логіка по темпах розвитку почала випереджати інші напрямки цифрової електроніки (універсальних мікропроцесорів, сигнальних процесорів, мікро контролерів і замовлених НВІС).

Чималу роль в розширенні областей застосування FPGA, скороченні часу і зниженні трудовитрат на проектування зіграли і значні успіхи в створенні інструментальних засобів для розробки і випуску кінцевих виробів на FPGA, основу яких складають спеціальні пакети програм, що забезпечують весь виробничий цикл по створенню цифрових пристроїв на FPGA, від розробки схем до випуску готових виробів.

Основними фірмами – виробниками FPGA у даний час є такі фірми, як „Altera”, „Atmel”, „Cypress”, „Lattice”, „Lucent”, „Xilinx”. Сучасний розвиток комп’ютерної техніки дає можливість навіть у побутових умовах виконати якісне проектування пристрою для його матеріальної реалізації. Значно спрощують працю розробника схемні пакети такі, як Electronics Workbench, Microcap, MAX+plus, Quartus. Вони дають можливість отримати результати проектування, максимально наближені до реальних.

В даній роботі розглянуті існуючі методи та прилади для вимірювання фази цифровим способом та проведена розробка моделі цифрового вимірювача фази.

Метою роботи є створення та дослідження цифрового вимірювача фази на FPGA.

Об’єктом дослідження є розробка теоретичних засад, методів та засобів для вимірювання фази радіотехнічних сигналів.

Предметом дослідження – є цифрові вимірювачі фази на FPGA.

В магістерській кваліфікаційній роботі для досягнення поставленої мети **розв’язуються такі завдання:**

1. Проведення аналізу сучасного стану розробки цифрових вимірювачів фази радіотехнічних сигналів на FPGA та виявлено базові переваги та недоліки приладів, що вже існують.

2. Попередній розрахунок структурної схеми цифрового вимірювача фази радіотехнічних сигналів на FPGA з функцією передачі даних, що включає в себе розробку таких блоків та вузлів: вхідний блок, формувач стробуючого імпульсу, формувач стробуючого імпульсу ΔT , лічильники для

підрахунку значень n і N , математична частина, семисегментний перетворювач.

3. Електричний розрахунок каскадів цифрового вимірювача фази радіотехнічних сигналів на FPGA, а саме: розрахунок широкосмугового підсилювача, розрахунок блоку FPGA, розрахунок частотнозадаючої ланки, розрахунок ланки ініціалізації, розрахунок буферного каскаду, розрахунок вузла контролю напруги.

4. Проведення експериментальних досліджень блоку лічильника для підрахунку значень n і N , а саме побудова вихідних характеристик сигналу. Оцінювання роботи лічильника для підрахунку значень n і N за допомогою системи автоматизованого проектування показало, що результати моделювання відповідають умовам технічного завдання та принципу роботи пристрою в цілому.

5. Розробка блоків цифрового вимірювача фази радіотехнічних сигналів на FPGA з застосуванням нової елементної бази, дозволить підвищити точність та діапазон роботи пристрою, при покращенні масо-габаритних властивостей.

Методи дослідження ґрунтуються на використанні:

а) основних положень теорії функції комплексної змінної (створення математичних моделей);

б) диференціального та інтегрального числення (створення математичних моделей);

в) методів розрахунку лінійних електричних кіл з використанням матриць (електричні розрахунки);

г) ЕОМ для обрахунків та проведення моделювання.

Наукова новизна одержаних результатів

Наукова новизна роботи полягає в отриманні таких результатів:

1. Запропоновано новий підхід при побудові цифрового вимірювача фази радіотехнічних сигналів на FPGA з застосуванням спеціалізованих мікросхем.

2. За рахунок використання сучасної елементної бази вдалося вдосконалити цифровий вимірювач фази радіотехнічних сигналів на FPGA.

3. У порівнянні з іншими серійними цифровими вимірювачами фази радіотехнічних сигналів на FPGA, які побудовані на аналоговій елементній базі, пристрій побудований з застосуванням швидкодіючих цифрових пристроїв, що дає змогу добитися високої точності вимірювання та більшої стабільності процесі роботи.

4. Удосконалено математичні моделі елементів схеми, що застосовуються при моделюванні у САПР, які, на відміну від існуючих, враховують зміни температури та стабільності напруги живлення.

5. Проведені експериментальні дослідження підтвердили вірність електричних розрахунків схем пристрою з похибкою, що відповідає вимогам технічного завдання.

Практичне значення отриманих результатів полягає у тому, що розробка електронно-радіовимірювальної апаратури є угруповання певної частини приладів в комплекси з максимально можливим числом загальних блоків, наприклад блоку живлення, відлікового пристрою, блоку обробки інформації і т.п. У вимірювальних комплексах можна застосовувати як аналогову, так і цифрову обробку і виведення інформації. Цифрові вимірювальні прилади до недавнього часу не мали широкого розповсюдження з-за складності виготовлення, вартості, габаритних розмірів і маси. Застосування сучасної елементної бази, що включає мікросхеми середнього і великого ступеня інтеграції, а особливо FPGA дозволяє вимірювальним приладам за вартістю, габаритними розмірами і масою набагато перевищити аналогові аналоги.

Особистий внесок. Усі розрахунки, вимірювання, моделювання та конструювання були проведені самостійно. При розробці програмного інтерфейсу було використано нові підходи для реалізації продукту. Також застосовувались нові ідеї та рішення для покращення параметрів цифрових вимірювачів фази радіотехнічних сигналів на FPGA в цілому.

1 ОБҐРУНТУВАННЯ ВИБОРУ ЦИФРОВОГО ВИМІРЮВАЧА ФАЗИ РАДІОТЕХНІЧНИХ СИГНАЛІВ НА FPGA

1.1 Суть технічної проблеми на сучасному етапі розвитку техніки і технології

Загальною тенденцією розвитку елементної бази цифрової схемотехніки, починаючи з появою перших інтегральних мікросхем є безперервне підвищення числа логічних елементів, розміщуваних на кристалі, з одночасним зниженням питомої вартості одного елемента. Збільшення числа логічних елементів безперервно відкриває можливості створення все більш складних цифрових пристроїв, розміщуваних на одному кристалі. До основних позитивних результатів цієї тенденції можна віднести:

- постійне розширення функціональних можливостей і поліпшення споживацьких властивостей кінцевих виробів;
- зменшення габаритів і споживаної потужності;
- підвищення надійності.

Віддзеркаленням цієї тенденції у складі елементної бази цифрової схемотехніки з'явився перехід від інтегральних мікросхем (ІМС) малого і середнього ступеня інтеграції до великих (ВІС) і надвеликих (НВІС) інтегральних мікросхем.

Набори дискретної цифрової логіки різних серій досить тривалий час були основною елементною базою для розробки цифрових пристроїв. До складу таких наборів входить велике число окремих мікросхем, призначених як для виконання базових логічних функцій (І, АБО, НЕ), так і для виконання функцій типових цифрових пристроїв, таких як тригери, регістри, лічильники, мультиплексори. Основний недолік дискретної логіки полягає в тому, що для розробки кінцевих виробів звичайно потрібне велике число мікросхем. Следствием цього є велике число зовнішніх з'єднань, складність конструкції і великі габарити друкарської плати, велика довжина сполучних

провідників, складність побудови пристроїв з високою тактовою частотою, низька надійність.

Для зменшення числа мікросхем при проектуванні мікропроцесорних систем був розроблений ряд периферійних ВІС, які є спеціалізованими цифровими пристроями, призначеними для виконання деяких типових функцій у складі мікропроцесорних систем, таких як контролери переривань, контролери прямого доступу в пам'ять, контролери шин і т.д. Проте навіть застосування периферійних ВІС не дозволяє повністю подолати основні недоліки дискретної цифрової логіки.

Найбільш кардинально проблема габаритів, швидкодії, спрощення конструкцій друкарської плати і забезпечення надійності розв'язується шляхом розробки і виготовлення замовлених НВІС. На жаль, цей шлях економічно виправданий тільки при великосерійному виробництві однотипних кінцевих виробів унаслідок високої вартості і тривалих термінів підготовки виробництва замовлених НВІС. Крім того, при використанні замовлених НВІС можлива модифікація виробів вимагає істотних додаткових матеріальних і часових витрат.

Останніми роками відбувся різкий прорив як в технології виготовлення FPGA, так і в розробці інструментальних засобів, призначених для проектування цифрових пристроїв на FPGA і випуску готових виробів. Технологічний прорив характеризується різким збільшенням числа еквівалентних логічних вентилів, розміщуваних на одному кристалі (до 10 млн. вентилів в найближчій перспективі), підвищенням робочої частоти (до 400 МГц) з різким одночасним зниженням як питомої, так і абсолютної вартості.

Ріст рівня складності вимагає не тільки використання сучасних засобів проектування, але і переосмислення всієї технології проведення проектних робіт, включаючи декомпозицію проекту, планування і керування роботами, паралельну і взаємозалежну розробку його фрагментів і грамотне об'єднання фрагментів у цілісний пристрій. Особливо значимими стають

процедури налагодження і верифікації проектних програмних рішень. Ринок САПР великих інтегральних схем, і зокрема програмованих ІС, переживає період бурхливого розвитку. У конкурентній боротьбі беруть участь як фірми-виробники ВІС, так і ряд фірм, що спеціалізуються на розробці САПР.

Нажаль, FPGA кожної фірми вимагають застосування своїх програмних пакетів, доступність яких різна. Повні версії програмних продуктів усіх без винятку фірм є комерційними продуктами з вартістю від декількох сотень до декількох тисяч у.о. Однак деякі фірми надають безкоштовні версії своїх програмних продуктів з деякими обмеженнями можливостей.

1.2 Вибір базового варіанту як найкращого із варіантів техніки

В даній роботі проводиться розробка фазометра на FPGA. Доцільність даної роботи з економічної точки зору можна обґрунтувати тим, що для розробки фазометра і програмування FPGA не потрібно використовувати занадто потужні і дорогі комп'ютери, а можна використати ті моделі, що присутні на ринку уже декілька років.

Отже фазометри у даному випадку повинні відповідати наступним вимогам:

- максимально захищені від перевантажень;
- повинні забезпечувати швидкість, надійність, точність вимірювань;
- вартість устаткування повинна бути якнайнижчою.

1.2.1 Загальний аналіз основних підходів побудови пристрою

В наш час можна визначити декілька основних підходів до побудови цифрових фазометрів, в тому числі, і цифрових фазометрів на FPGA:

а) цифрові фазометри, засновані на зрівноважуванні вимірюваного фазового зсуву (або напруги, пропорційної фазовому зсуву). Ця група цифрових фазометрів працює по принципу безперервної компенсації вимірюваного фазового зсуву до деякої, заздалегідь певної величини (наприклад, 0° або 90°) з відліком фазового кута, на який установлений фазообертач. Дана група приладів має тільки один тип фазометрів - компенсаційні, вони працюють за однаковим принципом і є, як правило, приладами типу, що стежать;

б) цифрові фазометри із прямим перетворенням вимірюваного зсуву фаз у величину, зручну для квантування. Ці прилади є приладами циклічної дії, тому що вони діють по жорсткій програмі видаючи значення вимірюваного фазового зсуву не безперервно, а через певні інтервали. [7]

Розглянуті вище типи цифрових фазометрів мають свої недоліки та переваги. Серед згаданих недоліків є таю як дворазове вимірювання з наступними розрахунками, що є незручно і вимагає проведення додаткових масштабних операцій. Усі згадані типи приладів мають також один спільний недолік проведення вимірювання фазового зсуву тільки в одній області: фазовий зсув між імпульсами напруги, струму, тощо та мають низьку швидкодію проведення розрахунків над вимірами.

З вище сказаного можна зробити висновок, що недоліки пропонованих типів цифрових фазометрів обмежують область їх практичного застосування. Запропонований цифровий фазометр на FPGA позбавлений від зазначених недоліків. Цього вдалося досягти заміною великої кількості вузлів приладу одною мікросхемою. Все це розширює функціональні можливості фазометра. Він дозволяє вимірювати кут зсуву фази не тільки між напругою й струмом, але й між двома напругами або двома струмами, тощо.

1.2.2 Аналіз стану сучасних промислових розробок цифрових фазометрів

Проаналізуємо стан сучасних промислових розробок цифрових фазометрів, що пропонуються на нашому ринку. Виберемо ряд аналогів, що користуються найбільшим попитом серед науковців. Такими є:

- цифровий фазометр Ф5126;
- цифровий фазометр Ф5131;
- фазометр трифазний (Ц302-М1-1).

Фазометр трифазний (Ц302-М1-1) - призначений для виміру коефіцієнта потужності в трифазних трьохпроводних мережах змінного струму частотою 50Гц із симетричним навантаженням фаз і симетрією лінійних напруг.

Цифровий фазометр Ф5131 призначений для вимірювання середнього значення фазового зсуву між періодичними неперервними напругами при розробці, перевірці і регулюванні фазочутливих пристроїв радіотехніки, електроніки.

З розглянутих вище аналогів найкращі показники має цифровий фазометр Ф5131, який виберемо за базовий варіант і порівняємо його параметри з параметрами проектуємого цифрового фазометра, а результат їх порівняння занесемо до таблиці 1.1.

З таблиці 1.1 видно, що цифровий фазометр на FPGA, що розробляється, в переважній більшості, не поступається аналогу за технічними параметрами.

Недоліками вище згаданих приладів є робота з низькими фіксованими частотами, відсутність можливості проведення усереднення результатів, значна величина похибки вимірювань, доволі великий час проведення виміру. До цього додається незручність перегляду результатів і великі габарити та маса. Даний пристрій є більш швидкої дії, менших розмірів та маси, працює у великому частотному діапазоні, з вищим класом точності та у

різних кліматичних умовах, простий алгоритм роботи для користувача, портативний, і основне має велика міцність до транспортування та велику вологостійкість.

Таблиця 1.1 - Порівняння основних параметрів розроблювального пристрою та аналога

Параметри	Одиниця виміру	Цифровий фазометр Ф5131	Цифровий фазометр на FPGA (нова розробка)	Відношення параметрів нового пристрою до параметрів аналога
Діапазон вимірювань	Гц	10-5000	0,06-10000	2
Клас точності		1,5	2	1,3
Габарити	мм	180x100x30	96 x 96 x 95	0,51
Вага	кг	0,8	0,4	0,5
Ціна	грн	1203	1000	0,56

Метою даної роботи є створити побутовий, і водночас, професійний цифровий фазометр, який дає можливість вирішити деякі протиріччя, що виникають при проектуванні даних пристроїв за традиційною розповсюдженою методикою. Проектування даного пристрою передбачає застосування альтернативного підходу, що дає можливість створити цифровий фазометр на FPGA з кращими техніко-економічними показниками, тобто отримати краще співвідношення між ціною і якістю.

1.3 Обґрунтування вибору оптимального варіанта рішення основної задачі

Програмована логічна інтегральна схема (FPGA) – електронний компонент, що використовується для створення цифрових інтегральних схем. На відміну від звичайних цифрових мікросхем, логіка роботи FPGA не визначається при виготовленні, а задається за допомогою програмування. Для програмування використовуються налагоджувальні середовища, що дозволяють задати бажану структуру цифрового пристрою у вигляді принципової електричної схеми або програми на спеціальних мовах Verilog VHDL.

Альтернативою FPGA є замовлені НВІС, які істотно дорожчі і комп'ютери (мікроконтролери), які через програмний спосіб реалізації алгоритмів, повільніші FPGA.

Техніко-економічні показники сучасних FPGA досягли такого рівня, що забезпечує при випуску партій виробів до декількох сотень більш низьку вартість кінцевих виробів, чим застосування замовлених НВІС. Очевидно, що найближчим часом цей поріг буде підвищуватися, забезпечуючи економічну доцільність застосування FPGA і в багатосерійному виробництві. Крім чисто економічних передумов, цьому сприяє ряд додаткових переваг сучасних FPGA, що полягає в тому, що зберігаючи всі переваги однокристального рішення, властивого замовленим НВІС, пристрої на основі FPGA можуть дуже швидко і з малими витратами піддаватися модернізації. Завдяки наявності в багатьох типах FPGA вбудованих систем програмування і конфігурування, що дозволяють перепрограмувати їх прямо на місці без використання зовнішніх програматорів, пристрої на FPGA можуть модернізуватися навіть знаходячись у постійній експлуатації в замовника. З цією метою ведучі виробники програмувальної логіки включають у засоби проектування пристроїв на FPGA підтримку відновлення версії FPGA через інтернет. Крім того, терміни проектування і випуску готової продукції на

FPGA багато менші, ніж розробка і виробництво замовлених НВІС, що в умовах динамічного ринку іноді може мати вирішальне значення. Не менш важливою обставиною є те, що для випуску готової продукції не потрібно складного і дорогого технологічного устаткування, яке потрібне для виробництва замовлених НВІС. Остання обставина відкриває середнім і навіть дрібним фірмам шлях на ринок виробів сучасної електронної техніки, що був раніше доступний тільки гігантам електронної промисловості.

Відносні рейтинги ефективності застосування стандартної логіки, замовлених НВІС і FPGA наведені у таблиці 1.2.

Таблиця 1.2 – Відносні рейтинги ефективності застосування стандартної логіки, замовлених НВІС і FPGA

Показники	Стандартна логіка	Замовлені НВІС	FPGA
Швидкодія	Висока ефективність	Середня ефективність	Низька ефективність
Густина упаковки елементів	Висока ефективність	Середня ефективність	Низька ефективність
Вартість	Висока ефективність	Середня ефективність	Низька ефективність
Час розробки	Середня ефективність	Висока ефективність	Низька ефективність
Час налаштування	Висока ефективність	Середня ефективність	Низька ефективність
Час виробництва	Середня ефективність	Висока ефективність	Низька ефективність
Можливості модернізації	Середня ефективність	Висока ефективність	Низька ефективність
Ризик виробника	Середня ефективність	Висока ефективність	Низька ефективність
Ступінь автоматизації процесу проектування і виробництва	Висока ефективність	Середня ефективність	Низька ефективність

Чималу роль в розширенні областей застосування FPGA, скороченні часу і зниженні трудовитрат на проектування зіграли і значні успіхи в створенні інструментальних засобів для розробки і випуску кінцевих виробів на FPGA, основу яких складають спеціальні пакети програм, що забезпечують весь виробничий цикл по створенню цифрових пристроїв на FPGA, від розробки схем до випуску готових виробів.

Оскільки ми розробляємо цифровий пристрій, то доцільно використати сучасну САПР Quartus II фірми „Altera”, оскільки функціональних можливостей цього програмного пакету цілком достатньо для проектування і моделювання цифрових схем і його придбання не передбачає матеріальних витрат. Також ця програма може успішно працювати на комп'ютерах з процесором Pentium 100, що також є важливим, адже для роботи з програмою потрібен недорогий комп'ютер.

Аналізуючи все викладене вище, можна сказати, що в даний час застосування FPGA, зокрема FPGA фірми «Altera», є практично безальтернативним варіантом при розробці і випуску в стислі терміни невеликих партій цифрових пристроїв, що відповідають сучасним вимогам до споживацьких властивостей виробів електронної техніки. Інтегроване середовище розробки цифрових пристроїв Quartus II (у тому числі і її безкоштовні версії) є вельми ефективним і зручним для цієї мети інструментом.

2 МЕТОДИ ВИМІРЮВАННЯ ФАЗИ

Для вимірювання фазового зсуву застосовують наступні методи: осцилографічний, компенсаційний, перетворення фазового зсуву в імпульси струму та метод дискретної лічби. Всі ці методи далі розглянемо більш докладно для того щоб обрати найкращий з них. [5]

2.1 Осцилографічний метод вимірювання фази

Вимір фазового зсуву осцилографічним методом можна реалізувати способами лінійної, синусоїдальної і кругової розгортки. Обмежимося розглядом перших двох способів, як найбільш розповсюджених.

Спосіб лінійної розгортки здійснюється так. У канали вертикального відхилення двохпроменевого або двоканального осцилографа подають напруги $u_1 = U_1 \sin(\omega t + \varphi_1)$ і $u_2 = U_2 \sin(\omega t + \varphi_2)$; генератор розгортки осцилографа ввімкнений. Корисно зрівняти амплітуди обох напруг. Осцилограма буде мати вигляд, представлений на рисунку 2.1.

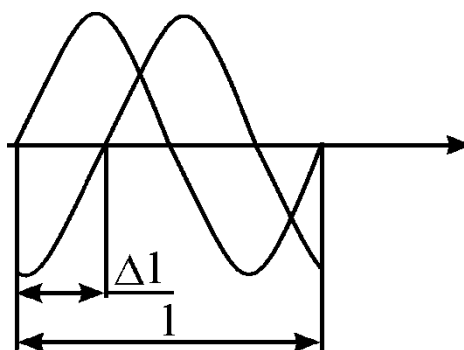


Рисунок 2.1 – Осцилограма при лінійній розгортці

Фазовий зсув обчислюють по формулі

$$\varphi = \frac{360\Delta T}{T}, \quad (2.1)$$

підставляючи обмірювані довжини відрізків l і Δl відповідні T і ΔT .

Спосіб синусоїдальної розгортки здійснюється за допомогою однопроменевого осцилографа. У канал вертикального відхилення подається напруга $u_y = U_y \sin(\omega t + \varphi)$, а в канал горизонтальний $u_x = U_x \sin(\omega t + \varphi)$, генератор розгортки ввімкнений. На екрані осцилографа з'являється осцилограма у вигляді еліпса (рисунок 2.2), рівняння якої відповідно до формули 1.1 має вигляд

$$y = \frac{B}{A} \left(x \cos \varphi + \sqrt{A^2 - x^2} \sin \varphi \right),$$

де B і A — максимальні відхилення по вертикалі і горизонталі відповідно.

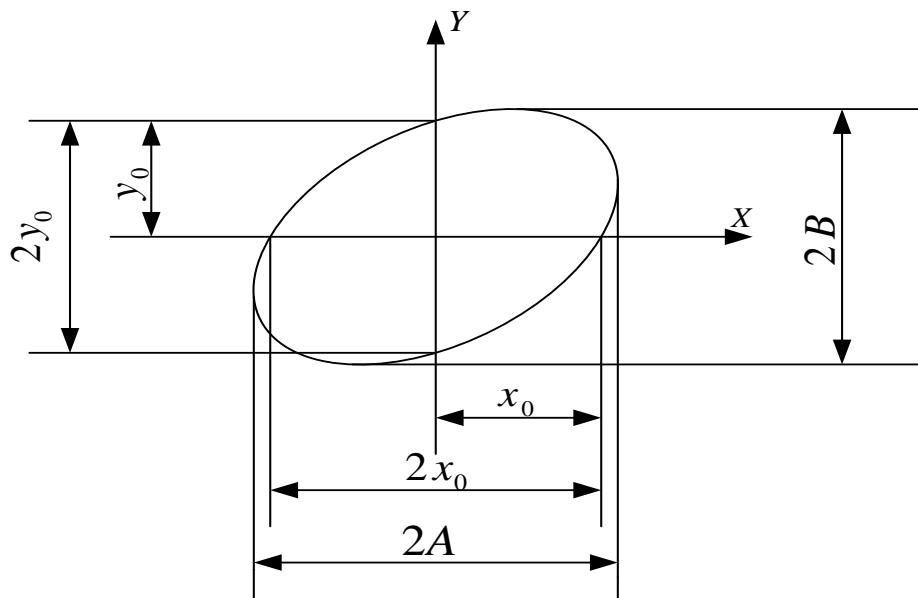


Рисунок 2.2 – Осцилограма при синусоїдальній розгортці

Вертикальний і горизонтальний відрізок відповідно буде $y_0 = B \sin \varphi$ і $x_0 = A \sin \varphi$. Звідси: $\sin \varphi = \pm y_0 / B = \pm x_0 / A$. Перед виміром зручно зрівняти максимальні відхилення по вертикалі і по горизонталі, тоді $y_0 = x_0$. Для обчислення фазового зсуву вимірюють по осцилограмі відрізки $2x_0$ і $2y_0$, що

відтинаються на координатних осях, або I сторону прямокутника $2A$ або $2B$, в який вписаний еліпс

$$\varphi = \pm \arcsin \frac{2y_0}{2B} = \pm \arcsin \frac{2x_0}{2A}. \quad (2.2)$$

Спосіб синусоїдальної розгортки не дозволяє визначити фазовий зсув однозначно. Коли осі еліпса збігаються з осями координат, фазовий зсув φ дорівнює 90^0 або 270^0 . Якщо велика вісь еліпса розташовується в першому і третьому квадрантах, то фазовий зсув $0 < \varphi < 90^0$ або $270^0 < \varphi < 360^0$; якщо в другому і четвертому, то $90^0 < \varphi < 180^0$ або $180^0 < \varphi < 270$. Для усунення неоднозначності потрібно ввести додатковий зсув 90^0 , і по зміні виду осцилограми легко визначити дійсний фазовий зсув. Наприклад, одержали φ , рівне 30^0 або 330^0 , ввели додатково $+ 90^0$. Якщо осцилограма залишилася в колишніх квадрантах, то $\varphi = 330^0$, якщо перемістилася в другий і четвертий, то $\varphi = 30^0$.

Осцилографічний метод не вимагає ніяких додаткових приладів і простий по ідеї. Однак він є непрямим, вимагає лінійних вимірів і обчислень, що призводить до значних похибок. Загальна похибка складається з випадкових похибок – виміру довжин відрізків, сполучення сліду променя з лініями масштабної сітки і кінцевого значення діаметра світлової плями на екрані осцилографа, і систематичних – інструментальної і методичної. Інструментальна похибка виникає за рахунок наявності власних фазових зсувів у каналах осцилографа. Методична похибка зв'язана з наявністю гармонік у досліджуваних напругах.

Похибку виміру відрізків можна зменшити ретельним фокусуванням променя при малій яскравості і застосуванням осцилографа з електронно-променевою трубкою, у якій масштабна сітка нанесена на внутрішню поверхню екрану. Фазовий зсув в каналах осцилографа легко знайти. При

відсутності фазового зсуву на екрані з'явиться пряма лінія. Якщо з'являється еліпс, то потрібно виміряти значення фазового зсуву по формулі

$$\varphi = \pm \arcsin \frac{2y_0}{2B} = \pm \arcsin \frac{2x_0}{2A} \quad (2.3)$$

і внести в результат виміру відповідне виправлення. Якщо виправлення точно визначити не вдається, то похибку можна виключити методом компенсації для цього потрібно виконати два виміри: перше – як звичайно, а друге – подавши досліджувані напруги на протилежні входи осцилографа. У результаті першого виміру одержимо $\varphi_1 = \varphi + \Delta\varphi$, де $\Delta\varphi$ - невідомий фазовий зсув в каналах осцилографа. У результаті другого одержимо $\varphi_2 = (360^\circ - \varphi) + \Delta\varphi$. З різниці $\varphi_2 - \varphi_1 = 360^\circ - 2\varphi$ знаходимо шуканий фазовий зсув

$$\varphi = 180^\circ - \left(\frac{\varphi_2 - \varphi_1}{2} \right). [5]$$

2.2 Компенсаційний метод вимірювання фази

Для виміру фазового зсуву компенсаційним методом з осцилографічною індикацією збирають вимірювальну установку, що складається з однопроменевого осцилографа, зразкового $\varphi_{обр}$ і допоміжного φ_s фазообертачів. Спочатку в установці усувають власний фазовий зсув. Для цього замикають перемикач П і напругу подають на обидва входи осцилографа. Показчик шкали зразкового фазообертача встановлюють на нуль, а допоміжний регулюють до одержання на екрані осцилографа прямої лінії. При цьому допоміжним фазообертачем компенсується власний фазовий зсув вимірювальної установки. Для кращої компенсації регулювання посилення обох каналів осцилографа встановлюють на максимум. Осцилограма при цьому виходить за межі екрану, але це не суттєво, тому що вимірів її робити не потрібно. Потім розмикають перемикач і подають

напругу u_1 в канал Y і u_2 - в канал X; на екрані з'являється еліпс або його центральна частина у вигляді двох рівнобіжних ліній. Регулюючи зразковий фазообертач, досягають злиття цих ліній в одну пряму, тобто загального нульового фазового зсуву.

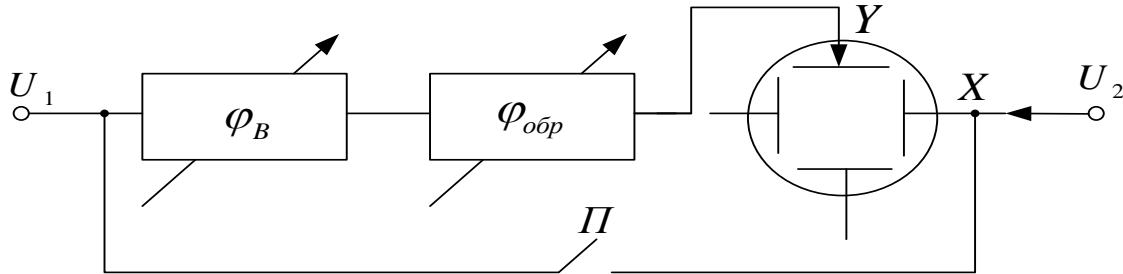


Рисунок 2.3 – Схема виміру фазового зсуву методом компенсації

Значення фазового зсуву між напругами u_1 і u_2 по показах шкали зразкового фазообертача визначається в такий спосіб. Якщо напруга випереджає по фазі напругу, то покази по шкалі зразкового фазообертача дорівнює фазовому зсуву: $\varphi = \varphi_{обр}$. Якщо напруга відстає, то $\varphi = 360^\circ - \varphi_{обр}$.

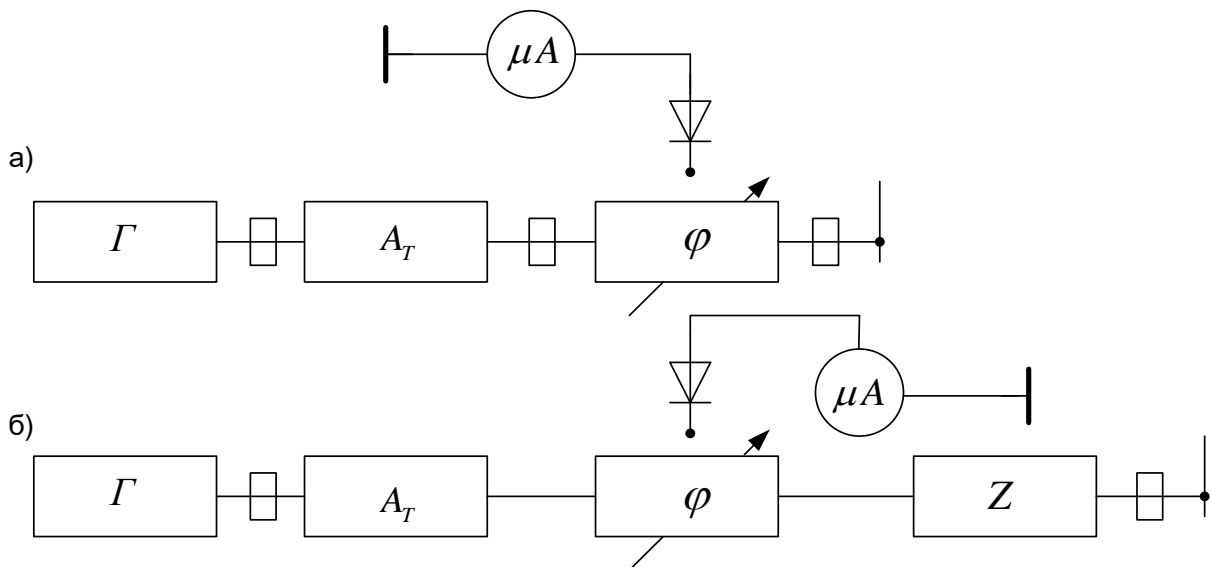


Рисунок 2.4 – Вимір фазового зсуву компенсаційним методом на надвисоких частотах

На надвисоких частотах компенсаційний метод реалізується методом короткого замикання. Збирають вимірювальну установку, що складається з генератора Γ , що розв'язує атенюатора A_T і фазообертача φ , вихід якого замикають накоротко (рисунок 2.4, а). Коли генератор ввімкнений у тракті встановлюється стояча хвиля. У довільному перетині фазообертача поміщають зонд, з'єднаний з діодом і індикатором.

Регулюючи фазообертач, досягають нульового показання індикатора, тобто сполучають вузол напруги і площину перетину, де розташований зонд; роблять відлік по шкалі фазообертача φ_1 . Потім замість короткого замикання до виходу фазообертача приєднують випробуваний пристрій Z (відрізок хвилеводу, трансформатор, фільтр, перехідний пристрій і ін.), так само замкнуте накоротко (рисунок 2.4, б). Вузол напруги зміщується; регулюванням фазообертача зрушують вузол на колишнє місце, що фіксується по нульовому показанню мікроамперметра, і роблять другий відлік по шкалі фазообертача φ_2 . Фазовий зсув, внесений досліджуваним пристроєм φ , дорівнює

$$\varphi = \frac{\varphi_1 - \varphi_2}{2}.$$

Для зменшення похибки тракт повинен бути погодженим, а індикатор чуттєвим. Як індикатор можна застосовувати селективний вольтметр, а генератор модулювати низькочастотною напругою. Частоти модуляції і настройки селективного мілівольтметра повинні збігатися. Корисно пам'ятати, що пристрій, геометрична довжина якого дорівнює довжині хвилі минаючого по ньому коливання, вносить фазове зрушення, рівне 360° . [5]

2.3 Метод перетворення фазового зсуву в імпульси струму

Досліджувані напруги u_1 і u_2 надходять на два ідентичних канали, кожен з яких складається з вхідного пристрою В_{хП}, синхронізуючого мультівібратора СМВ і диференціюючого ланцюга ДЛ (рисунок 2.5 а). Мультівібратори виробляють меандри У, частота яких дорівнює частоті вхідних напруг (рисунок 2.5, б). Меандри диференціюються, і фронти отриманих при цьому коротких імпульсів u_1 і u_2 точно відповідають моментам переходів через нуль вихідних напруг. Негативні імпульси обмежуються, а позитивні залишаються. Неважко переконатися, що інтервал ΔT між імпульсами 1 – 2, 3 – 4 і т.д. пропорційний фазовому зсуву; якщо його віднести до тривалості періоду T , то одержимо

$$\varphi = \frac{360\Delta T}{T}.$$

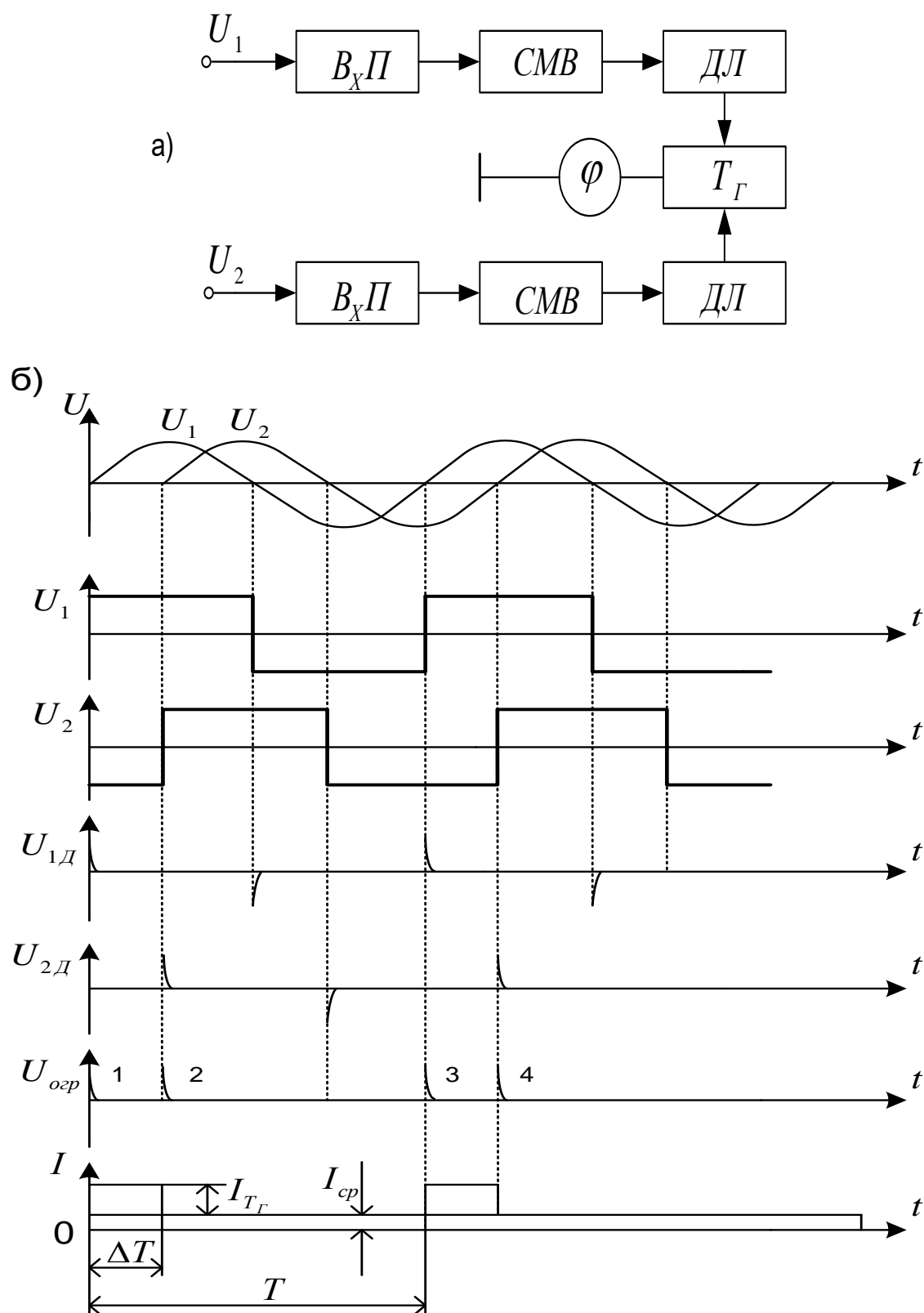
Позитивні імпульси використовують для керування тригером Тг. Імпульс першого каналу відкриває тригер, а другого - закриває. У відповідному ланцюзі виникає прямокутний імпульс I_{Tz} , тривалість якого ΔT відповідає фазовому зсуву φ .

У колі струму тригера включений магнітоелектричний міліамперметр, покази якого пропорційні середньому значенню струму за період

$$I_{cp} = \frac{1}{T} \int_0^{\Delta T} I_{Tz} dt = \frac{I_{Tz} \Delta T}{T} = a\varphi. \quad (2.4)$$

Прямопоказуючий прилад називається фазометром. Діапазон робочих частот фазометра, що працює на принципі перетворення фазового зсуву в імпульси струму, обмежений знизу інерційними властивостями магнітоелектричного індикатора (20 Гц), а зверху – паразитними параметрами схеми і інерційністю транзисторів, що погіршують фронт імпульсу і чіткість спрацювання тригера. Застосування тунельних діодів

дозволяє збільшити верхню границю частот до 1 МГц. Похибка виміру складає 1,5—3°. [5]



2.4 Метод дискретного підрахунку

Вимір фазового зсуву методом дискретного підрахунку засновано на формулі (2.4), у яку варто підставити замість інтервалів часу ΔT і T відповідне їм число імпульсів з постійною частотою повторення. Прямопоказуючі фазометри такого типу називають електронолічильними, або цифровими фазометрами. Є кілька схем цифрових фазометрів, але переважне поширення одержали інтегруючі фазометри, у яких результат виміру являє собою середнє значення фазового зсуву за велике число періодів вимірюваної напруги. В таких фазометрах забезпечується гарна перешкодозахищеність.

Структурна схема цифрового фазометра середніх значень приведена на рисунку 2.6, а, а діаграми напруг, що пояснюють її роботу, — на рисунку 2.6, б.

У схемі є два формуючі пристрої $\Phi\Pi_1$ і $\Phi\Pi_2$, керуючий пристрій КП, два тимчасових селектори $ТС_1$ і $ТС_2$, генератор рахункових імпульсів ГРІ, подільник частоти ПЧ, електронний лічильник ЕЛ з цифровою індикацією ЦІ.

На входи формуючих пристроїв надходять дві напруги u_1 і u_2 , фазовий зсув між якими підлягає виміру. Коли напруга u_1 переходить через нуль від негативних значень до позитивного, на виході першого формуючого пристрою з'являється стартовий імпульс, що впливає на керуючий пристрій так, що він відкриває перший часовий селектор.

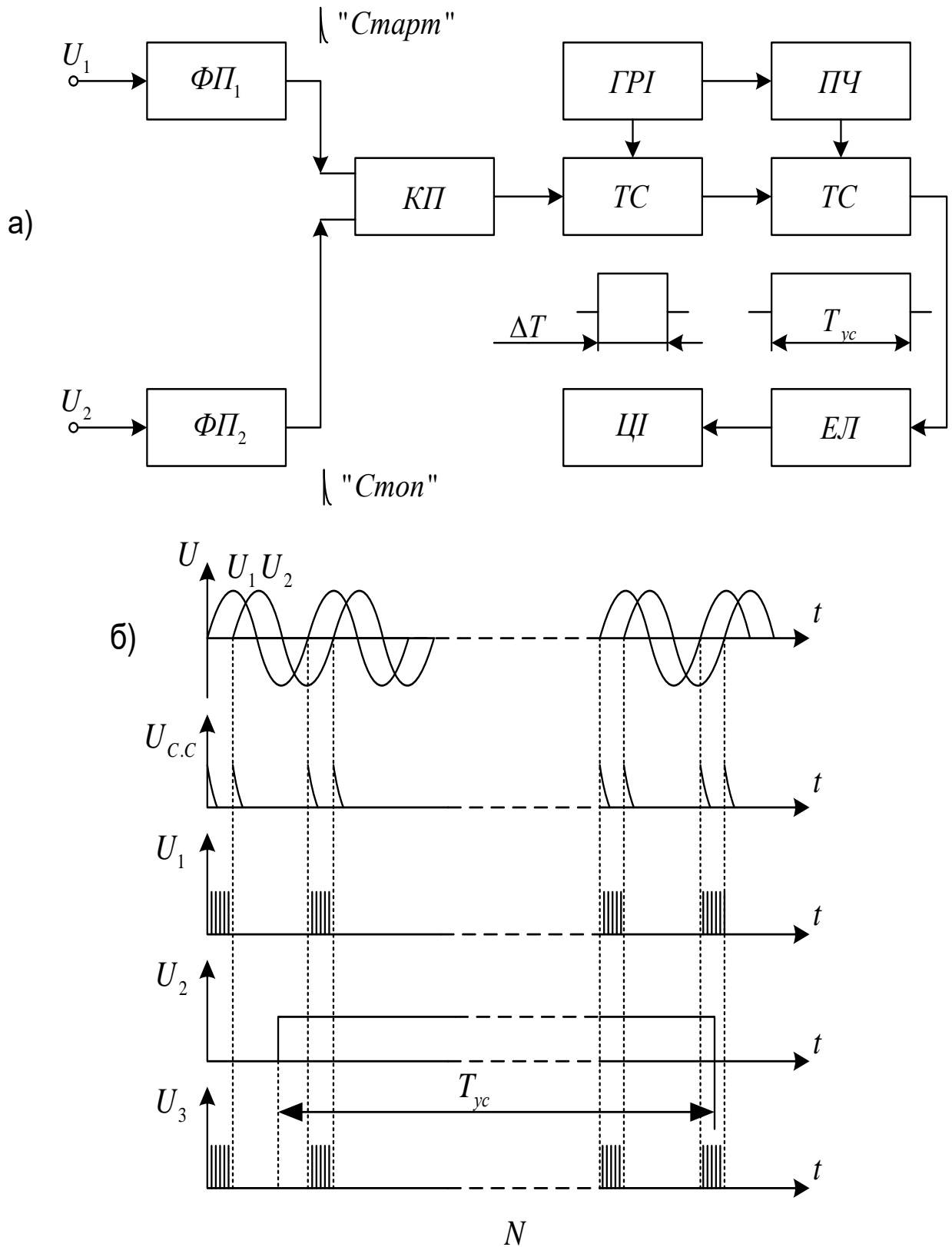


Рисунок 2.6 – Цифровий фазометр середнього значення

Коли напруга аналогічна u_2 переходить через нуль, на виході другого формуючого пристрою з'являється стоповий імпульс, що через керуючий

пристрій закриває перший селектор. Отже, вірний часовий селектор знаходиться у відкритому стані один раз за період досліджуваних напруг протягом інтервалу часу ΔT . Цей інтервал заповнюється рахунковими імпульсами, що надходять від генератора ГРІ. Таким чином, через відкритий перший селектор ВР проходить група з n імпульсів

$$n = \frac{\Delta T}{T_{cx}} = \Delta T f_{cx},$$

де $T_{cx} = 1/f_{cx}$ - період повторення рахункових імпульсів.

Для усереднення результату виміру імпульси рахуються протягом інтервалу часу $T_{yc} = mT$, де T — період вхідних напруг. Імпульс тривалістю T_{yc} формується подільником частоти ПЧ із рахункових імпульсів; $T_{yc} = kT_{cx}$, де k - коефіцієнт множення періоду, а $1/k$ - коефіцієнт розподілу частоти. Імпульс надходить на другий селектор ТС₂ відкриває його, і на електронний лічильник пройдуть m груп рахункових імпульсів. Загальне число імпульсів, що пройшли на лічильник і далі на цифровий індикатор складає $N = nm$. Підставляючи значення n і m , а потім ΔT з формули, одержуємо

$$N = \frac{T_{yc} \cdot \Delta T}{T \cdot T_{cx}} = \frac{k \cdot T_{cx} \varphi \cdot T}{T \cdot T_{cx} \cdot 360} = \frac{k}{360} \varphi, \quad (2.5)$$

звідки обмірюване фазове зрушення

$$\varphi = \frac{360}{k} N = aN. \quad (2.6)$$

Похибка виміру складається з випадкової похибки дискретності, тобто можливості втрати одного рахункового імпульсу в групі, і можливості втрати

частини групи в інтервалі усереднення. Аналіз показує що максимальна похибка складає $\Delta\varphi = \frac{90}{f \cdot T_{yc}} = \frac{90}{m}$, де f частота досліджуваних напруг.

Відповідно до методів вимірювання фази існують різні фазометри але нас цікавлять тільки цифрові фазометри оскільки вони задовольняють вимоги, поставлені перед нами при проектуванні приладу. Тому розглянемо принцип побудови цифрового фазометра.

Принцип побудови цифрових фазометрів на діапазон інфразвукових і звукових частот (до 500 Гц) заснований на вимірі інтервалів часу між крапками переходу досліджуваних сигналів через нульовий рівень. При цьому калібратор вимірювального часу не використовується, тобто час виміру фазового зсуву змінюється в залежності від тривалості періоду досліджуваних сигналів.

Якщо за час між двома характерними крапками, що відповідають переходу через нуль миттєвих значень напруг, підраховано N_u імпульсів і при цьому один імпульс відповідає одному періоду T_u (інтервалу часу) зразкового генератора, то вимірюваний зсув фаз

$$\phi = \omega N_u T_u = \omega \frac{N_u}{f} \quad (2.7)$$

або
$$\phi = (360 ft)^{\circ} = (360 f N_u T_u)^{\circ} = (360 \frac{f N_u}{f_2})^{\circ}, \quad (2.8)$$

де T_r — період коливань струму зразкового генератора.

З отриманого виразу для кута зсуву фаз видно, що для його визначення необхідно знати частоту (період) досліджуваних сигналів. Принцип дії фазометра, що вимірює миттєві значення фазового зсуву, пояснюється приведеною на рисунку 2.7 структурною схемою. Досліджувані напруги подаються на формуючі каскади ФК1 і ФК2, що виробляють однополярні імпульси в моменти зміни знаку напруг. Ці імпульси надходять далі на електронний клапан ЕК. На інший вхід електронного клапана

подаються імпульси від генератора Г. Імпульси від генератора надходять на лічильник імпульсів ЛІ протягом часу, пропорційного зсуву фаз, тому що електронний клапан керується однополярними імпульсами двох формуючих каскадів.

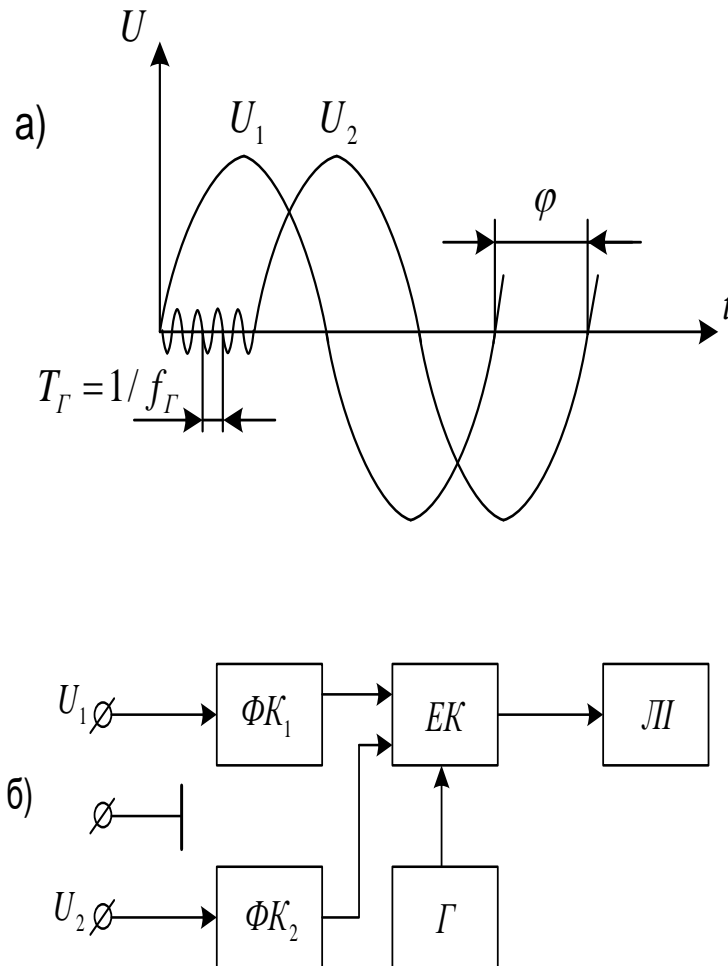


Рисунок 2.7 – Принцип виміру зсуву фаз цифровим методом

Окремим видом цифрових фазометрів є мікропроцесорні фазометри. Вони відрізняються вищою точністю вимірювань, більш гнучким алгоритмом роботи та більшими функціональними можливостями, також у більшості випадків вони є простішими у використанні. [5]

3 РОЗРОБКА СТРУКТУРНОЇ СХЕМИ

3.1 Вибір елементної бази та системи проектування

Із перерахованих вище методів вимірювання фази метод перетворення фазового зсуву в імпульси струму є найкращим для впровадження у виробництво. Тому саме його і візьмемо за основу нашого фазометра.

Із надзвичайно швидким та широким впровадженням у сучасну електроніку інтегральних мікросхем на декілька порядків підвищується точність підрахунків та швидкість обробки результатів. Тому логічно обрати для виготовлення пристрою інтегральні мікросхеми, але з якнайширшими можливостями щоб зменшити кількість елементів. В наш час впроваджуються в пристрої мікроконтролери на основі FPGA. Вони представлені надзвичайно широкими модельними рядами різних фірм виробників, але майже всі програмуються за допомогою компіляторів, що використовують для створення файлу прошивки код однієї із мов програмування. Тому краще було б використовувати мікроконтролери, що використовують компілятори, які підтримують можливість створення файлу прошивки на основі принципової схеми пристрою. Це дозволить промоделювати пристрій перш ніж виконувати прошивання мікросхеми і це підвищить надійність при розробці фазометра. Таким вимогам відповідають мікроконтролери фірми Altera MAX7000S та FLEX10K. Програмний пакет Quartus II, що створено для їх прошивки, підтримує в якості початкового файлу як програмний код, так і можливість „збору” принципової схеми.

3.2 Принцип роботи фазометра

В основі методу вимірювання лежить перетворення двох синусоїдальних напруг u_1 і u_2 , фазовий зсув яких потрібно виміряти, в періодичні послідовності коротких імпульсів, що відповідають моментам

переходів цих напруг через нуль з похідними однакового знаку (рисунок 2.1). Інтервали часу ΔT між найближчими імпульсами 1 і 2 пропорційні різниці фаз, що визначається (вважається, що напруга u_1 випереджає по фазі напругу u_2). Після перетворення вимірюється відносне значення інтервалу часу (по відношенню до періоду).

Використовуючи відомі вирази $\varphi = \omega \cdot \Delta T$ та $\omega = 2\pi/T$, легко написати формулу, що встановлює зв'язок між фазовим зсувом φ в градусах та відносним інтервалом часу

$$\varphi = 360 \cdot \Delta T / T. \quad (3.1)$$

Слід відмітити, що перетворення фазового зсуву в інтервал часу супроводжується випадковою похибкою, що обумовлена дією шумових завад. Викладений метод отримав широке розповсюдження і зустрічається в різноманітних фазометрах, що відрізняються один від одного головним чином способом вимірювання відносного інтервалу часу.

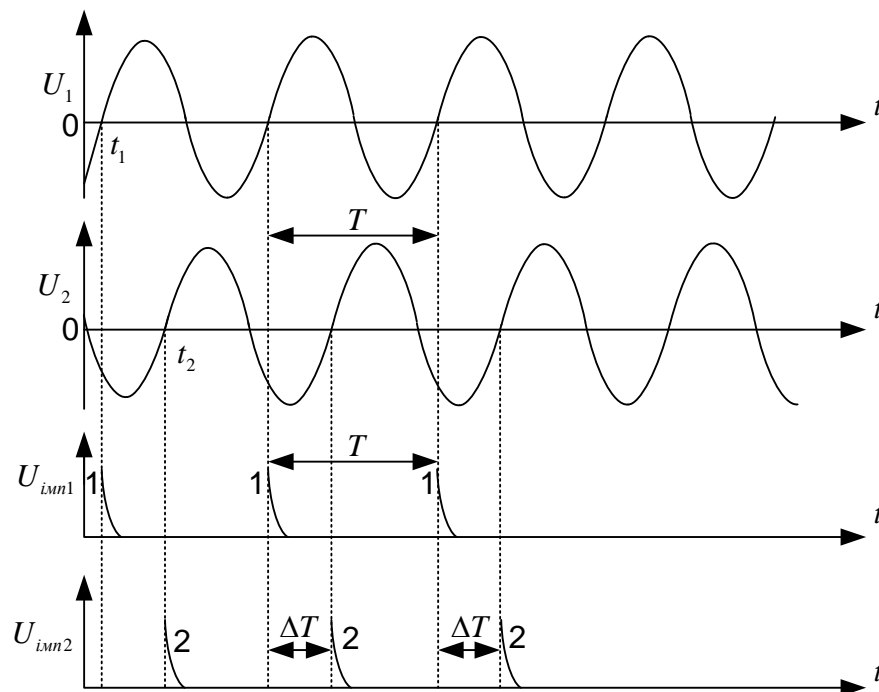


Рисунок 3.1 – Принцип роботи фазометра

3.3 Структурна схема приладу

Структурна схема цифрового фазометра зображена на рисунку 3.2. Вона складається із математичного блоку, двох лічильників, семисегментного перетворювача, входного блоку та цифрового індикатора.

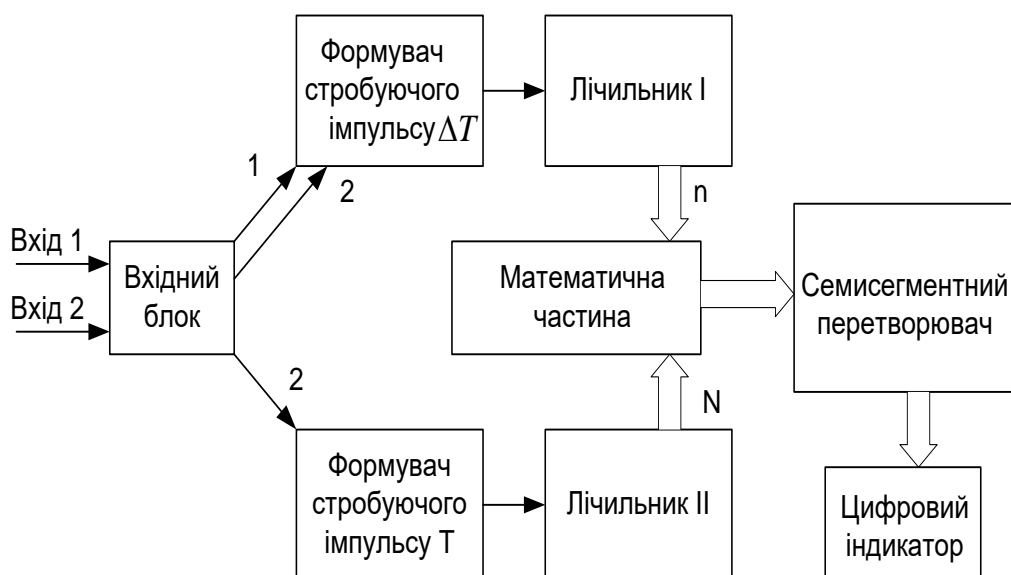


Рисунок 3.2 – Структурна схема цифрового фазометра

Такий цифровий фазометр, окрім загальних переваг у порівнянні із приладами, що виконані за схемами з жорсткою логікою роботи, володіє ще рядом специфічних „фазометричних” переваг. Суть одної із них у тому, що прилад дозволяє вимірювати фазові зсуви за один період досліджуваної напруги. Для пояснення принципу такого вимірювання скористаємось графіками, представленими на рисунку 3.3.

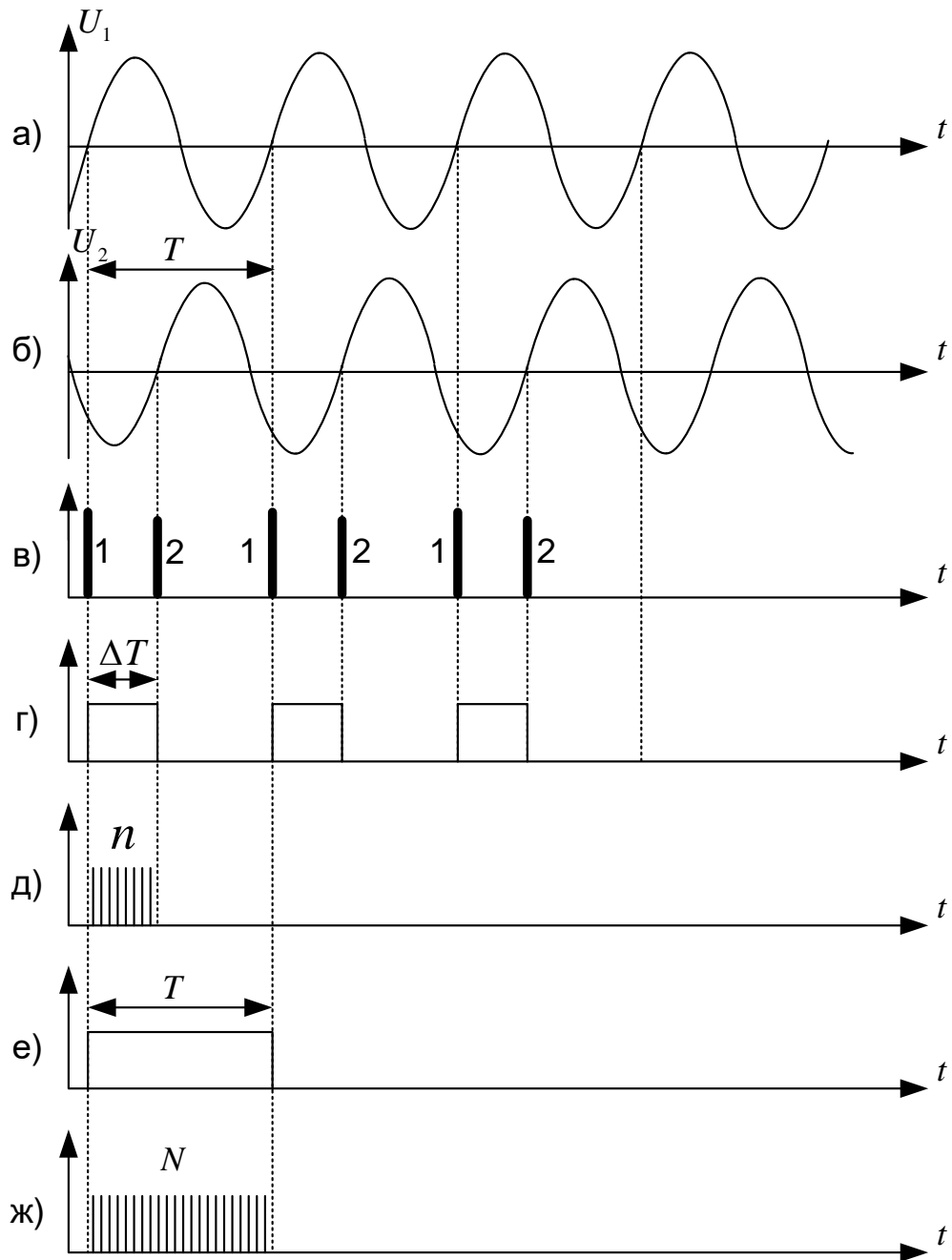


Рисунок 3.3 – Принцип роботи цифрового фазометра

Синусоїдальні напруги u_1 та u_2 , фазовий зсув між якими потрібно виміряти, перетворюється у короткі одно полярні імпульси (рисунок 3.3, а-в). Із першої пари імпульсів 1 та 2 в приладі формується стробуючий імпульс тривалістю ΔT (рисунок 3.3, г). За допомогою лічильника І підраховується кількість імпульсів квантування, що вміщуються в тривалість ΔT (рисунок 3.3, д)

$$n = F_{сч} \cdot \Delta T, \quad (3.2)$$

де $F_{сч}$ - частота імпульсів квантування.

Паралельно формується стробуючий імпульс тривалістю, рівною періоду досліджуваної синусоїдальної напруги (рисунок 3.3, а, в, е). Цей стробуючий імпульс подається на лічильник II та заповнюється лічильними імпульсами з тією ж частотою $F_{сч}$. Число імпульсів, підрахованих лічильником II за період T (рисунок 3.3, ж)

$$N = F_{сч} \cdot T. \quad (3.3)$$

Числа n та N передаються із лічильників I та II в математичний блок, де вираховується відношення n/N . Після множення відношення на 360, як видно з співставлення (3.2) та (3.3) з (3.1), отримуємо шукане значення фазового зсуву

$$\varphi = 360 \cdot n / N. \quad (3.4)$$

Описаним фазометром можливо виміряти фазові зсуви за q періодів. При цьому в лічильнику I накопичуються числа імпульсів, що заповнюють q інтервалів ΔT , а лічильник II фіксує число імпульсів, що потрапляють на інтервал qT .

4 РОЗРОБКА І РОЗРАХУНОК ФУНКЦІОНАЛЬНИХ ВУЗЛІВ ЦИФРОВОГО ФАЗОМЕТРА

4.1 Вхідний блок

Для перетворення вхідного аналогового сигналу у цифровий, застосовуємо типову схему компаратора. Можливо також використовувати і інші схеми, але даний варіант найбільш простий у застосуванні.

Принцип дії даної схеми показано на рисунку 4.1. Логічна одиниця формується на виході компаратора в той момент коли сигнал переходить в позитивне значення, а нуль тоді, коли сигнал приймає від'ємні значення.

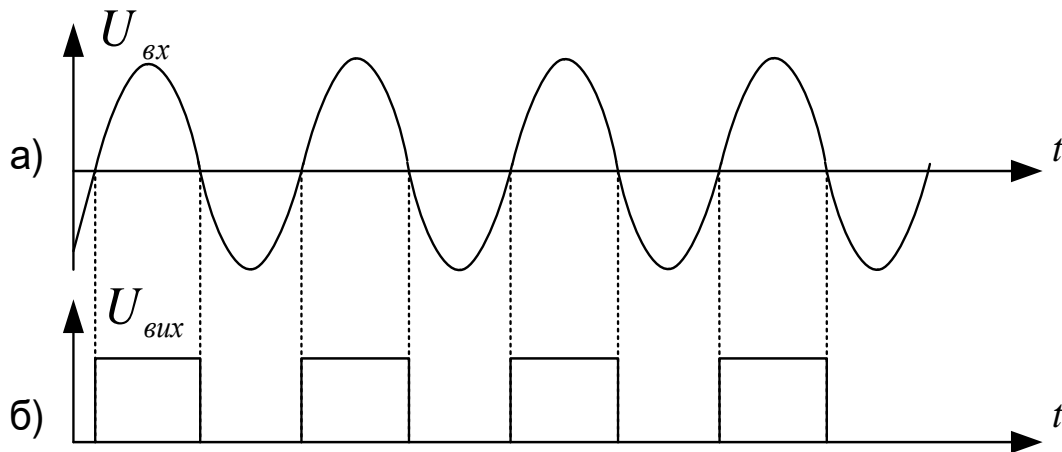


Рисунок 4.1 – Принцип роботи вхідного блоку

Електрична схема вхідного блоку зображена на рисунку 4.2.

4.2 Формувач стробуючого імпульсу ΔT

Для того, щоб визначити n (формула 3.2) потрібно порівняти вхідні сигнали, тобто визначити різницю часу між початками сигналів по обох входах.

Найкращим варіантом виходу з даної ситуації буде використання RS – тригерів.

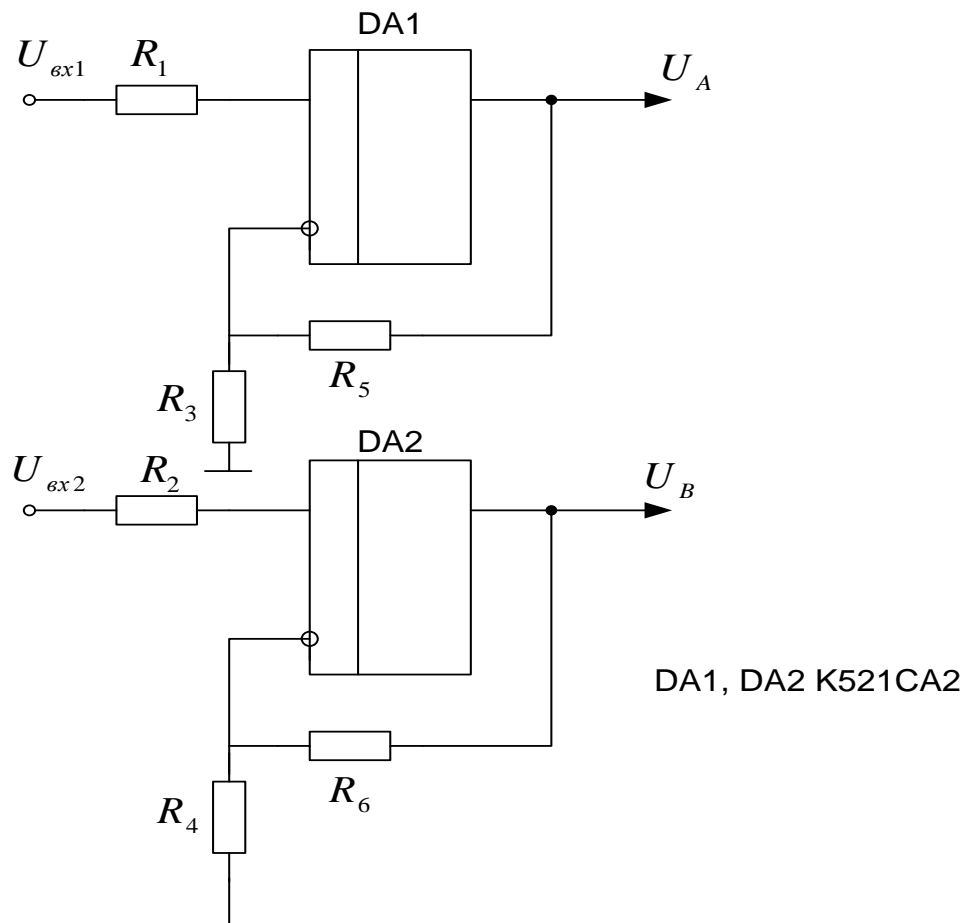


Рисунок 4.2 – Електрична схема вхідного блоку

RS – тригери – це тригери з роздільним установленням (запуском) за допомогою двох входів: S – (Set – установлення) – вхід установлення до одиничного стану $Q = 1$ та R (Reset – повернення, скидання) – вхід скидання до нульового стану $Q = 0$. Правила функціонування тригера зручно задавати таблицею відповідності, яку називають також перемикальною таблицею або таблицею станів. Для RS – тригера з прямими входами таку таблицю наведено на рисунку 4.3. Вона визначає стан Q^+ , до якого має перейти тригер з попереднього стану Q.

RS	Q^+
0 0	Q
0 1	1
1 0	0
1 1	X

Рисунок 4.3 – Перемикальна таблиця RS – тригера

На вхід R подамо сигнал з першого входу, а на S – з другого. Тоді на виході тригера будемо мати такий сигнал, який зображено на рисунку 3.3, г. А для уникнення забороненого стану, коли на обох входах знаходиться логічна одиниця, потрібно використати детектор початку фронту вхідного сигналу. Принцип його роботи зображено на рисунку 3.3, в. [2]

4.3 Формувач стробуючого імпульсу T

Принцип роботи даного блоку є майже аналогічним попередньому формувачу стобуючого імпульсу ΔT . Тільки в даній ситуації для формування використовується тільки сигнал з одного входу фазометра (вхід 2).

Для рішення цієї задачі запропоновано використати формування стобуючого імпульсу T , який рівний п'яти періодам, тобто N буде збільшено в 5 раз. Цей варіант розв'язку дасть можливість зменшити випадкові похибки вимірювань. В результаті цих нововведень в схемі з'явиться ще один елемент – недвійковий лічильник з модулем лічби 6.

Існує кілька методів перетворення двійкових лічильників у недвійкові залежно від способу усунення надлишкових станів. Лічильник з природним порядком лічби утворюється виключенням старших надлишкових станів $N = M, \dots, 2^n - 1$ шляхом примусового скидання двійкового лічильника. Принцип такого перетворення розглянемо спочатку на ІС жорсткої структури, коли приступними є лише її зовнішні виводи, зокрема, вхід скидання двійкового лічильника R . З надходженням лічильних імпульсів C вихідний код зростає в межах $N = 0, 1, \dots, M$ і перетворюється в дешифраторі в унітарний код. Коли на виході, номер якого збігається з модулем лічби M , з'являється активний рівень R_M , лічильник скидається до нуля і далі цикл лічби повторюється. Стан $N = M$, в якому лічильник перебуває короткочасно, не використовується, тому кількість фіксованих станів $N = 0, 1, \dots, M - 1$ становить потрібний модуль лічби M .

Тому для створення такого лічильника можна використати стандартний три розрядний двійковий лічильник додавши до нього логічну схему зупинки лічби. Отже, лічильник буде лічити кількість періодів вхідного сигналу і при появі на вході шостого періоду лічильник буде зупинений. Електрична схема і перемикальна таблиця лічильника зображені на рисунку 4.4.

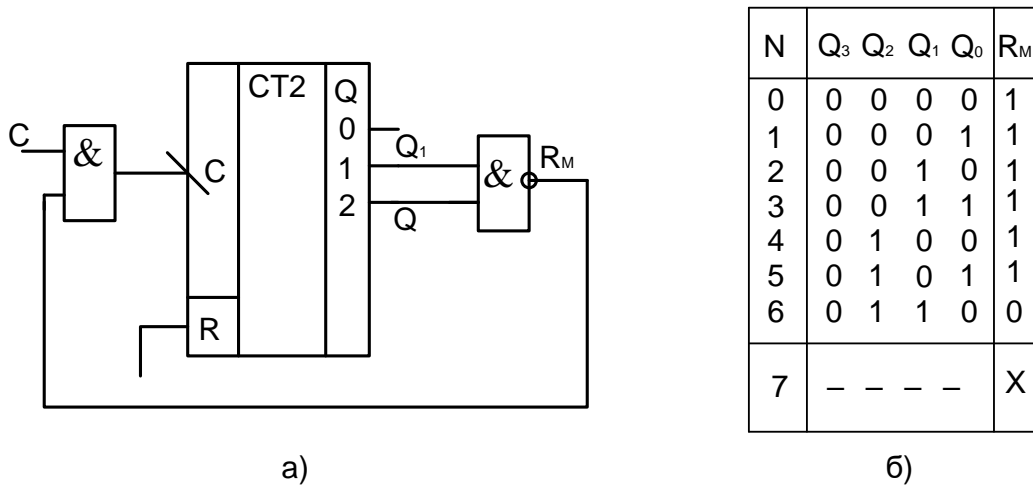


Рисунок 4.4 – (а) – схема лічильника і (б) – перемикальна таблиця лічильника з модулем лічби 6

Далі потрібно лише додати в схему RS – тригер щоб формувати стробуючий імпульс $T*5$. Це можливо зробити подавши на вхід S логічну одиницю в момент коли лічильник переходить в значення (001), а при зупинці лічильника призначені (110) подаємо одиницю на вхід тригера R.

Принцип роботи формувача стробуючий імпульсів $T*5$ ілюструють діаграми на рисунку 4.5.

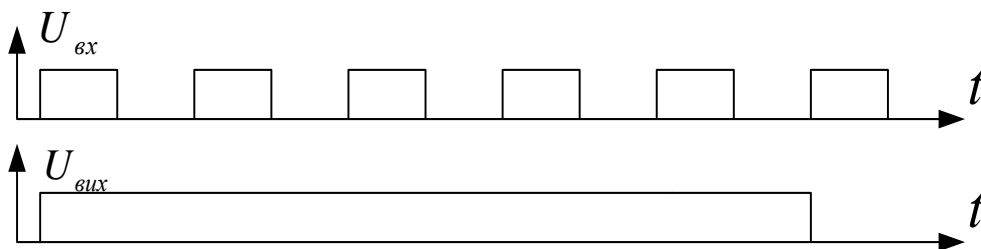


Рисунок 4.5 – Діаграми роботи формувача стробуючий імпульсів T

4.4 Лічильники для підрахунку значень n і N

В якості цих лічильників візьмемо декадні лічильники, модуль лічби яких 10. Ввімкнувши їх послідовно отримаємо ряд лічильників, які будуть підраховувати n або N таким чином, щоб кожен з них відповідав за свій розряд шуканого числа. Наприклад, якщо в 1 лічильнику буде число 9, а 2 лічильнику число 6, то це буде означати, що шукане число 96.

Серед ІС лічильників біля половини є декадні з модулем лічби $M = 10$. Такі лічильники є паралельні за схемою із зворотними зв'язками і задля гнучкості використання можуть містити в корпусі ІС окремі лічильники з модулем $M = 2$ і з модулем $M = 5$, послідовне з'єднання яких утворює асинхронний лічильник з модулем $M = 10$. Наявність в корпусі ІС ще декадного лічильника дає змогу отримати також модулі $M = 20, 50, 100$.

Користуючись входами скидання до нуля CLR, переустановлення до дев'ятого стану SET 9, декадні лічильники, як і двійкові, можна перетворити у недвійкові з довільним модулем шляхом примусового скидання.

Проведемо розрахунок кількості лічильників, потрібної для підрахунку n або N так як при різниці фаз $360^\circ n = N$. Для цього визначимо максимально можливе n .

Число імпульсів, що поступають на лічильник І за інтервал $T \cdot 5$ рівне

$$N = F_{сч} \cdot T \cdot 5, \quad (4.1)$$

де $F_{сч}$ - частота лічильних імпульсів;

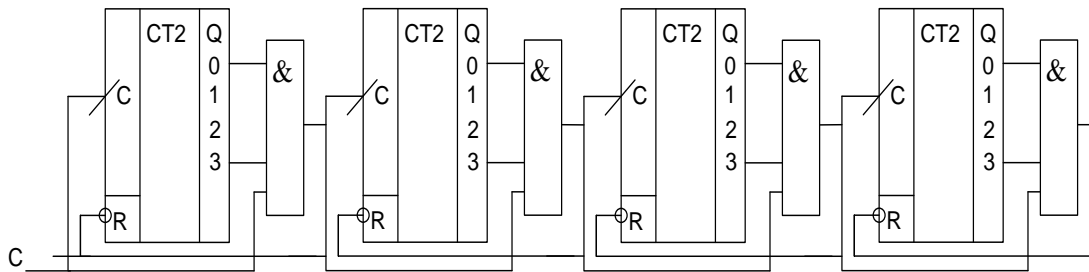
$$T = 1/f - \text{період вхідного сигналу. [2]}$$

Проведемо розрахунок формули 4.1 для кількох діапазонів за допомогою таблиці 4.1.

Таблиця 4.1 – Основні показники моделюючої програми та її аналога

Діапазон частоти	Максимальний період сигналу в цьому діапазоні	Частота імпульсів квантування	Значення $N*5$
500...100 кГц	0,00001	180 МГц	9000
100...50 кГц	0,00002	36 МГц	3600
50...10 кГц	0,0001	18 МГц	9000
Максимальне N			9000

Отже, для підрахунку n або N достатньо чотирьох послідовно з'єднаних декадних лічильники. Один із варіантів такої схеми представлений на рисунку 4.6.

Рисунок 4.6 – Лічильник для n та N

Розглянемо побудову і аналіз функціонування даного лічильника з модулем лічби (коефіцієнтом поділу) $M = 10$.

Розкладаємо модуль на числа степеня 2 та додаткові одиниці

$$M = 10 = 2 * 5 = 2 * (4 + 1) = 2 * (2 * 2 + 1).$$

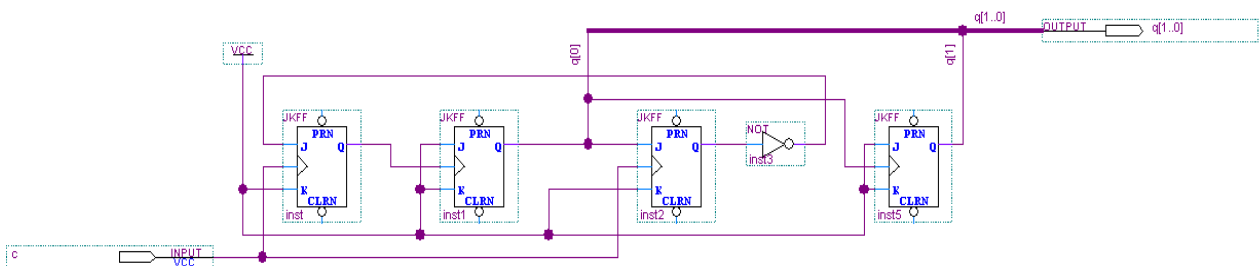


Рисунок 4.7 – Безвентильний лічильник на JK-тригерах з модулем лічби

$$M=10$$

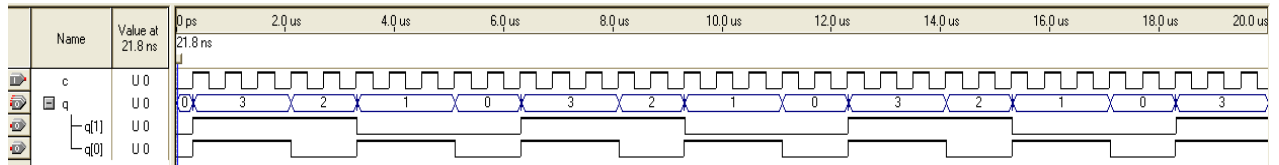


Рисунок 4.8 – Аналіз спроектованого подільника частоти

N	Q3 Q2 Q1 Q0	3 C3 J3 K3 $dQ1$ 1 1	1 C2 J2 K2 dC Q1 1	2 C1 J1 K1 $dQ0$ 1 1	1 C0 J0 K0 $dC \overline{Q_2}$ 1	$Q_3^+ Q_2^+ Q_1^+ Q_0^+$	N^+
0	0 0 0 0	↑ 1 1	↑ 0 1	↑ 1 1	↑ 1 1	1 0 1 1	11
11	1 0 1 1	---	↑ 1 1	↓ --	↑ 1 1	1 1 1 0	14
14	1 1 1 0	---	↑ 1 1	---	↑ 0 1	1 0 1 0	10
10	1 0 1 0	↓ --	↑ 1 1	↑ 1 1	↑ 1 1	1 1 0 1	13
13	1 1 0 1	---	↑ 0 1	↓ --	↑ 0 1	1 0 0 0	8
8	1 0 0 0	↑ 1 1	↑ 0 1	↑ 1 1	↑ 1 1	0 0 1 1	3
3	0 0 1 1	---	↑ 1 1	↓ --	↑ 1 1	0 1 1 0	6
6	0 1 1 0	---	↑ 1 1	---	↑ 0 1	0 0 1 0	2
2	0 0 1 0	↓ --	↑ 1 1	↑ 1 1	↑ 1 1	0 1 0 1	5
5	0 1 0 1	---	↑ 0 1	↓ --	↑ 0 1	0 0 0 0	0

Рисунок 4.9 – Перемикальна таблиця

Розглянемо аналіз спроектованого подільника частоти.

Зазвичай функціонування пристрою зображають перемикальним графом. Для його побудови зручно скористатися перемикальною таблицею (рисунок 4.3), до якої доцільно внести початковий стан N , наприклад, у шістнадцятковій системі числення (як у САПР), його двійковий код $Q_3 \dots Q_0$ відповідно до номерів тригерів, функції збудження всіх розрядів $C_i J_i K_i$, включаючи синхросигнали C_i (бо лічильник не є паралельний), відтак стани

Q_i^+ , до яких перемкнуться тригери по надходженні чергового лічильного імпульсу, i , нарешті, шістнадцятковий код N^+ нового стану лічильника. Задля наочності позначимо над функціями збудження черговість перемикавання розрядів, а під ними – значення цих функцій, які зчитуємо безпосередньо зі схеми.

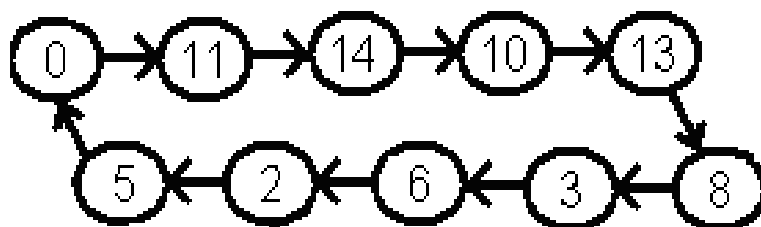


Рисунок 4.10 – Основний перемикальний граф

4.5 Математична частина

Розглянемо основні методи помноження і ділення двійкових чисел і виберемо оптимальний варіант.

Програмно в мікропроцесорах та мікроЕОМ множення двійкових чисел здійснюють шляхом зсуву за допомогою ЦПП та додавання часткових добутків у суматорах згідно з відомими алгоритмами. Процедура множення виконується протягом багатьох тактів, що може спричинити зниження швидкодії в неприйнятних межах, зокрема, радіотехнічних пристроїв та систем з обробкою інформації в реальному масштабі часу. Підвищення швидкодії було досягнуто апаратно в ІС матрицевих помножувачах з ланцюжком суматорів часткових добутків. При цьому усталення всього добутку розтягується в часі перемиканням кількості суматорів у найдовшій діагоналі матриці суматорів.

Найвища швидкодія досягається в комбінаційних помножувачах з безпосереднім формуванням розрядів остаточного добутку. Розглянемо для прикладу множення дворозрядних чисел $A=a_1a_0$ та $B=b_1b_0$ (таблиця 4.2).

Таблиця 4.2 – Метод помноження двійкових чисел

i	$a_1a_0b_1b_0$	$y_3y_2y_1y_0$
0	0 0 0 0	0 0 0 0
1	0 0 0 1	0 0 0 0
2	0 0 1 0	0 0 0 0
3	0 0 1 1	0 0 0 0
4	0 1 0 0	0 0 0 0
5	0 1 0 1	0 0 0 1
6	0 1 1 0	0 0 1 0
7	0 1 1 1	0 0 1 1
8	1 0 0 0	0 0 0 0
9	1 0 0 1	0 0 1 0
10	1 0 1 0	0 1 0 0
11	1 0 1 1	0 1 1 0
12	1 1 0 0	0 0 0 0
13	1 1 0 1	0 0 1 1
14	1 1 1 0	0 1 1 0
15	1 1 1 1	1 0 0 1

Розрядність добутку $Y = y_3y_2y_1y_0$ вибирається як сума розрядів співмножників. Функцію для старшого розряду записуємо безпосередньо з таблиці, а інших розрядів мінімізуємо за допомогою діаграм термів (рисунок 4.7, а) із застосуванням редукції

$$\alpha = a_0b_1; \beta = a_1b_0; y_3 = \alpha\beta; y_2 = a_1b_1\overline{y_3}; y_1 = (\alpha + \beta)\overline{y_3}; y_0 = a_0b_0.$$

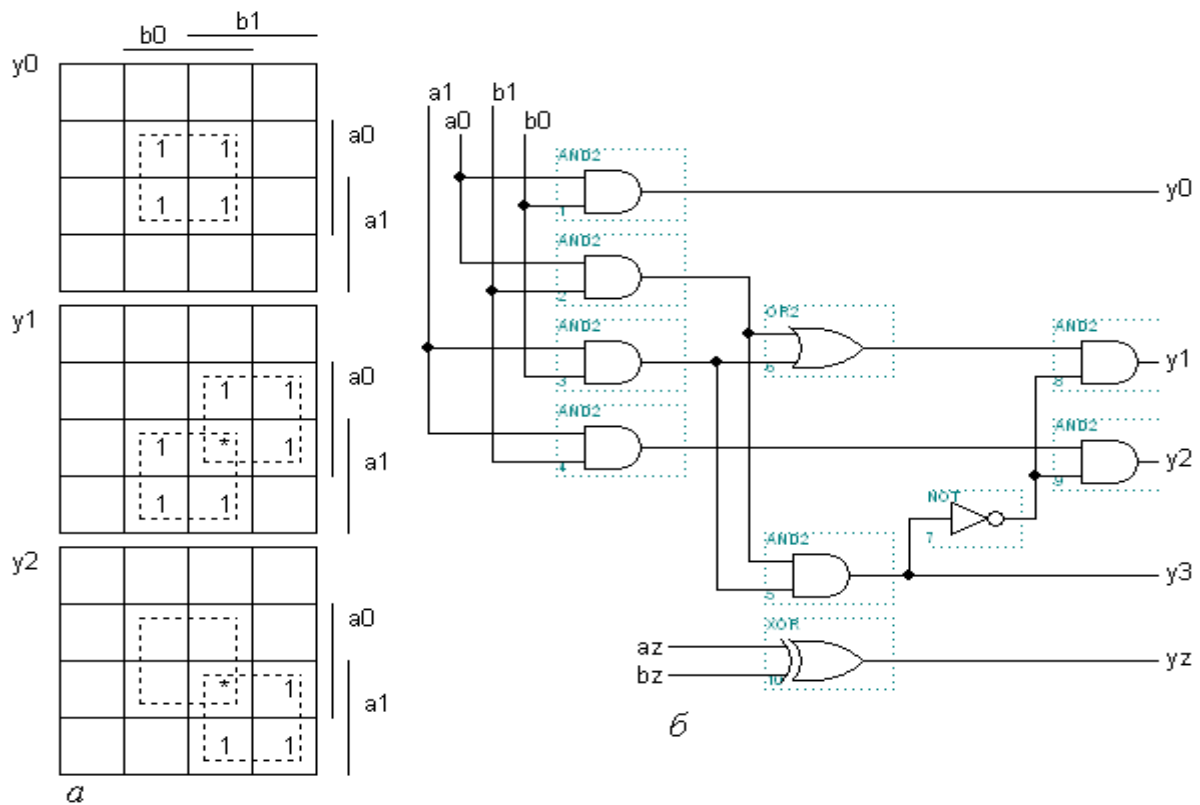


Рисунок 4.11 – (а) – діаграма термів і (б) – мінімізована схема помножувача

Мінімізована схема (рисунок 4.7, б) практично не поступається за швидкістю реалізованій за первісними термами.

Для чисел зі старшим знаковим розрядом $A = a_z a_1 a_0$, $B = b_z b_1 b_0$ знак добутку $Y = y_z y_3 y_2 y_1 y_0$ формується окремо, за допомогою елемента Виключне АБО: $y_z = a_z \oplus b_z$.

Серед стандартних ІС комбінаційних помножувачів (макрофункцій) поширеними є з розрядністю співмножників 2×2 , 2×4 та 4×4 (рис. 3.8, а, б, с). Старші розряди співмножників $a[]$, $b[]$ та добутку $y[]$ репрезентують знак числа, а вхід G є стробовий. Бібліотека САПР містить також мегафункцію помножувача `LPM_MULT`, основними параметрами якої є `LPM_WIDTHA`, `LPM_WIDTHB`, `LPM_WIDTHP` – розрядність відповідно співмножників $a[]$, $b[]$ та добутку $y[]$.

З метою уніфікації обладнання та спрощення операційних пристроїв, призначених для виконання різних арифметичних та логічних операцій, у

цифровій техніці застосовують багатфункціональні блоки – арифметико-логічні пристрої АЛП (ALU - arithmetic-logic Unit).

Подібно до суматора АЛП має входи двох операндів А, В, вхід і вихід перенесення c_0 , c_n та виходи результату F (для прикладу на рисунку 4.12, а наведено ІС чотирирозрядного АЛП, а на рис. 4.12, б – типову макрофункцію АЛП). Крім функцій суматора АЛП виконує ще низку логічних функцій, а також функцію компаратора з виходом К.

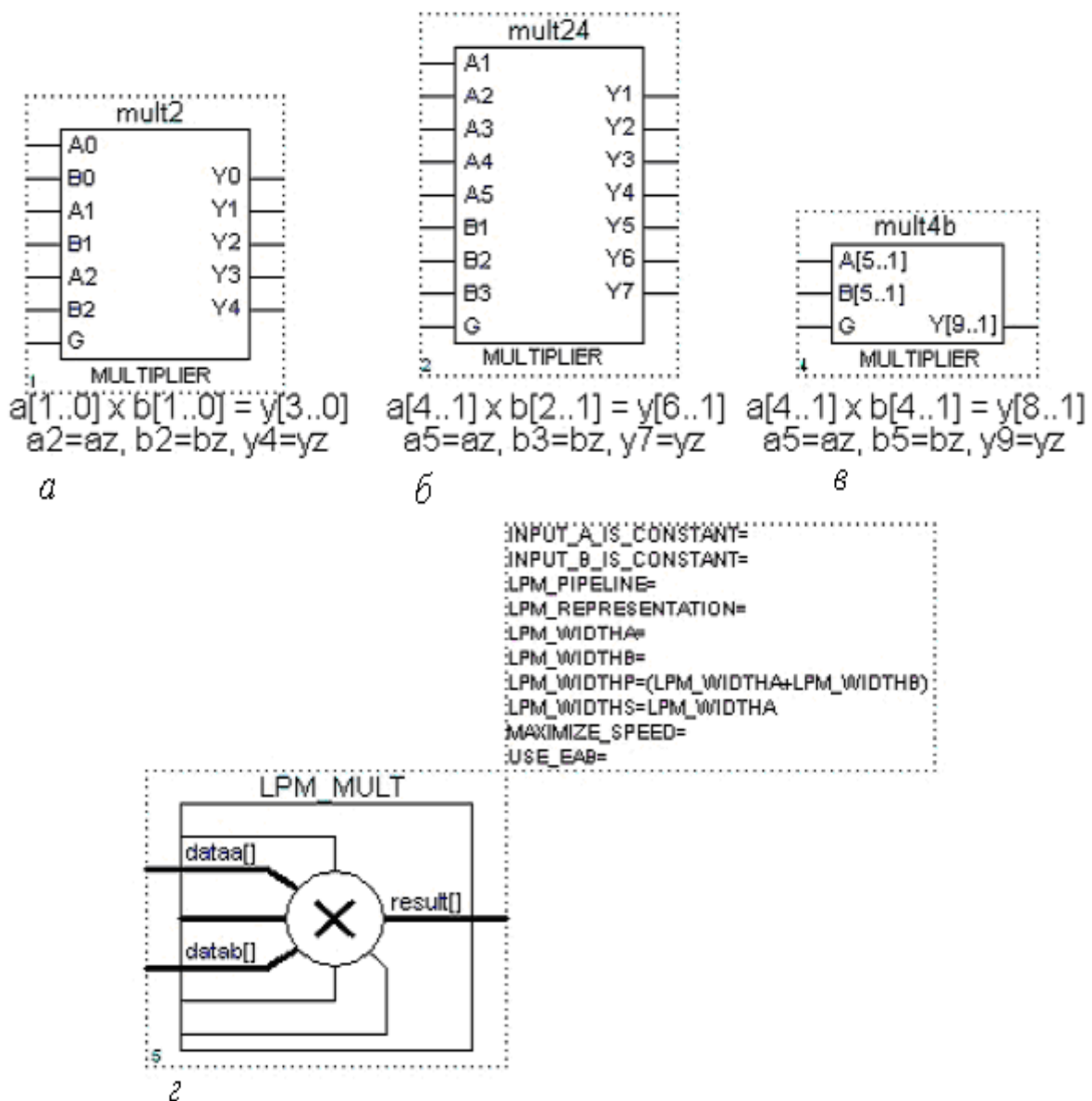


Рисунок 4.12 – Комбінаційні помножувачі

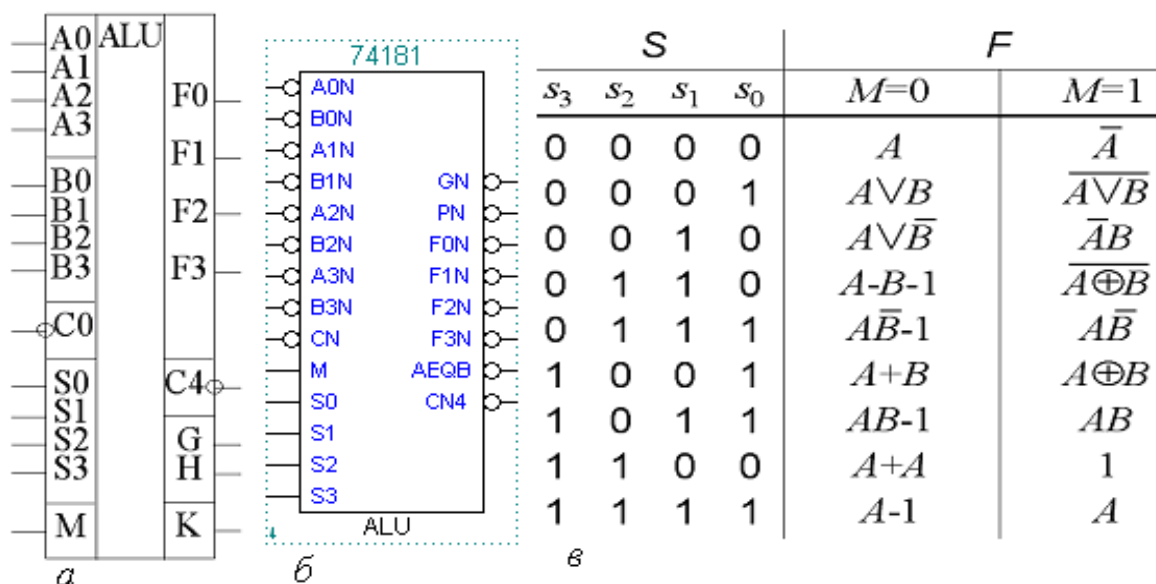


Рисунок 4.13 – АЛП

Логічну схему спроектовано таким чином, аби при виконанні різних арифметичних та логічних операцій максимально використовувались спільні логічні елементи. З'єднання елементів для виконання тої чи іншої функції здійснюється вхідним словом S вибору (селекції) операції та сигналом M модифікації операцій: при $M = 0$ виконуються арифметичні і деякі логічні операції, а при $M = 1$ міжрозрядні перенесення блокуються і реалізуються лише логічні операції. На рисунку 3.9, в наведено фрагмент типових операцій АЛП з таблиці його функцій, де знаками $+$ та \vee позначено відповідно арифметичне і логічне додавання, а множення є тільки логічне. Чотирирозрядним словом S можна вибрати одну з 16 операцій та біт M ще подвоює їх кількість. Наприклад, дев'яте слово $S = 1001$ при $M = 0$ селекує арифметичну операцію $F = A + B$ а при $M = 1$ – логічну функцію $F = A \oplus B$.

З метою збільшення розрядності операндів АЛП каскадують так само, як і суматори: послідовним з'єднанням перенесень або для підвищення швидкодії через блоки пришвидшеного перенесення за допомогою спеціально для цього призначених виходів АЛП G , P генерації та передачі перенесення.

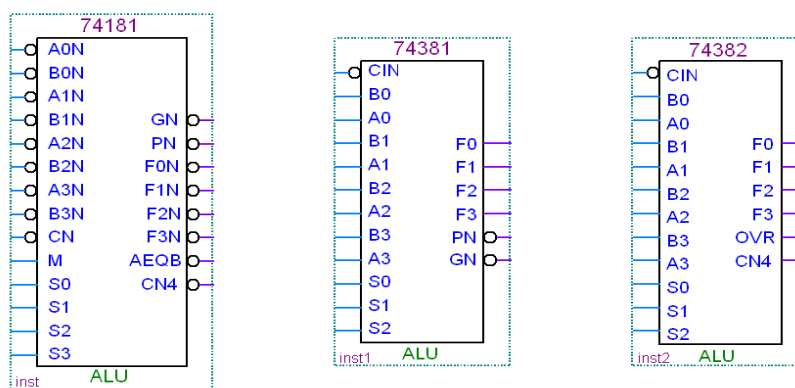


Рисунок 4.14 – Мікросхеми АЛП з бібліотеки макрофункцій

Використовувати АЛП доцільно на старих ІС жорсткої структури, але бібліотека САПР програмованих ІС також містить декілька різновидів макрофункцій (рисунок 4.10). [2]

Проаналізувавши всі варіанти помноження двійкових чисел виберемо елемент помноження з бібліотеки мегафункцій (рисунок 4.12, d) для помноження n на 360^0 .

Відповідно до формули 3.1 результат множення потрібно поділити на N . Для цього використаємо елемент ділення `Lpm_divide` з бібліотеки мегафункцій.

4.6 Семисегментний перетворювач

Перетворювачі кодів є ЦКП, що здійснюють перетворення цифрової інформації з однієї форми зображення до іншої. У загальному випадку вхідний m -розрядний і вихідний n -розрядний коди перетворювача можуть бути довільними – як числовими, так і комбінаторними. Прикладом нечислових комбінаторних кодів є коди цифрових індикаторів відображення інформації. Символи на індикаторній панелі формуються на основі рідких кристалів або світлодіодів шляхом 7-сегментного, 14-сегментного чи мозаїчного розкладу зображення. Сегменти поширеного в малогабаритних пристроях 7-сегментного індикатора позначають літерами a, b, c, d, e, f, g (рисунок 4.11, a). Під керуванням перетворювача кодів окремі частини панелі

активізуються, наприклад, рідкі кристали, виконані у формі сегментів, темнішають на сріблястому тлі, утворюючи зображення потрібного символу. Якщо не активізовано сегменти *f* та *c*, індикується цифра 2, а якщо *b* та *e* – цифра 5 і т. ін.

Для відтворення стандартних знаків, зокрема, цифр 0...9 ДДК (BCD) налагоджено випуск серійних ІС – перетворювачів кодів, які в довідковій літературі називають дешифраторами 7-сегментного коду (рисунок 4.11, б). Крім інформаційних входів тетради ДДК $a[3..0] = D, C, B, A$ та сегментних виходів $a...g = OA...OG$ такі дешифратори мають інверсний вхід гасіння BIN, яким всі сегменти обнуляються (індикатор гасне). Інверсним входом LTN, навпаки, всі сегменти засвічуються, що зручно для перевірки індикатора (достатньо тимчасово заземлити цей вхід). Послідовним з'єднанням входів RBIN і виходів RBON ланцюжка знакомісць багаторозрядного індикатора досягається послідовне гасіння нулів у старших розрядах, інакше було б важко зчитувати інформацію (як, наприклад, у звичайному калькуляторі).

Окремим випадком перетворювачів кодів є пристрої, для яких вхідним або вихідним є так званий унітарний код “1 із *K*”, в якому активний рівень може існувати тільки в одному розряді. Якщо активним є рівень лог. 1, то код називають прямим, а якщо лог. 0 – інверсним. Прикладом є унітарний десятковий код “1 з 10” відображення натиснутої цифрової клавіші, якщо натиснення більш однієї клавіші заборонено.

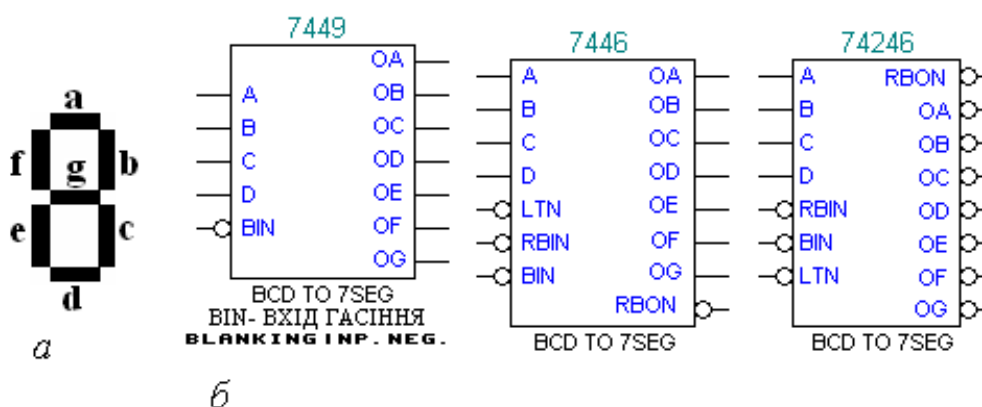


Рисунок 4.15 – (а) – розміщення елементів в семи сегментному індикаторі і
(б) – семисегментні дешифратори

Дешифратором (двійковим дешифратором, який позначається DC – decoder) називається перетворювач m -розрядного двійкового коду до n -розрядного унітарного; при цьому розрядність коду розширюється, бо $n > m$. Дешифратори найчастіше застосовуються для вибору (селекції) інтегрованої мікросхеми або іншого пристрою з метою обміну інформацією, наприклад, для адресування до окремих комірок пам'яті.

За допомогою вхідного m -розрядного коду дешифратор спроможний керувати $n = 2^m$ вихідними лініями, що є розрядами унітарного коду. Такий дешифратор є повним, а якщо $n < 2^m$ – неповним. Наприклад, дешифратори 1:2, 2:4, перетворювачі двійкового коду в унітарні вісімковий 3:8 і шістнадцятковий 4:16 є повними, а перетворювач тетради ДДК до унітарного десяткового коду 4:10 є неповним.

Принцип побудови дешифратора розглянемо на прикладі перетворення двійкового коду $A = a_1 a_0$ в унітарний $Y = y_3 y_2 y_1 y_0$ (рисунок 3.12, а). З огляду на те, що кожна з вихідних функцій визначається одним мінтермом, вона вже є мінімальною:

$$y_0 = \overline{a_1} \overline{a_0}; y_1 = \overline{a_1} a_0; y_2 = a_1 \overline{a_0}; y_3 = a_1 a_0. \quad (4.2)$$

Взагалі, при m змінних функції повного дешифратора реалізуються за допомогою $n = 2^m$ елементів і з m входами кожний (рисунок 4.12, б). Активний рівень з'являється тільки на тому виході дешифратора, номер якого відповідає вхідному коду. Наприклад, при $a_1 a_0 = 10_2 = 2_{10}$ дві одиниці прикладено до входів тільки одного елемента І з виходом y_2 , тому $y_2 = 1$, а на всіх інших виходах встановлюються рівні лог. 0. Визначити номер активного виходу дуже просто: досить скласти ваги розрядів на вхідному полі умовного графічного позначення дешифратора (рисунок 4.12,в), на яких діють рівні лог.1.

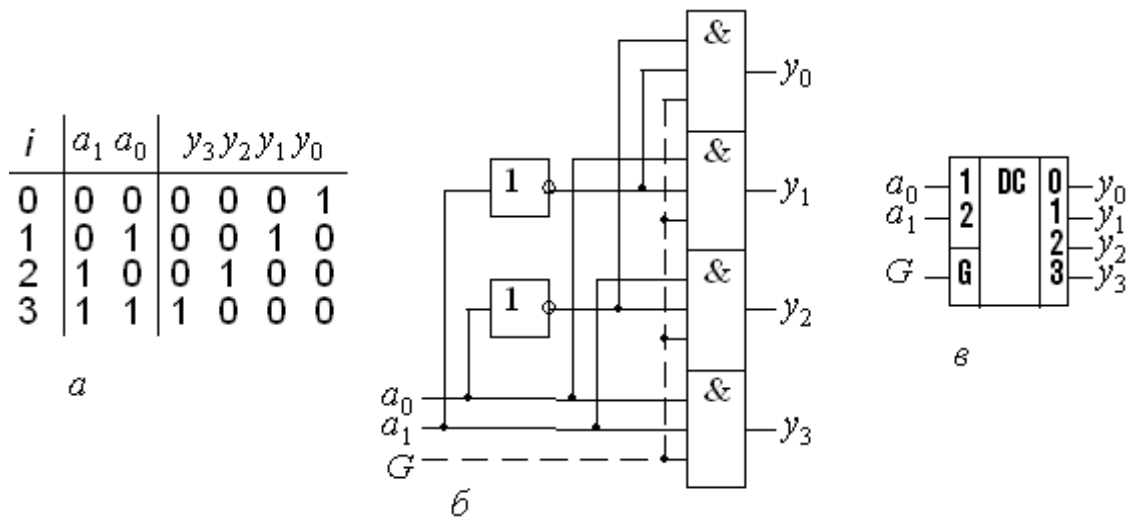


Рисунок 4.16 – (а) – таблиця даних, (б) – схема і (в) – графічне позначення перетворювача двійкового коду в унітарний

Якщо додаткові входи елементів І з'єднати зі спільним входом G (від Gate – ворота) як на рисунку 4.12, б позначено пунктиром, здобудемо стробований дешифратор. При $G = 0$ елементи І блоковано і на всіх прямих виходах встановлюються рівні лог. 0, а при $G = 1$ схема функціонує як звичайний дешифратор. За допомогою входів G можна синхронізувати роботу дешифраторів, а також виконувати їх каскадування.

Найбільш кращим варіантом для нашого перетворювача буде семисегментний дешифратор 7449 з бібліотеки макрофункцій. [2]

5 РЕАЛІЗАЦІЯ ЦИФРОВОГО ФАЗОМЕТРА В ПРОГРАМНОМУ ПАКЕТІ QUARTUS II

5.1 Опис моделюючої програми Quartus II

5.1.1 Головне робоче вікно

Головне робоче вікно програми Quartus II, яке з'являється одразу ж після запуску програми, показано на рисунку 5.1.

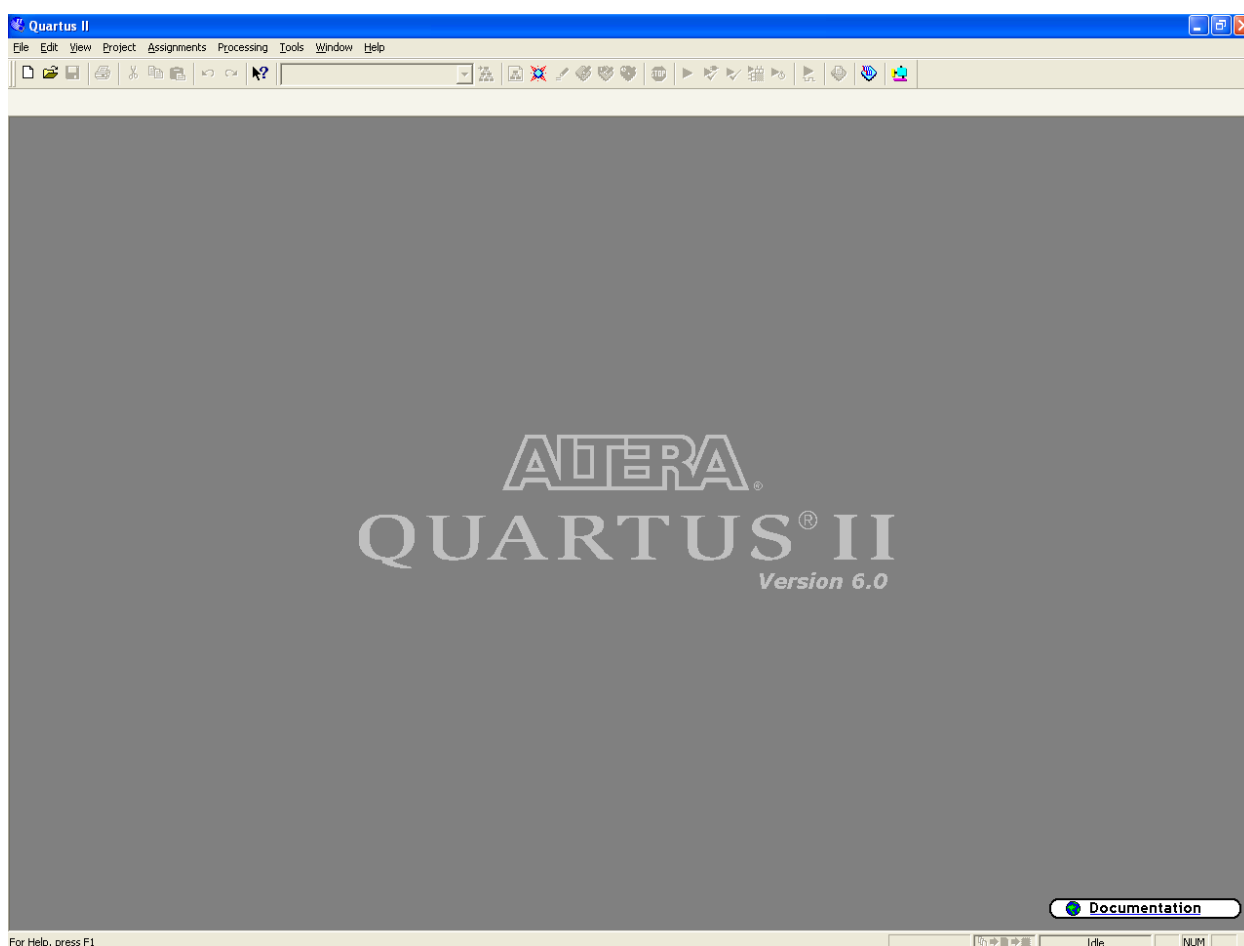


Рисунок 5.1 – Головне робоче вікно програми Quartus II

5.1.2 Меню Quartus II

Меню Quartus II є найголовнішим, оскільки з нього запускаються всі редактори, які призначені для повного циклу обробки проекту. Головне вікно програми із відкритим меню Quartus II показано на рисунку 5.2.

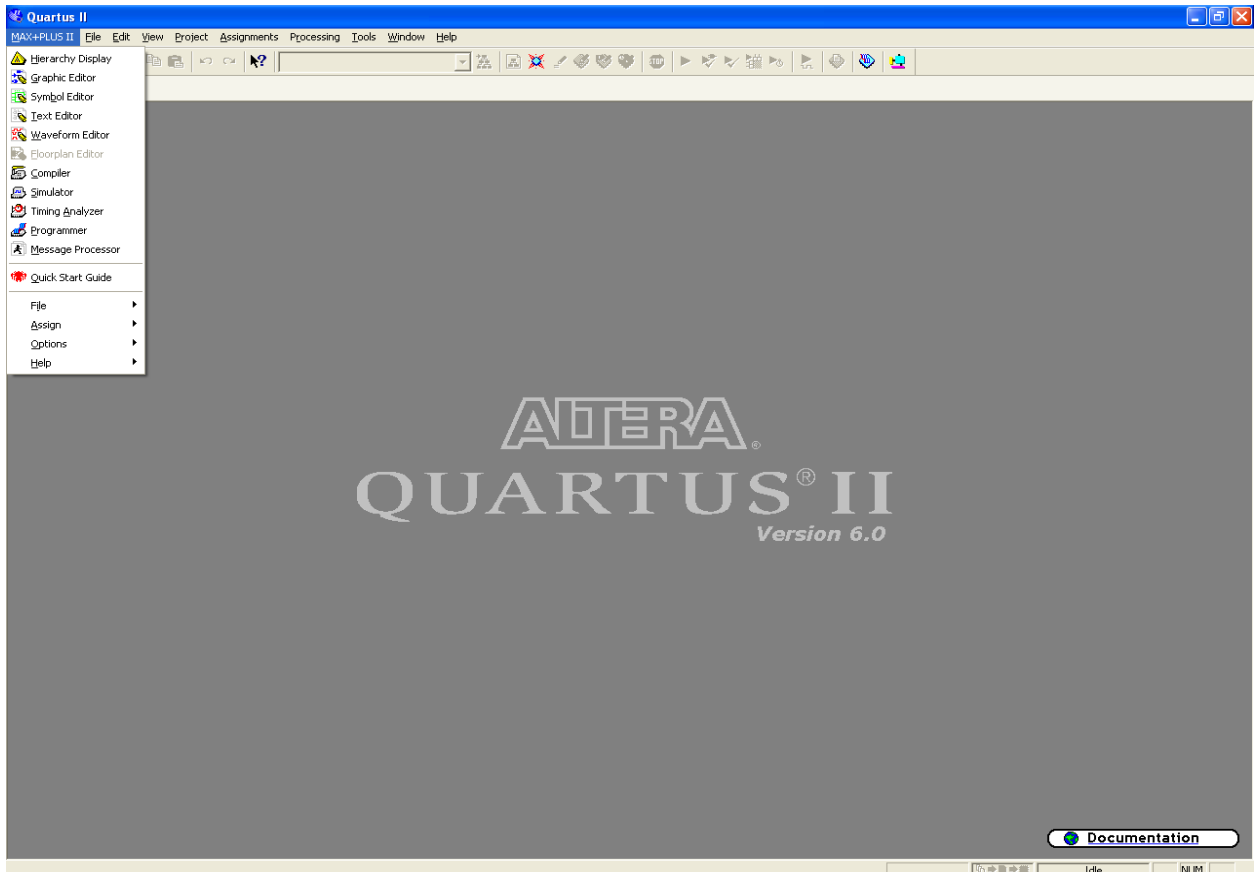


Рисунок 5.2 – Головне вікно програми з відкритим меню Quartus II

Складові меню Quartus II:

- Hierarchy Display – відкриває вікно з ієрархічним відображенням поточного проекту;
- Graphic Editor – запуск графічного редактора;
- Symbol Editor – запуск редактора символів;
- Text Editor – запуск текстового редактора;
- Waveform Editor – запуск редактора часових діаграм;
- Floorplan Editor – редактор зв'язків (порівневий планувальник);
- Compiler – відкриття вікна компілятора;
- Simulator – відкриття вікна системи моделювання;
- Timing Analyser – відкриття вікна часового аналізатора;
- Programmer – відкриття вікна системи програмування НВІС;
- Message Processor – запуск менеджера повідомлень.

Оскільки в даній роботі основним завданням є дослідження цифрових пристроїв на рівні моделювання без кінцевого результату програмування ПЛІС, то доцільно зупинитися на описі важливих для даної роботи складових меню Quartus II.

5.1.3 Graphic Editor

Graphic Editor – графічний редактор призначений для введення проекту у вигляді схеми з'єднань символів елементів, що знаходяться у стандартних бібліотеках пакета або в бібліотеках користувача. Вікно графічного редактора показано на рисунку 5.3.

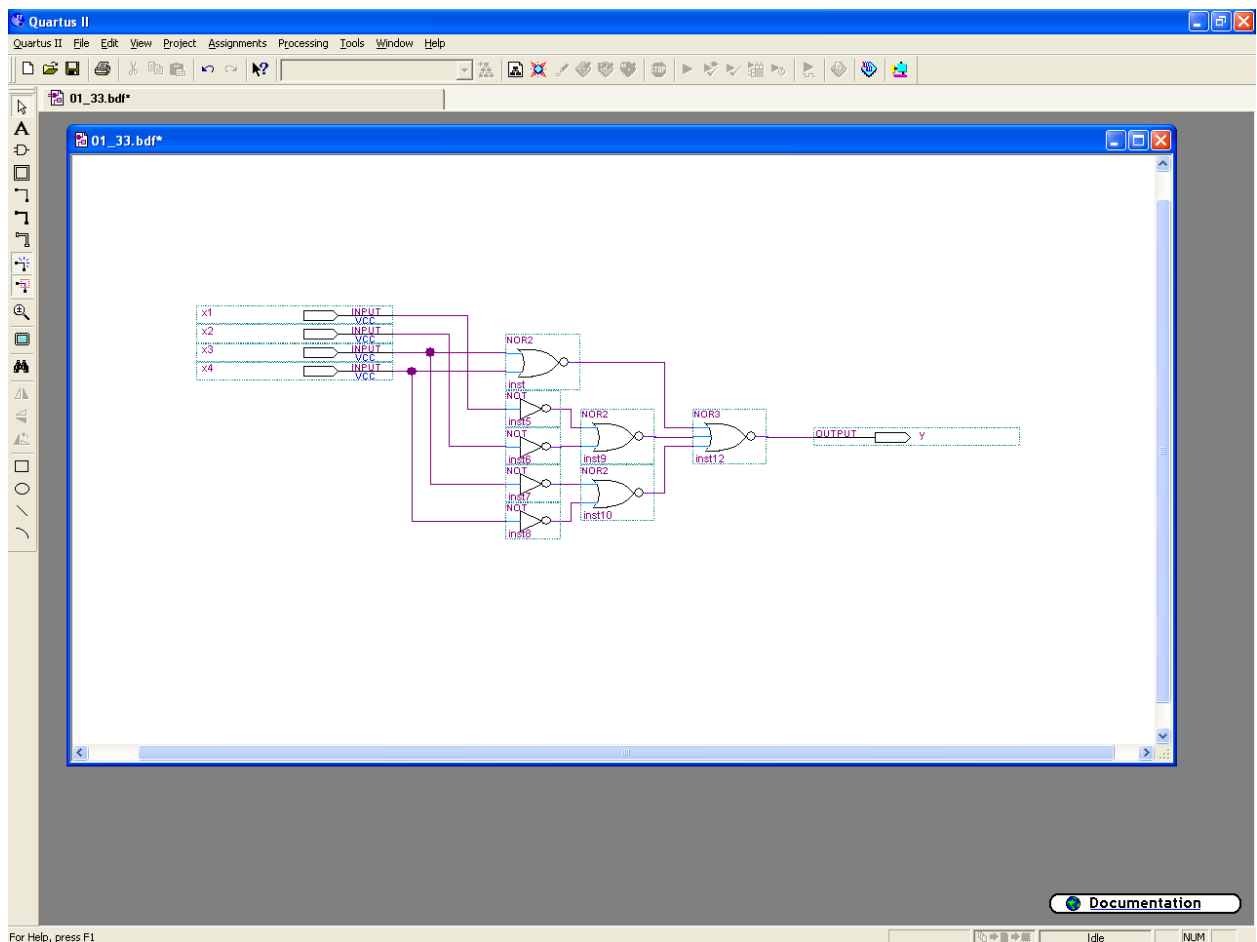


Рисунок 5.3 – Вікно графічного редактора

Для створення графічного проекту можна використовувати бібліотеки примітивів, макрофункцій і параметризованих мегафункцій. Примітиви включають великий набір основних логічних елементів, тригерів, елементів входу і виходу (INPUT, OUTPUT), а також допоміжні елементи: GND (логічний нуль), VCC (логічна одиниця).

Параметризовані мегафункції дозволяють реалізувати багатовходові і багато розрядні елементи цифрової схемотехніки (шифратори, регістри, мультиплектори та ін.) шляхом введення ряду параметрів в спеціальних областях умовних графічних позначень цих елементів. При створенні графічних модулів можливий імпорт файлів з системи OrCAD.

Для розміщення елементів у вікні редактора використовується діалогове вікно Symbol (рисунок 5.4).

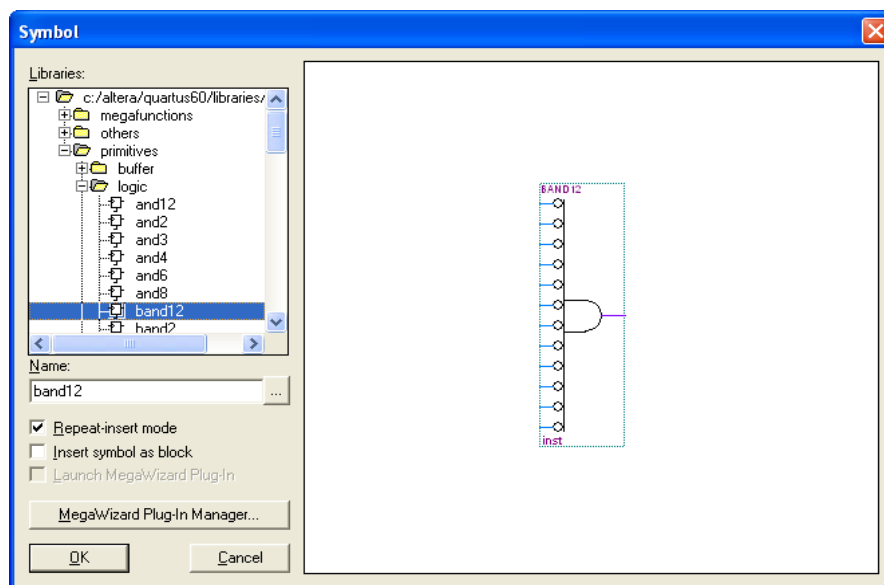


Рисунок 5.4 – Вікно вибору елемента

5.1.4 Symbol Editor

Symbol Editor – символний редактор (рисунок 5.5) дозволяє редагувати існуючі символи і створювати нові. Також будь-який відкомпільований проект може бути згорнутий у символ, поміщений у бібліотеку символів і використаний як елемент у будь-якому іншому проекті.

Символьне представлення зручно використовувати при ієрархічній побудові проекту, адже проект самого вищого рівня створюється в графічному редакторі, де використання символів є найдоцільнішим.

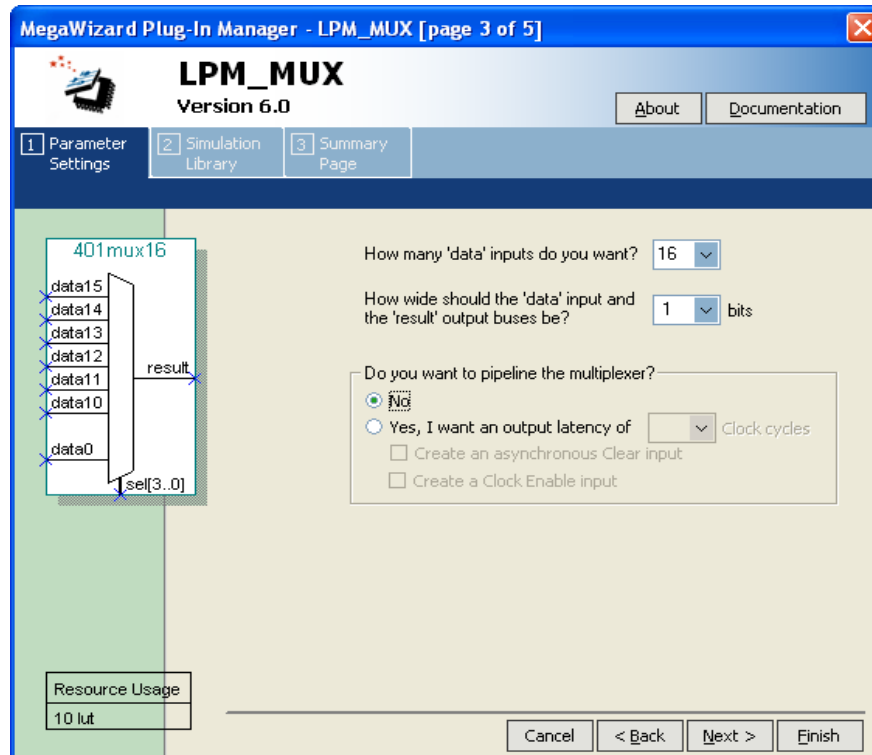


Рисунок 5.5 – Вікно редактора символів

5.1.5 Text Editor

Text Editor – текстовий редактор (рисунок 5.6) призначений для створення і редагування текстових файлів, в яких проект вводиться не графічно, а мовою опису пристроїв AHDL (Altera Hardware Description Language) або близькими до неї мовами типу VHDL чи Verilog HDL. В цьому редакторі дещо зменшується наочність та простота реалізації. Необхідним пунктом у цьому редакторі являється знання алгоритму побудови програм, а також вміння їх відлагоджувати і компілювати. Проте тут з’являється можливість досить швидко та оперативно оперувати із вхідними та вихідними змінними. Ще одна перевага даного редактора — це його пристосованість до логічних виразів. Тут з’являється можливість уникнення

громіздких та складних структурних побудов (хоча в графічному редакторі передбачено цьому випадку створення власних функцій, мікро- та макрофункцій). Це досить зручно при проектуванні ручним методом.

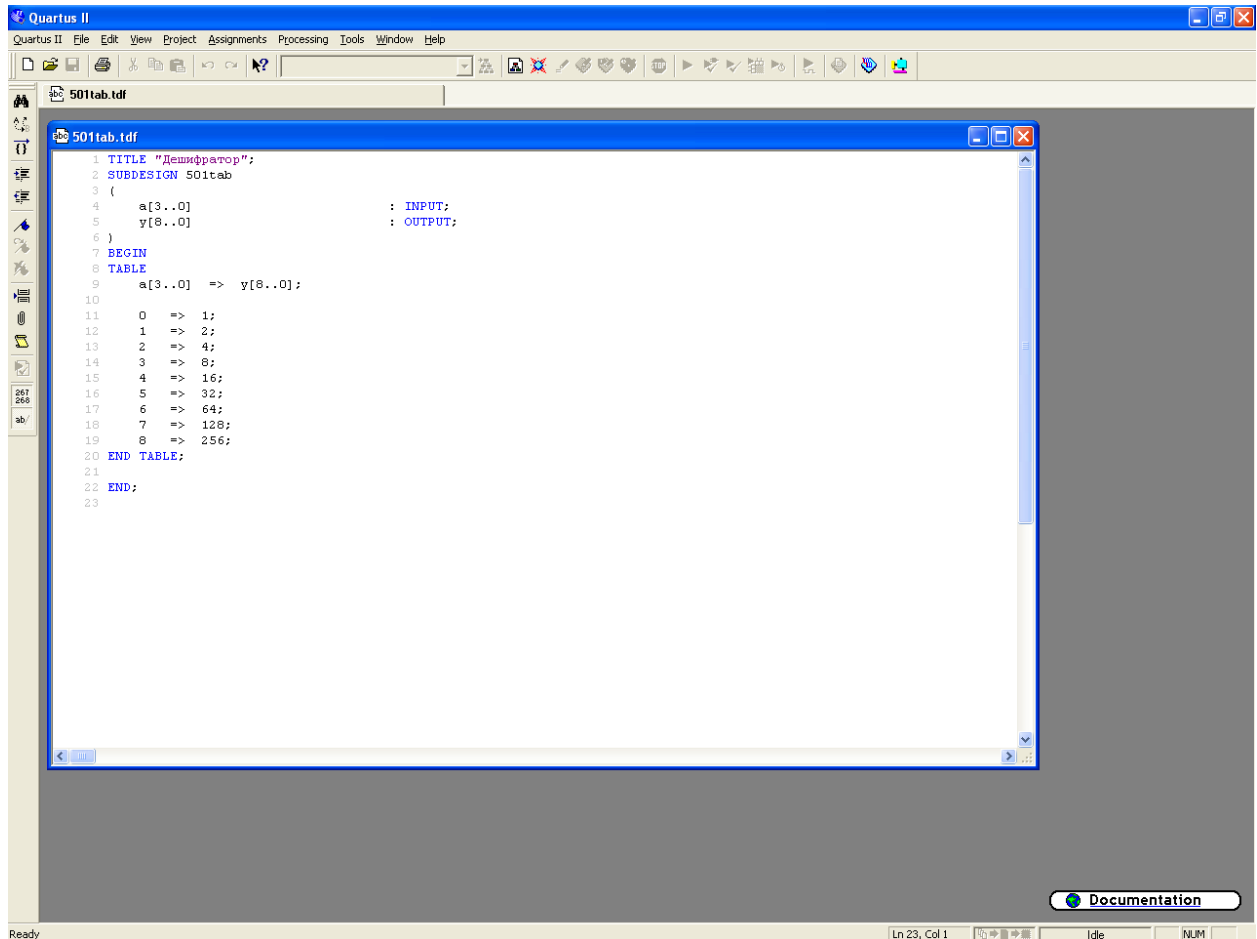


Рисунок 5.6 – Вікно текстового редактора

5.1.6 Waveform Editor

Waveform Editor – редактор часових діаграм (рисунок 5.7) виконує функцію введення вхідного вектора у вигляді діаграм (епюр) станів входів та формування на основі компіляції і функціонального моделювання логіко-часових діаграм виходів. Цей редактор являється досить важливим та зручним інструментом при проектуванні пристроїв. Він дає змогу проаналізувати роботу розроблюваного пристрою у всіх його точках (тут мається на увазі в будь-який момент часу на будь-якій ділянці). Для цього

потрібно ввести вихідну змінну, заданою певною функцією, яка б вказувала на певну точку вихідної функції, а також дозволяє переглянути сигнал у довільній проміжній точці. Потім, сформувавши відповідні вхідні тестові сигнали, можна у досить зручний спосіб переглянути результат досліду.

Основним етапом проектування являється визначення часових затримок та тривалості сигналів, що дає змогу визначити можливу непрацездатність спроектованого пристрою, ділянки невірної функціонування в силу затримок на логічних елементах.

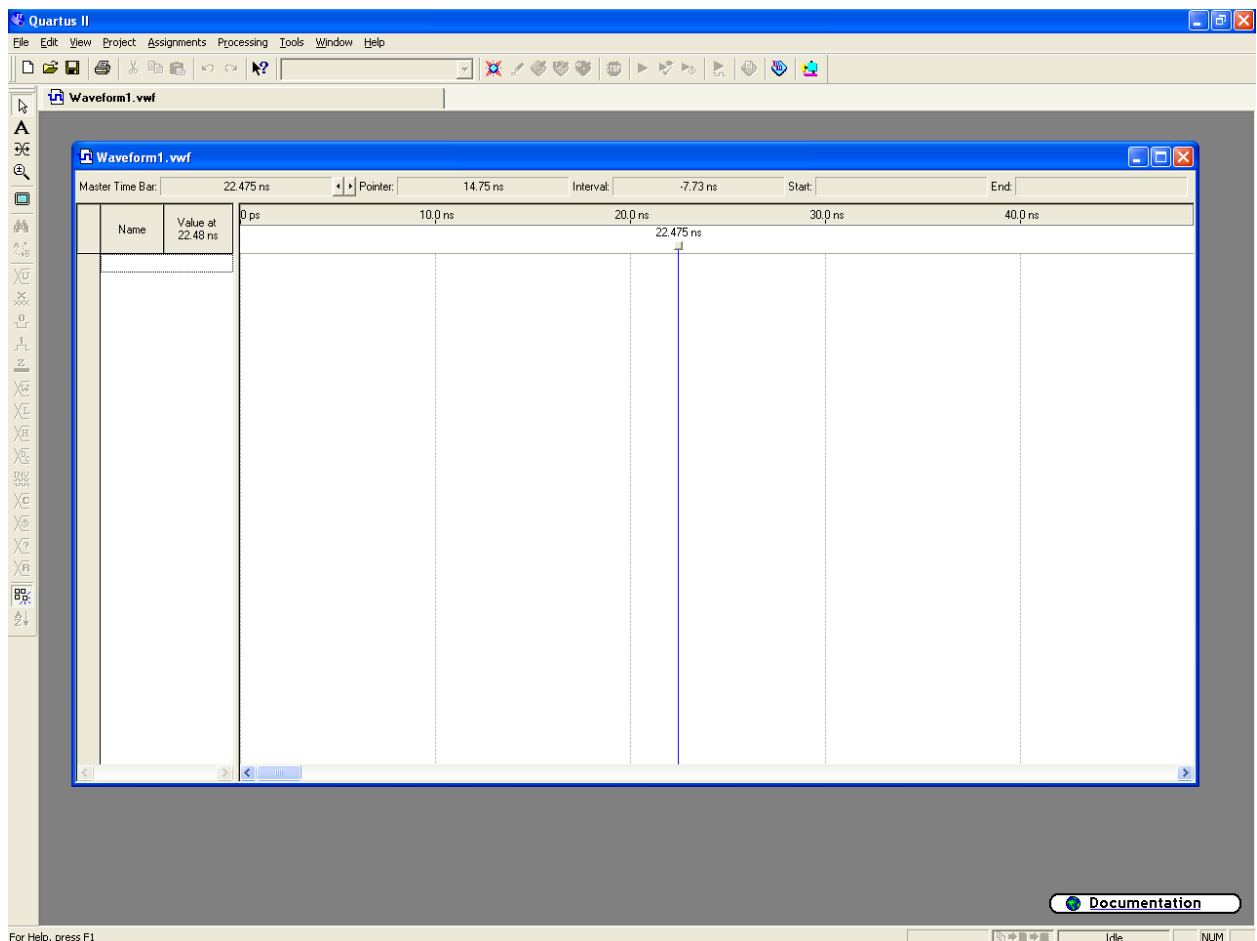


Рисунок 5.7 – Вікно редактора часових діаграм

Вікно редактора має два поля, розділені вертикальною лінією. Перше поле ліворуч складається з двох частин: Name – призначене для введення імені вузла, Value – показані стани виводів, що відповідають положенню спеціальної вертикальної візирної лінії, що при відкритті вікна встановлена в

початок горизонтальної осі, розміщеної в одиницях часу. Друге поле призначене для задання необхідних станів входів, при цьому використовується панель інструментів редактора, що розташована вертикально вздовж лівої сторони вікна.

5.1.7 Compiler

Compiler – підпрограма, що входить до пакету компілятора і призначена для перевірки коректності проекту і локалізації помилок, формування файлів програмування або конфігурування ПЛІС. Після запуску редактора з'являється вікно редактора (рисунок 5.8).

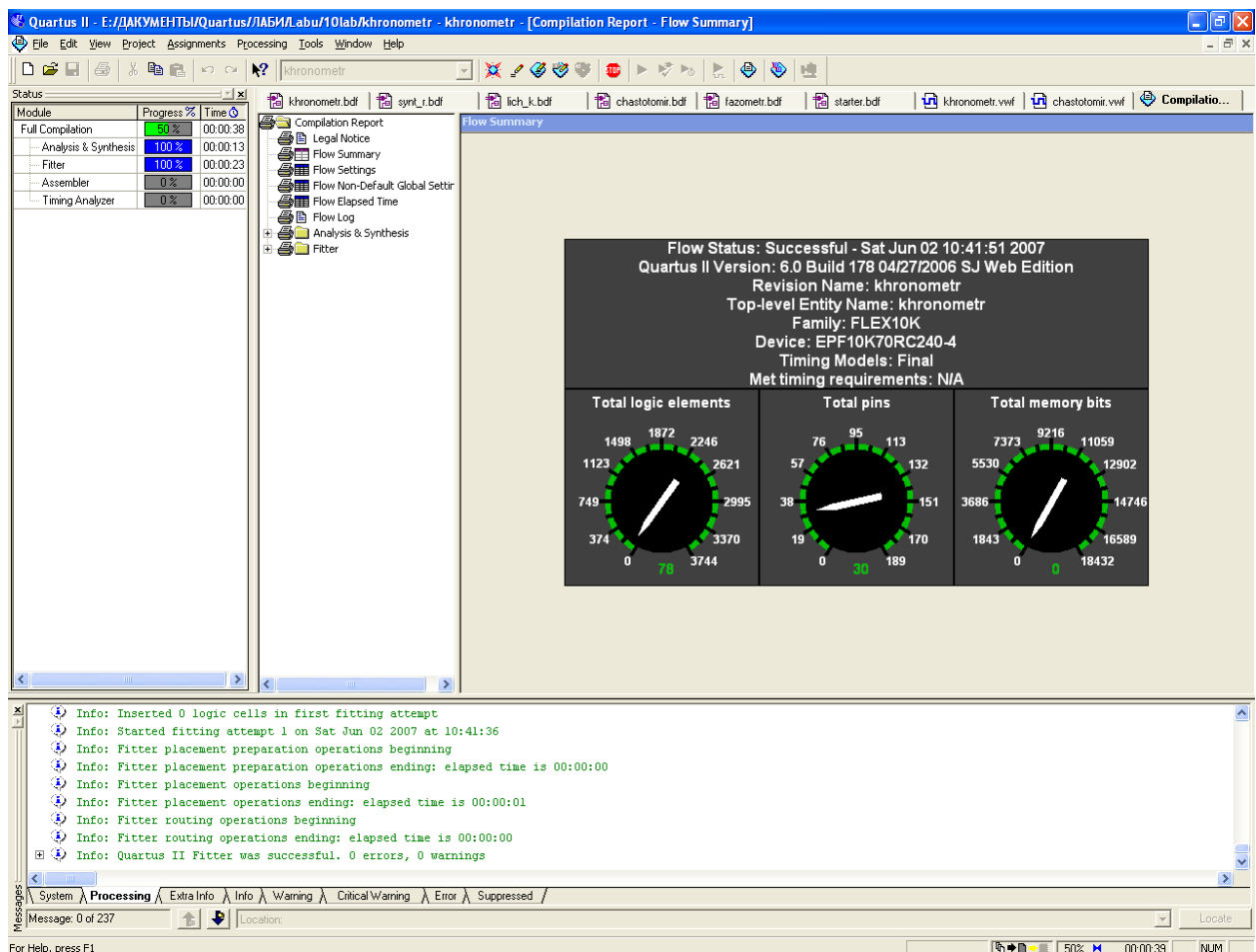


Рисунок 5.8 – Вікно редактора компіляції

5.1.8 Simulator

Simulator – підпрограма, що разом з редактором часових діаграм призначена для функціонального моделювання проекту з метою перевірки правильності логіки його функціонування. Вікно запуску процесу моделювання зображене на рисунку 5.9.

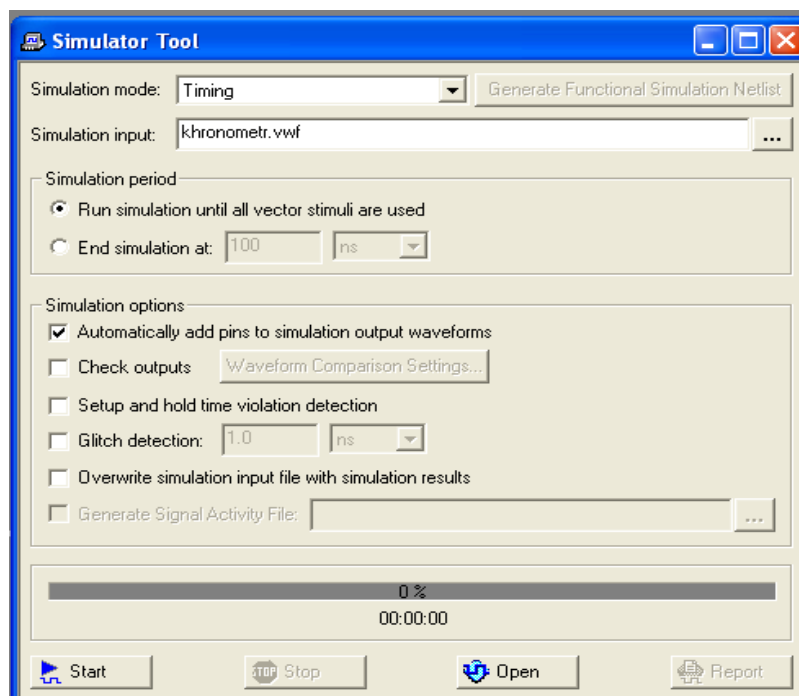


Рисунок 5.9 – Вікно запуску процесу моделювання

5.2 Моделювання функціональних блоків цифрового фазометра в програмному пакеті Quartus II

5.2.1 Формувач стробуючого імпульсу ΔT

Формувач стробуючого імпульсу ΔT реалізовано в Quartus II за допомогою графічного редактора. Електрична схема наведена на рисунку 5.10.

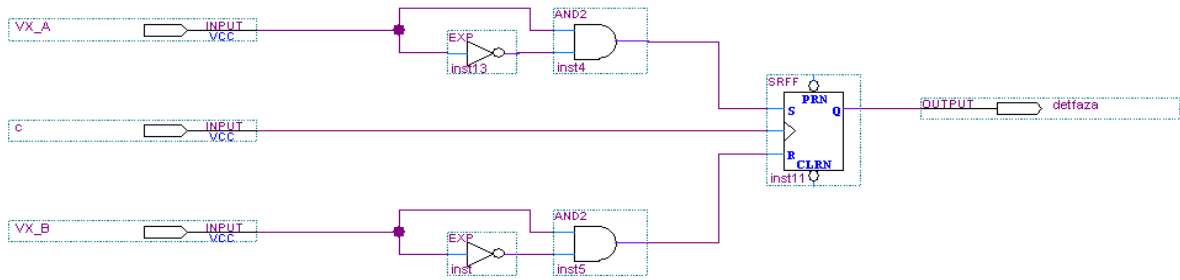


Рисунок 5.10 – Електрична схема формувача стробуючого імпульсу ΔT

Наведемо пояснення до схеми. На входні контакти VX_A та VX_B подаються сигнали з виходу вхідного блоку, а на вхід С подаються синхроімпульси (ті ж квантуючі імпульси, що подаються на лічильник для p та N). Елементи EXP та AND2 детектують початок фронту для того, щоб не утворювалась заборонена комбінація на входах тригера.

Результат моделювання діаграм представлено на рисунку 5.11.

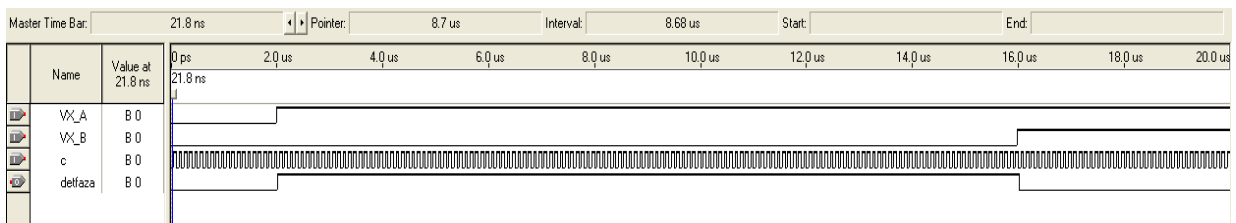


Рисунок 5.11 – Моделювання роботи формувача стробуючого імпульсу ΔT

За допомогою символного редактора дану схему зберігаємо в символ під назвою det_faz. Його вигляд зображено на рисунку 5.12.

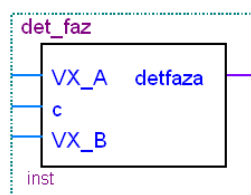


Рисунок 5.12 – Елемент det_faz

5.2.2 Формувач стробуючого імпульсу T

Формувач стробуючого імпульсу T реалізовано в Quartus II за допомогою графічного редактора. Електрична схема наведена на рисунку 5.13.

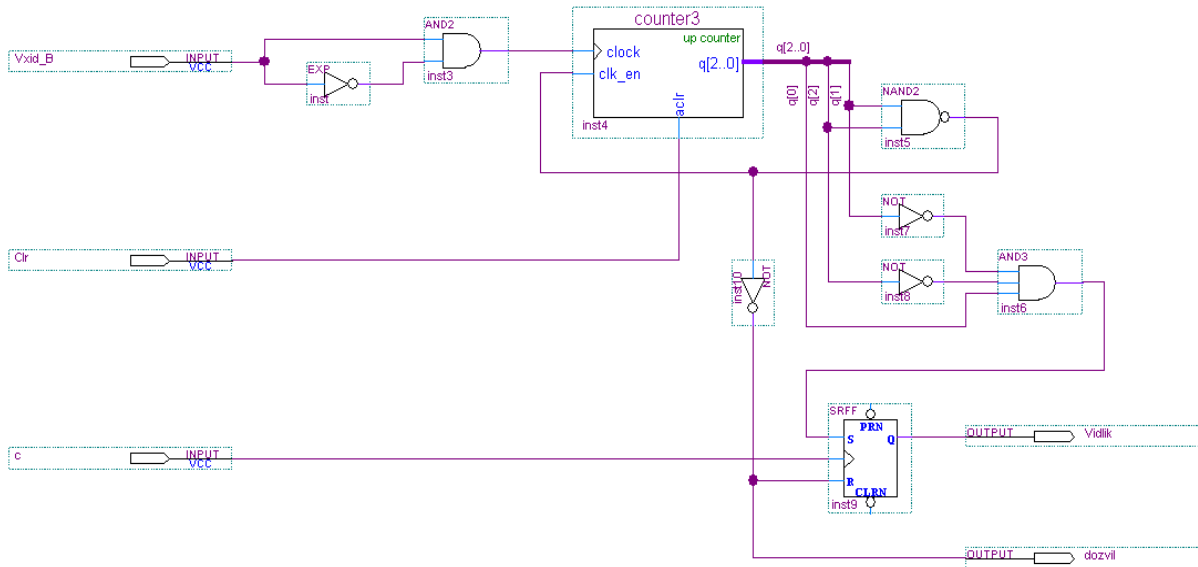


Рисунок 5.13 – Електрична схема формувача стробуючого імпульсу $T*5$

Наведемо пояснення до схеми. На вхідний контакт VX_V подаються сигнали з виходу вхідного блоку, а на вхід С подаються синхроімпульси (ті ж квантуючі імпульси, що подаються на лічильник для n та N). Вхід Clr призначений для скидання лічильника. Вихід dozvil призначений для подавання сигналу закінчення підрахунку.

Результат моделювання діаграм представлено на рисунку 5.14.

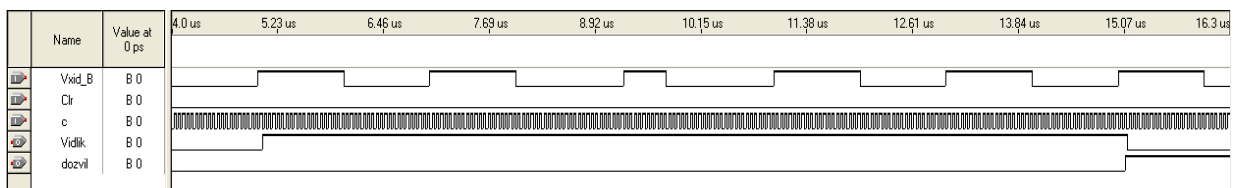


Рисунок 5.14 – Моделювання роботи формувача стробуючого імпульсу $T*5$

Вихід `dozvil` призначений для подавання сигналу закінчення підрахунку. Ще один додатковий лічильник призначений для того, щоб підсумувати п'ять імпульсів ΔT .

Результат моделювання діаграм представлено на рисунку 5.17.

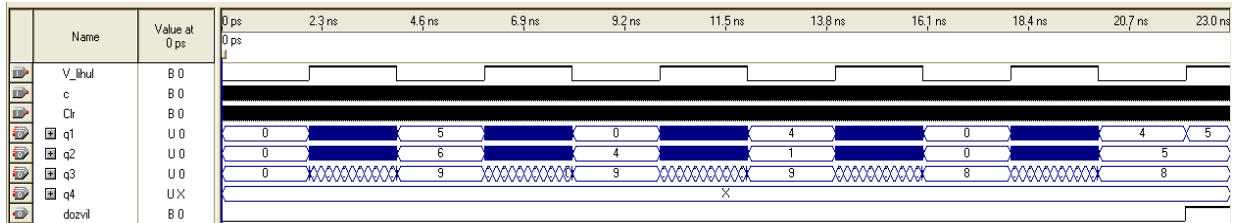


Рисунок 5.17 – Моделювання роботи лічильника

В результаті моделювання видно, що $n = 4855$.

За допомогою символного редактора дану схему зберігаємо в символ під назвою `li4ulnuk_10`. Його вигляд зображено на рисунку 5.18.

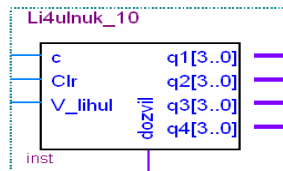


Рисунок 5.18 – Елемент `li4ulnuk_10`

5.2.4 Лічильник для підрахунку N

Лічильник для підрахунку реалізуємо за допомогою чотирьох декадних лічильників. Електрична схема наведена на рисунку 5.19.

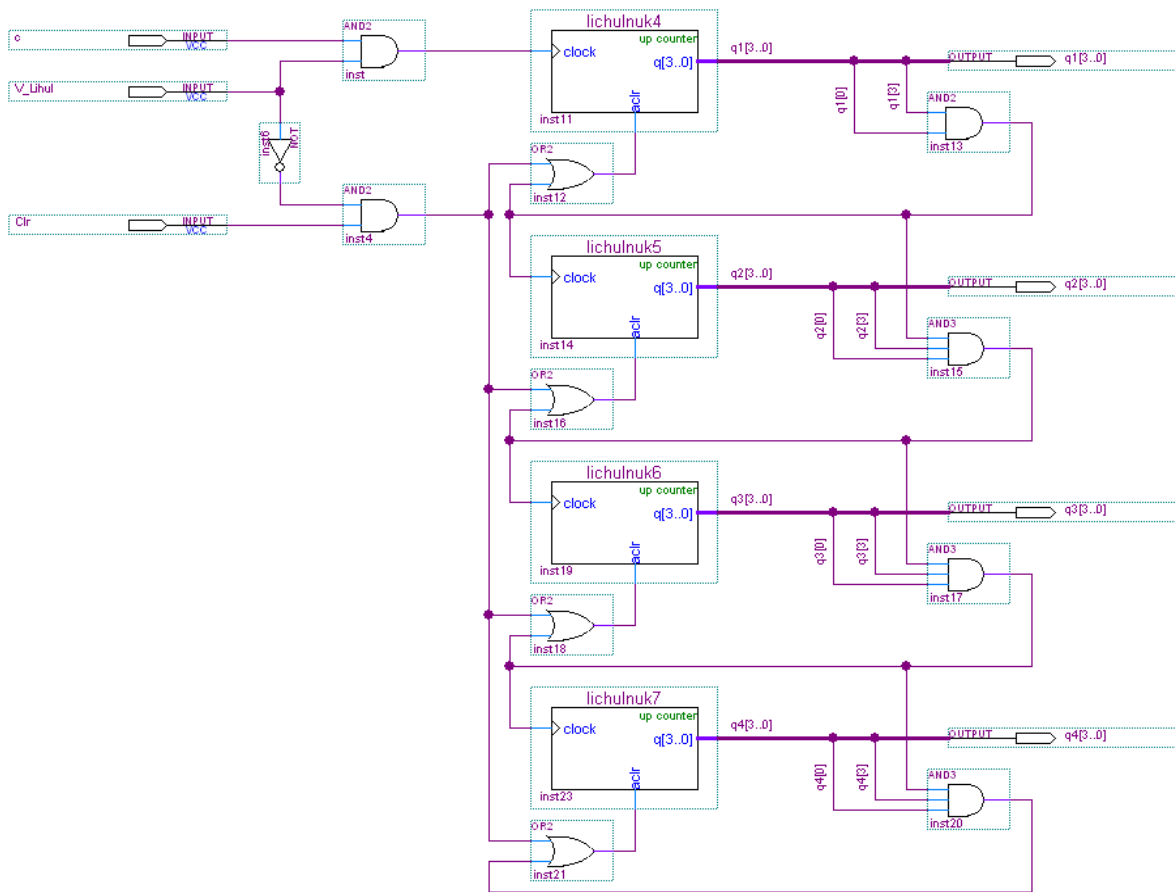


Рисунок 5.19 – Електрична схема лічильника для підрахунку N

Наведемо пояснення до схеми. На вхідний контакт V_Lihul подаються сигнали з виходу формувача стробуючих імпульсів T, а на вхід C подаються синхроімпульси. Вхід Clr призначений для скидання лічильників. Вихід dozvil призначений для подавання сигналу закінчення підрахунку. Ще один додатковий лічильник призначений для того, щоб підсумувати п'ять імпульсів ΔT .

Результат моделювання діаграм представлено на рисунку 5.20.

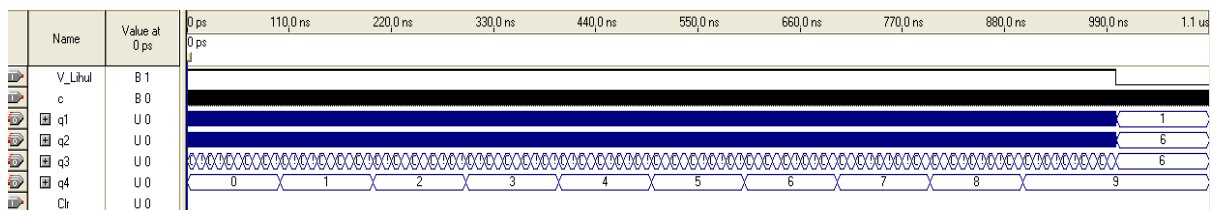


Рисунок 5.20 – Моделювання роботи лічильника

В результаті моделювання видно, що $N = 9661$.

За допомогою символного редактора дану схему зберігаємо в символ під назвою `li4ulnuk_10_2`. Його вигляд зображено на рисунку 5.21.

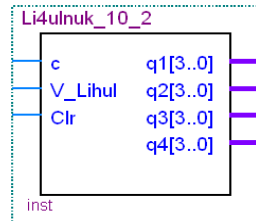


Рисунок 5.21 – Елемент `li4ulnuk_10_2`

5.2.5 Математична частина

Завданням даної математичної частини є помноження даних елемента `li4ulnuk_10` на 360 і ділення цього результату на значення, отримані з елемента `li4ulnuk_10_2`. Електрична схема наведена на рисунку 5.22.

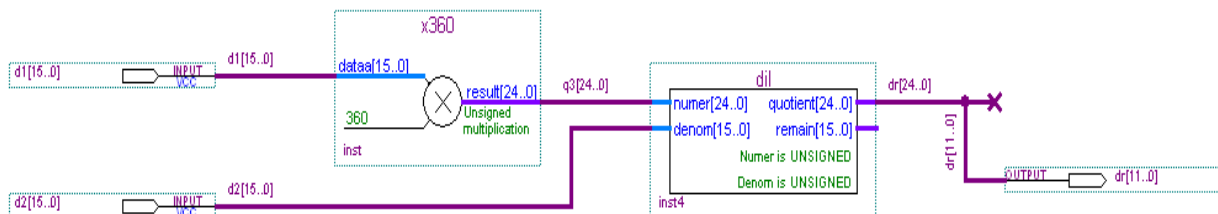


Рисунок 5.22 – Електрична схема математичної частини

Наведемо пояснення до схеми. На вхідний контакт `d1[15...0]` подаються дані з лічильника `li4ulnuk_10`, на контакт `d2[15...0]` подаються дані з лічильника `li4ulnuk_10_2`, на виході `dr[11...0]` формується значення шуканого зсуву фаз.

За допомогою символного редактора дану схему зберігаємо в символ під назвою `matem_hast`. Його вигляд зображено на рисунку 5.23.

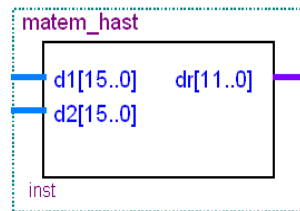


Рисунок 5.23 – Елемент matem_hast

5.2.6 Семисегментний перетворювач

Завданням семисегментного перетворювача є перетворення двійкового коду в код, призначений для семисегментного індикатора. Електрична схема наведена на рисунку 5.24.

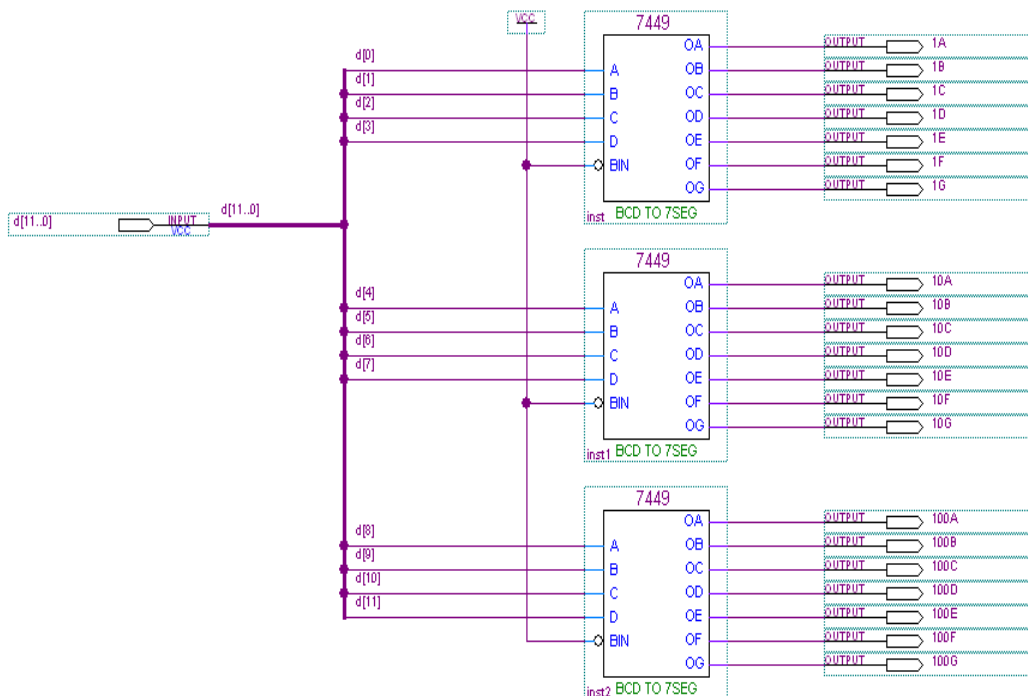


Рисунок 5.24 – Електрична схема семисегментного перетворювача

Наведемо пояснення до схеми. На вхідний контакт $d[11\dots0]$ подаються дані з лічильника matem_hast, а на вихідних контактах формується семисегментний код, формується значення шуканого зсуву фаз.

Результат моделювання діаграм представлено на рисунку 5.25.

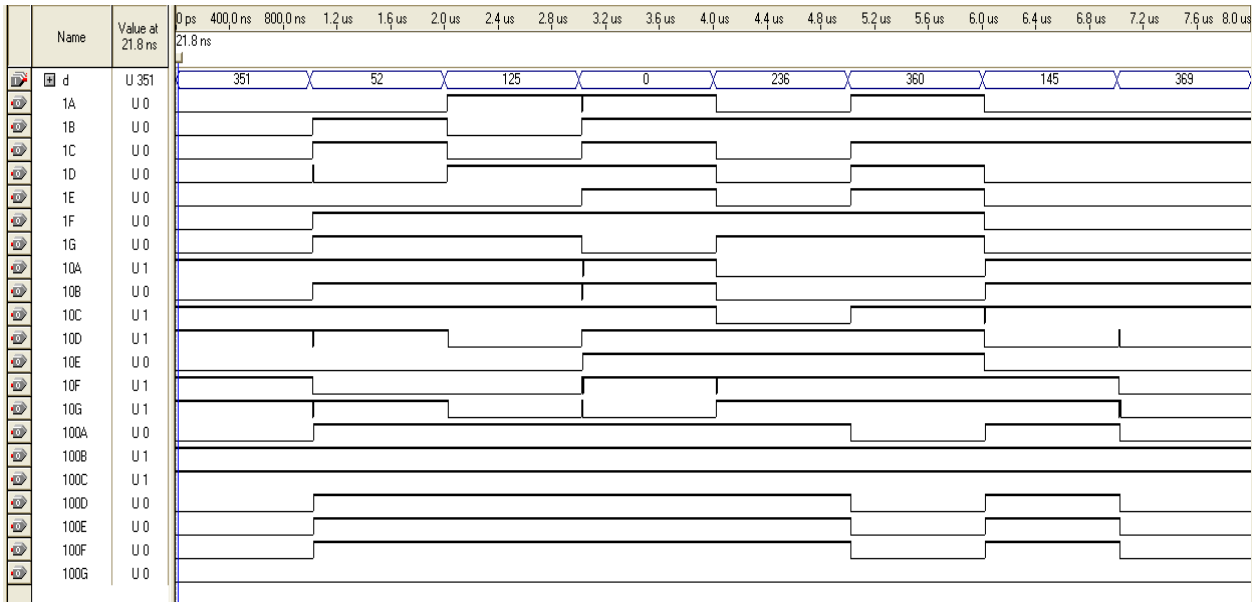


Рисунок 5.25 – Моделювання роботи семисегментного перетворювача

За допомогою символного редактора дану схему зберігаємо в символ під назвою `7_seg_m_peretv`. Його вигляд зображено на рисунку 5.26.

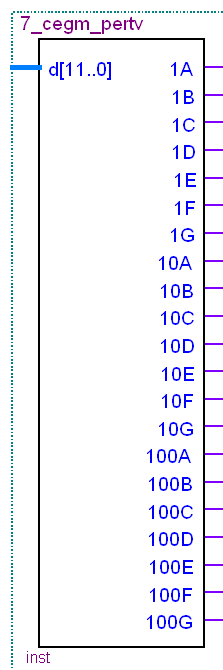


Рисунок 5.26 – Елемент `7_seg_m_peretv`

6 ОЦІНЮВАННЯ ПОХИБОК ТА РОЗРАХУНОК НАДІЙНОСТІ І ЕФЕКТИВНОСТІ ЦИФРОВОГО ФАЗОМЕТРА

6.1 Експериментальна оцінка похибки цифрових фазометрів

Висока роздільна здатність і мала кількість джерел похибок в цифрових фазометрах забезпечують потенційну можливість досягнення високої точності вимірювання. Є припущення, що похибка вимірювання цифрових фазометрів може бути зведена до величини не менше $0,01^0$. Відповідно, можна очікувати появу цифрових фазометрів, що перевищують по своїй точності існуючу сьогодні фазовимірювальну апаратуру. В цьому випадку широко використовувані в вимірювальній техніці методи визначення похибок шляхом порівняння показів зразкового і перевіряючого пристроїв можуть виявитись неприйнятними. Разом з тим розробка, виготовлення і експлуатація цифрових фазометрів, що є як самостійними пристроями, так і такими, що входять до складу інших вимірювальних пристроїв і систем, неможлива без забезпечення визначення їх похибки. [3]

В зв'язку з цим представляють значний інтерес методи визначення похибок фазометрів, що не потребують застосування зразкової апаратури, оснований на застосуванні принципу „самоперевірки”.

В тих випадках, коли необхідно оцінити похибку фазометра на ряду точок шкали, доцільно використовувати спосіб „рівних відрізків”, оснований на практичній ідентичності значень 0^0 і 360^0 . На рисунку 6.1 приведена структурна схема, що ілюструє цей спосіб. Напряга від генератора поступає на випробуваний фазометр через кругові некалібровані фазообертачі. Повірка проводиться на точках 0^0 і $360^0/n$. На початку перевірки один із фазообертачів встановлюють на 0^0 , а за допомогою другого фазообертача досягають нульового відліку випробуваного фазометра.

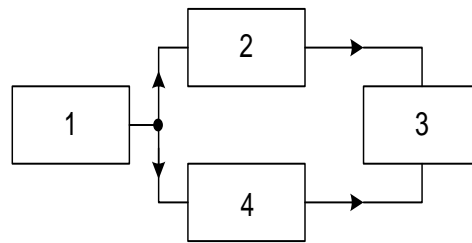


Рисунок 6.1 – Структурна схема повірки цифрового фазометра методом „рівних відрізків”

- 1 – генератор;
- 2, 4 – кругові фазообертачі;
- 3 – повіряючий фазометр.

Для того, щоб визначити похибку фазометра на точці, що відповідає значенню фазового зсуву $\varphi_1 = 360^\circ / n$, за допомогою першого фазообертача створюють зсув фази, що забезпечує відлік по шкалі фазометра, рівний φ_1 . Далі обертанням другого фазообертача повертають покази приладу на 0° . Після цього за допомогою першого фазообертача встановлюють по фазометру покази, що відповідають φ_1 і за допомогою другого фазообертача встановлюють покази, що відповідають 0° . Такий процес повторюється $n-1$ раз. Останній раз перший фазообертач встановлюють на нульову відмітку шкали і відраховують покази фазометра φ_1' . Похибка вимірювання фазометром кута $360^\circ / n$ може бути при цьому визначена по формулі

$$\Delta\varphi_1 = (\varphi_1 - \varphi_1') / n.$$

Похибка повірки розглянутим методом визначається похибкою установки нульових і відлікових значень фазових зсувів по повіряю чому фазометру. Сумарна випадкова похибка повірки σ_{np} може бути визначена по формулі

$$\sigma_{np} = \sigma_0 \sqrt{n} + \sigma_\varphi \sqrt{n-1},$$

де σ_0 - середньоквадратична похибка установки нульового значення фазометра;

σ_φ - середньоквадратична похибка установки значення φ .

По даних авторів методом „рівних відрізків” можна виявити похибки фазометрів, починаючи з $0,1^0$.

Незручністю розглянутого методу є необхідність багатократного проведення вимірювань.

В тих випадках, коли систематична похибка фазометра не залежить від величини вимірюваного фазового зсуву, процедура повірки фазометра може бути суттєво скорочена, так як похибка пристрою може бути визначена в будь-якій точці шкали. Величина випадкової похибки при необхідності визначається шляхом багаторазових вимірювань з наступною обробкою результатів.

Процедура визначення похибки може бути зведена до мінімуму в тому випадку, коли повірка здійснюється в точці 180^0 . При цьому для здійснення повірки достатньо мати генератор з симетричним виходом відносно корпусу.

Припустимо, що цифровий фазометр має похибку $\Delta\varphi$ на даних частотах і при даному співвідношенні вхідних сигналів. В цьому випадку покази пристрою будуть відповідати величині

$$\varphi_{\text{вим}} = \varphi + \Delta\varphi.$$

Вихідні напруги вимірювального генератора зсунуті по фазі один відносно одного на кут

$$\varphi_{\Gamma} = 180^0 + \Delta\varphi_{\Gamma},$$

де $\Delta\varphi_{\Gamma}$ - фазова похибка вихідних напруг вимірювального генератора.

При визначенні похибки фазометра способом самоперевірки проводиться двократне вимірювання фазового зсуву між вихідними

напругами генератора, причому при другому вимірюванні виходи генератора комутуються.

Результат першого вимірювання

$$\varphi_{\text{вим1}} = \varphi_{\Gamma1} + \Delta\varphi = 180^0 + \Delta\varphi_{\Gamma} + \Delta\varphi .$$

Результат другого вимірювання

$$\varphi_{\text{вим2}} = \varphi_{\Gamma2} + \Delta\varphi = 180^0 - \Delta\varphi_{\Gamma} + \Delta\varphi .$$

Похибка фазометра може бути визначена по середньому арифметичному результатів двох вимірювань

$$\Delta\varphi = (\varphi_{\text{вим1}} + \varphi_{\text{вим2}}) / 2 - 180^0 .$$

При проведенні вимірювань необхідно враховувати що величина $\Delta\varphi$ включає в себе як систематичну похибку, обумовлену власними фазовими зсувами формуючого пристрою, так і випадкову похибку, викликану дискретністю перетворення. При обробці результатів вимірювання необхідно оцінити можливу величину похибки дискретного перетворення і при необхідності провести багаторазові виміри чи застосувати інші міри для зниження її впливу.

При експериментальній оцінці необхідно також оцінити похибку, обумовлену зв'язком між каналами формуючого пристрою. [3]

6.2 Похибка квантування часових інтервалів в цифрових фазометрах

При перетворенні часових інтервалів в цифровий код, як і при будь-якому іншому перетворенні аналогової величини в цифрову, виникають похибки, зв'язані з квантуванням аналогової величини по рівню. Процеси квантування часових інтервалів і інших аналогових величин мають багато спільного. Але в цей же час процеси квантування часових інтервалів в

цифрових фазометрах відрізняються рядом специфічних особливостей, які в основному зводяться до того, що квантування часових інтервалів і цифрових фазометрах носить багатократний, звичайно періодичний чи квазіперіодичний характер. Є і інші особливості, які частково зв'язані з появою флуктуацій часових інтервалів. В зв'язку з цим виникла необхідність розробки теорії квантування часових інтервалів, що враховує особливості процесів в цифрових фазометрах.

При дослідженні процесів квантування часових інтервалів в загальному випадку необхідно враховувати флуктуації їх фронтів. На рисунку 6.2 приведена модель перетворювача ФС в часові інтервали, що враховує крім вимірюваних сигналів $s_{1,2}(t)$ дію флуктуацій $\xi_{1,2}(t)$ на формувачі (Φ_1 і Φ_2) моментів початку t_{ni} і кінця t_{ki} часового інтервалу, обумовлених дестабілізуючими факторами і шумами. Дестабілізуючі фактори, зв'язані з відхиленням впливаючих величин (температури навколишнього середовища, напруги мережі і т.д.) від номінальних значень, призводять до повільних змін часових інтервалів.

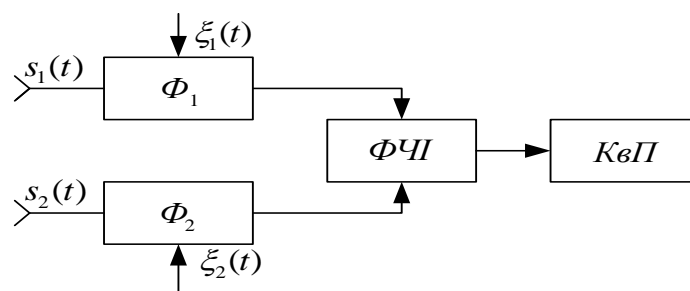


Рисунок 6.2 – (ФЧІ – формувач часових інтервалів; КвП – квантуючих пристрій)

При дослідженні сумарної похибки перетворення часових інтервалів в код важливе місце займає вивчення впливу швидких флуктуацій моментів початку і кінця часових інтервалів, які викликаються як природними шумами, що вимірюються в складі вимірювальних сигналів і виникаючими в

трактах цифрового фазометра, так і штучними. Найбільш інтенсивним джерелом природних шумів є формуючі тракти цифрового фазометра. Як показали дослідження, флуктуації часових інтервалів, що виникають в формуючих трактах фазометра, залежать від використовуваної елементної бази, діапазону частот, смуги пропускання формуючих трактів і знаходяться в межах від десятків пікосекунд до одиниць і десятків наносекунд і більше.

В трактах діапазонних цифрових фазометрів звичайно виникають широкосмугові шуми, які призводять до некорельованих флуктуацій початку і кінця часового інтервалу. Особливе місце в теорії похибки квантування займає випадок штучного зашумлення, коли тим чи іншим шляхом забезпечуються некорельовані флуктуації початку і кінця часового інтервалу. Це може бути здійснено, наприклад, за допомогою елемента із випадково регульованою затримкою. Найбільший практичний інтерес представляє випадок жорсткої кореляції флуктуації початку і кінця часового інтервалу.

Розглянемо особливості побудови квантувача часового інтервалу, спрощена схема якого показана на рисунку 6.3. Квантуючий пристрій може працювати в режимі квантування одиночних часових інтервалів (без усереднення) чи багатократного квантування (з усередненням). В першому режимі часозадаючий пристрій формує імпульс, що дозволяє квантування одного часового інтервалу, в другому – квантування часових інтервалів.

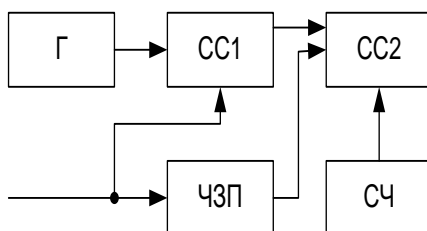


Рисунок 6.3 – Спрощена схема квантувача часових інтервалів

В цифрових фазометрах практично виключається можливість синхронізації імпульсів квантування і квантуючих часових інтервалів. Тому при дослідженні похибки квантування основна увага приділяється випадку

несинхронізованого квантування. При цьому припускається, що початок першого часового інтервалу відносно послідовності квантуючих імпульсів має випадковий характер з рівномірною густиною ймовірностей в інтервалі $0 \dots t_0$ (t_0 - період проходження квантуючих імпульсів).

При дослідженні процесів квантування розглядаються сумарні похибки як при фіксованій (відомій), так і апріорно невідомій протяжності t_φ часового інтервалу. В другому випадку припускаємо, що протяжність часового інтервалу випадкова і його дробова частина, тобто залишок різниці $t_\varphi - nt_0$, де $n = [t_\varphi / t_0]$ - ціла частина відношення t_φ / t_0 , має рівномірну густину ймовірностей в інтервалі $0 \dots t_0$. Це припущення справедливе при звичайно виконуваний на практиці умові $t_\varphi \gg t_0$.

При розробці цифрових фазометрів з підвищеною точністю виникає проблема зменшення похибки квантування. В залежності від шляхів технічного виконання застосовуються наступні методи зменшення похибки: з використанням флуктуацій часових інтервалів; з використанням модуляції частоти квантуючих імпульсів; з регулюванням протяжності часових інтервалів; оптимального квантування; з підвищенням ефективної частоти квантування; з використанням двох і більше частот квантування.

6.3 Розрахунок надійності та ефективності цифрового фазометра

Під надійністю об'єкта, відповідно до ГОСТ 27.002-83, розуміють властивість об'єкта зберігати в часі у встановлених межах значення всіх параметрів, які характеризують здатність об'єкта виконувати потрібні функції в заданих режимах і умовах застосування, технічного обслуговування, ремонтів, зберігання і транспортування.

Надійність пристрою характеризується:

- інтенсивністю відмов пристрою;
- імовірністю безвідмовної роботи;

- середнім часом безвідмовної роботи.

Для спрощення розрахунків припускаємо, що:

- потік відмов є найпростішим;
- відмова будь-якого елемента призводить до відмови приладу в цілому;

- всі елементи одного і того ж типу рівно надійні.

Вихідними даними для розрахунку є:

- типи та кількість елементів у приладі;
- коефіцієнти середньостатистичної інтенсивності відмов радіоелементів. [17]

Розрахунок середньої інтенсивності відмов приладу проводиться по наступній формулі

$$\lambda = (1 - K_1 \cdot K_2) \cdot \sum_{i=1}^N d_i n_i \lambda_i, \quad (6.1)$$

де K_2 - коефіцієнт виробничо-експлуатаційного запасу по похибці електронно-вимірювального приладу;

d_i - коефіцієнт зміни інтенсивності відмов при зміні режиму роботи ($d_i = 0,5$ - дискретний режим роботи, $d_i = 1$ - неперервний режим роботи);

λ - середня сумарна інтенсивність відмов приладу;

λ_i - середня інтенсивність відмов елементів i -го типу з врахуванням експлуатаційних коефіцієнтів;

n - кількість елементів i -го типу. [17]

Для цифрового фазометра $1 - K_1 \cdot K_2 = 0,092$.

Для мікросхеми добуток $d_i n_i \lambda_i$ становить $0,4 \cdot 10^{-6}$.

Враховуючи ці дані отримаємо, що середня інтенсивність відмов приладу становить:

$$\lambda = 0,092 \cdot \sum_{i=1}^n d_i n_i \lambda_i = 30,1 \cdot 10^{-6} \text{ (1/Год)}.$$

Відповідно до вимог технічного завдання середній час безвідмовної роботи приладу повинен бути не менше 25000 год.

Для визначення імовірності безвідмовної роботи пристрою на протязі 25000 год. скористаємось формулою

$$P(t) = e^{-\lambda t}, \quad (6.2)$$

$$P(25000) = e^{-30,1 \cdot 10^{-6} \cdot 25000} = 0,992.$$

Середній час безвідмовної роботи визначається по формулі

$$T_{cp} = \int_0^{\infty} P(t) dt = \frac{1}{\lambda}, \quad (6.3)$$

$$T_{cp} = \frac{1}{30,1 \cdot 10^{-6}} = 3322 \text{ (год)}.$$

Приведена оцінка задовольняє вимогам ТЗ.

7 ЕКОНОМІЧНА ЧАСТИНА

7.1 Аналіз комерційного потенціалу розробки (технологічний аудит розробки) вимірювача фази на FPGA

7.1.1 Визначення рівня комерційного потенціалу розробки вимірювача фази на FPGA

Метою проведення технологічного аудиту є оцінювання комерційного потенціалу розробки вимірювача фази на FPGA, створеної в результаті науково-технічної діяльності. В результаті оцінювання можна буде зробити висновок щодо напрямів (особливостей) організації подальшого її впровадження з врахуванням встановленого рейтингу.

Таблиця 7.1 - Результати оцінювання комерційного успіху розробки вимірювача фази на FPGA

Критерії	Експерти		
	Воловик А.Ю.	Коваль К.О.	Барабан С.В.
	Бали, виставлені експертами		
1	1	2	3
2	2	2	3
3	3	2	3
4	4	3	4
5	1	4	3
6	2	2	3
7	3	3	4
8	2	4	3
9	1	3	3
10	3	2	3
11	4	3	3
12	1	3	2
Сума балів	27	33	37
Середньоарифметична сума балів, СБ	32		

Для проведення технологічного аудиту залучимо 3-х незалежних експертів. У нашому випадку такими експертами будуть керівник магістерської роботи та провідні викладачі випускової та споріднених кафедр.

Оцінювання комерційного потенціалу розробки вимірювача фази на FPGA будемо здійснювати за 12-ю критеріями згідно рекомендацій [18].

Результати оцінювання комерційного потенціалу розробки вимірювача фази на FPGA заносимо до таблиці 7.1.

За даними таблиці 7.1 робимо висновок щодо рівня комерційного потенціалу розробки вимірювача фази на FPGA. При цьому користуємося рекомендаціями, наведеними в таблиці 7.2.

Таблиця 7.2 – Рівні комерційного потенціалу розробки

Середньоарифметична сума балів, розрахована на основі висновків експертів	Рівень комерційного потенціалу розробки
0 – 10	Низький
11 – 20	Нижче середнього
21 – 30	Середній
31 – 40	Вище середнього
41 – 50	Високий

Таким чином, робимо висновок, щодо рівня комерційного потенціалу нашої розробки вимірювача фази на FPGA – середній.

7.1.2 Визначення рівня якості розробки вимірювача фази на FPGA

Оцінювання рівня якості розробки вимірювача фази на FPGA проводиться з метою порівняльного аналізу і визначення найбільш ефективного, з технічної точки зору, варіанта інженерного рішення.

Рівень якості – це кількісна характеристика міри придатності певного виду продукції для задоволення конкретного попиту на неї при порівнянні з відповідними базовими показниками за фіксованих умов споживання.

Абсолютний рівень якості розробки вимірювача фази на FPGA знаходимо обчисленням вибраних для її вимірювання показників, не порівнюючи їх із відповідними показниками аналогічних виробів. Для цього необхідно визначити зміст основних функцій, які повинні реалізовувати розробка, вимоги замовника до неї, а також умови, які характеризують експлуатацію, визначають основні параметри, які будуть використані для розрахунку коефіцієнта технічного рівня виробу. Система параметрів, прийнята до розрахунків, повинна достатньо повно характеризувати споживчі властивості інноваційного товару (його призначення, надійність, економічне використання ресурсів, стандартизація тощо) [19].

Далі визначаємо величину параметрів якості в балах та встановлюємо граничні його значення (кращі, гірші, середні). Всі ці дані для кожного параметра заносимо в табл. 7.3.

Таблиця 7.3 – Основні параметри вимірювача фази на FPGA

Параметри	Абсолютне значення параметра			Коефіцієнт вагомості параметра
	Краще +5...+4	Середнє +3	Гірше +1...+2	
Діапазон вимірювань	4			0,4
Клас точності	4			0,4
Габарити		3		0,1
Вага		3		0,1

Із врахуванням коефіцієнтів вагомості відповідних параметрів можна визначити абсолютний рівень якості інноваційного рішення за формулою:

$$K_{\text{я.а.}} = \sum_{i=1}^n P_{\text{ні}} \cdot a_i, \quad (7.1)$$

де $P_{\text{ні}}$ – числове значення i -го параметра інноваційного рішення, n – кількість параметрів інноваційного рішення, що прийняті для оцінювання, a_i – коефіцієнт вагомості відповідного параметра (сума коефіцієнтів вагомості всіх параметрів повинна дорівнювати 1).

Отже, абсолютний рівень якості вимірювача фази на FPGA становитиме – 3,8 бали.

Одночасно визначаємо відносний рівень якості вимірювача фази на FPGA, що виробляється (проекується), порівнюючи її показники з абсолютними показниками якості найліпших вітчизняних та зарубіжних аналогів (товарів-конкурентів) (табл. 7.4).

Таблиця 7.4 – Основні параметри вимірювача фази на FPGA та товару-конкурента

Параметри	Варіанти		Відносний показник якості	Коефіцієнт вагомості параметра
	Базовий (конкурент)	Новий		
Діапазон вимірювань	10-5000	0,06-10000	2	0,4
Клас точності	1,5	2	1,3	0,4
Габарити	180x100x30	96 x 96 x 95	1,62	0,3
Вага	0,8	0,4	2	0,3

Відносний рівень якості вимірювача фази на FPGA визначаємо за формулою:

$$K_{\text{я.в.}} = \sum_{i=1}^n q_i \cdot a_i, \quad (7.2)$$

За розрахунками відносний рівень якості вимірювача фази на FPGA становитиме – 2,41. Це означає, що наша розробка краща за якістю на 141% від товару-аналога [20].

7.1.3 Визначення конкурентоспроможності розробки вимірювача фази на FPGA

Таблиця 7.5 – Нормативні, технічні та економічні параметри вимірювача фази на FPGA і товару-конкурента

Параметри	Варіанти		Відносний показник якості	Коефіцієнт вагомості параметра
	Базовий (конкурент)	Новий		
Діапазон вимірювань	10-5000	0,06-10000	2	0,4
Клас точності	1,5	2	1,3	0,4
Габарити	180x100x30	96 x 96 x 95	1,62	0,3
Вага	0,8	0,4	2	0,3
Ціна за продукт, тис. грн.	1203	1000	0,83	-

У найширшому розумінні конкурентоспроможність товару – це можливість його успішного продажу на певному ринку і в певний проміжок часу. Водночас конкурентоспроможною можна вважати лише однорідну продукцію з технічними параметрами і техніко-економічними показниками, що ідентичні аналогічним показникам уже проданого товару. Для того, щоб

високоякісний товар був одночасно і конкурентоспроможним, він має відповідати критеріям оцінювання споживачів конкретного ринку в конкретний час.

Дані для розрахунку загального показника конкурентоспроможності розробки необхідно занести до таблиці 7.5.

Загальний показник конкурентоспроможності розробки (К) з урахуванням вищезазначених груп показників визначаємо за формулою:

$$K = \frac{I_{т.п.}}{I_{е.п.}} = \frac{2,41}{0,83} = 2,9, \quad (7.3)$$

де $I_{т.п.}$ – індекс технічних параметрів (відносний рівень якості інноваційного рішення); $I_{е.п.}$ – індекс економічних параметрів.

$$I_{е.п.} = \frac{P_{Неі}}{P_{Беі}} = \frac{1000}{1203} = 0,83, \quad (7.4)$$

де $P_{Неі}$, $P_{Беі}$ – економічні параметри (ціна придбання та споживання товару) відповідно нового та базового товарів.

Згідно розрахунків загальний показник конкурентоспроможності – 2,9 . Це означає, що наша розробка вимірювача фази на FPGA більш конкурентна в 3 рази від товару-аналога [21].

7.2 Прогнозування витрат на виконання науково-дослідної, дослідно-конструкторської та конструкторсько-технологічної роботи

7.2.1 Розрахунок витрат, що стосуються виконавців розробки вимірювача фази на FPGA

Основна заробітна плата кожного із розробників (дослідників) Z_0 , якщо вони працюють в наукових установах бюджетної сфери:

$$Z_0 = \frac{M}{T_p} \cdot t, \quad (7.5)$$

де M – місячний посадовий оклад конкретного розробника (інженера, дослідника, науковця тощо), грн.

У 2020 році величини окладів (разом з встановленими доплатами і надбавками) рекомендується брати в межах (5000...10000) грн. за місяць; T_p – число робочих днів в місяці; приблизно $T_p = (21...23)$ дні; t – число робочих днів роботи розробника (дослідника).

Зроблені розрахунки зводимо до таблиці 7.6.

Таблиця 7.6 – Заробітна плата розробників

Посада	Місячний посадовий оклад, грн.	Оплата за робочий день, грн.	Число днів роботи	Витрати на заробітну плату, грн.
Керівник	10000	455	22	10010
Інженер-програміст	7500	341	22	7502
Всього:				17512

Основна заробітна плата робітників Z_p , якщо вони беруть участь у виконанні даного етапу роботи і виконують роботи за робочими професіями у випадку, коли вони працюють в наукових установах бюджетної сфери, розраховується за формулою:

$$Z_p = \sum_{i=1}^n t_i \cdot C_i, \quad (7.6)$$

де t_i – норма часу (трудомісткість) на виконання конкретної роботи, годин; n – число робіт по видах та розрядах; C_i – погодинна тарифна ставка робітника відповідного розряду, який виконує дану роботу. C_i визначається за формулою:

$$C_i = \frac{M \cdot K_i}{T_p \cdot T_{зм}}, \quad (7.7)$$

де Мм – розмір мінімальної заробітної плати за місяць, грн.; в 2020 році мінімальна заробітна плата становить – 4723 грн., Кі – тарифний коефіцієнт робітника відповідного розряду, Тр – число робочих днів в місяці; приблизно Тр = 21...23 дні; Тзм – тривалість зміни, зазвичай Тзм = 8 годин.

Величина чинних тарифних коефіцієнтів робітників відповідних розрядів для бюджетної сфери наведена в таблиці:

Розряд	1	2	3	4	5	6	7	8
Кі	1,00	1,09	1,18	1,27	1,36	1,45	1,54	1,64

Таблиця 7.7 – Заробітна плата робітників

Найменування робіт	Трудомісткість, н-год.	Розряд роботи	Погодинна тарифна ставка	Тариф. коеф.	Величина, грн.
1. Підготовчі роботи	8	3	31,7	1,18	253,6
2. Налагоджування програм	21	3	31,7	1,18	665,7
3. Розробка схем	70	4	34,1	1,27	2387
4. Випробувальні роботи	21	5	36,5	1,36	766,5
Всього					4072,8

Додаткова заробітна плата Зд всіх розробників та робітників, які брали участь у виконанні даного етапу роботи, розраховується як (10...12)% від суми основної заробітної плати всіх розробників та робітників, тобто:

$$Зд = 0,1 \cdot (Зр + Зо) = 0,1 \cdot (17512 + 4072,8) = 2158,5 \text{ грн.} \quad (7.8)$$

Нарахування на заробітну плату Нзп розробників та робітників, які брали участь у виконанні даного етапу роботи, розраховуються за формулою: де Зо – основна заробітна плата розробників, грн.; Зр – основна заробітна плата робітників, грн.; Зд – додаткова заробітна плата всіх розробників та

робітників, грн.; β – ставка єдиного внеску на загальнообов’язкове державне соціальне страхування, % (приймаємо для 1-го класу професійності ризику 22%).

$$\begin{aligned} \text{Нзп} &= 0,22 \cdot (Зр + Зо + Зд) = 0,22 \cdot (17512 + 4072,8 + 2158,5) = \\ &= 5223,5 \text{ грн.} \end{aligned} \quad (7.9)$$

Амортизація обладнання, комп’ютерів та приміщень А, які використовувались під час (чи для) виконання даного етапу роботи.

Дані відрахування розраховують по кожному виду обладнання, приміщенням тощо.

У спрощеному вигляді амортизаційні відрахування А в цілому бути розраховані за формулою:

$$A = \frac{Ц \cdot \text{На}}{100} \cdot \frac{T}{12}$$

де Ц – загальна балансова вартість всього обладнання, комп’ютерів, приміщень тощо, що використовувались для виконання даного етапу роботи, грн.; На – річна норма амортизаційних відрахувань. Для нашого випадку можна прийняти, що На = (10...25)%; Т – термін, використання обладнання, приміщень тощо, місяці.

Таблиця 7.8 - Амортизаційні відрахування

Найменування	Ціна, грн.	Норма амортизації, %	Термін використання, м.	Сума амортизації
1. ПЕОМ	14560	60	1	728
2.Лабораторне приміщення	19000 0	5	1	792
Всього			1520	

Витрати на матеріали М, що були використані під час виконання даного етапу роботи, розраховуються за формулою:

$$M = \sum_1^n \text{Ні} \cdot \text{Ці} \cdot \text{Кі}, \text{ грн}$$

де N_i – кількість матеріалу i -го виду, шт.; C_i – ціна матеріалу i -го виду, грн.; K_i – коефіцієнт транспортних витрат, $K_i = (1,1 \dots 1,15)$; n – кількість видів матеріалів.

Таблиця 7.9 - Матеріали, що використані на розробку

Найменування матеріалу	Ціна за одиницю, грн.	Витрачено	Вартість, грн.
1. Папір А4, упак	100	0,85	85
2. Фарба принтера, шт.(250 мл)	180	0,9	162
Всього, з урахуванням коефіцієнта транспортних витрат		284	

Витрати на комплектуючі K , що були використані під час виконання даного етапу роботи, розраховуються за формулою:

$$K = \sum_1^n N_i \cdot C_i \cdot K_i, \text{ грн}$$

де N_i – кількість комплектуючих i -го виду, шт.; C_i – ціна комплектуючих i -го виду, грн.; K_i – коефіцієнт транспортних витрат, $K_i = (1,1 \dots 1,15)$; n – кількість видів комплектуючих.

Витрати на силову електроенергію Ve , якщо ця стаття має суттєве значення для виконання даного етапу роботи, розраховуються за формулою:

$$Ve = B \cdot P \cdot \Phi \cdot K_p, \text{ грн}$$

B – вартість 1 кВт-год. електроенергії, в 2020 р. $B \approx 1,68$ грн./кВт; P – установлена потужність обладнання, кВт; Φ – фактична кількість годин

роботи обладнання, годин, K_p – коефіцієнт використання потужності; $K_p < 1$.

Таблиця 7.10 - Комплектуючі, що використані на розробку

Найменування матеріалу	Ціна за одиницю, грн.	Витрачено	Вартість, грн.
1. Диски, шт	15	2	30
2. Цифровий індикатор	100	15	1500
3. Програмована мікросхема	10	300	3000
Всього, з урахуванням коефіцієнта транспортних витрат		4060	

Потужність обладнання складає – 0,35 кВт.

Кількість годин роботи складає – 572 годин.

Коефіцієнт викор. потужності -0,9.

$V_e=303$ грн.

Інші витрати V_{in} охоплюють: витрати на управління організацією, оплата службових відряджень, витрати на утримання, ремонт та експлуатацію основних засобів, витрати на опалення, освітлення, водопостачання, охорону праці тощо.

Інші витрати I_v можна прийняти як (100...300)% від суми основної заробітної плати розробників та робітників, які були виконували дану роботу, тобто:

$$I_v = 1 \cdot (Z_o + Z_p) = 1 \cdot (17512 + 4072,8) = 21585 \text{ грн.} \quad (7.10)$$

Сума всіх попередніх статей витрат дає витрати на виконання даної частини (розділу, етапу) роботи – V .

$$V = 56719 \text{ грн.}$$

7.2.2 Розрахунок загальних витрат на розробку вимірювача фази на FPGA

Загальна вартість всієї наукової роботи визначається за Взг формулою:

$$\text{Взг} = \frac{I_B}{\alpha} = \frac{21585}{0,7} = 30836 \text{ грн}, \quad (7.11)$$

де α – частка витрат, які безпосередньо здійснює виконавець даного етапу роботи, у відн. одиницях.

7.2.3 Прогнозування витрат на виконання та впровадження вимірювача фази на FPGA

Прогнозування загальних витрат ЗВ на виконання та впровадження вимірювача фази на FPGA здійснюється за формулою:

$$\text{ЗВ} = \frac{\text{Взг}}{\beta} = \frac{30836}{0,5} = 61672 \text{ грн}, \quad (7.12)$$

де β – коефіцієнт, який характеризує етап (стадію) виконання даної роботи.

Так, якщо розробка знаходиться: на стадії науково-дослідних робіт, то $\beta \approx 0,1$; на стадії технічного проектування, то $\beta \approx 0,2$; на стадії розробки конструкторської документації, то $\beta \approx 0,3$; на стадії розробки технологій, то $\beta \approx 0,4$; на стадії розробки дослідного зразка, то $\beta \approx 0,5$; на стадії розробки промислового зразка, $\beta \approx 0,7$; на стадії впровадження, то $\beta \approx 0,9$.

7.3 Прогнозування комерційних ефектів від реалізації вимірювача фази на FPGA

З метою прогнозування комерційних ефектів від реалізації вимірювача фази на FPGA складемо таблицю вихідних показників, за рахунок яких і відбуватиметься отримання комерційного ефекту [22].

Таблиця 7.11 – Вихідні дані для прогнозування комерційного ефекту від реалізації вимірювача фази на FPGA

Рік реалізації розробки	1	2	3
Кількість од. реалізації, шт.	200	500	540

Величина зростання ціни реалізації вимірювача фази на FPGA, грн. – 203 грн.

Кількість продукції, що випускалась до впровадження вимірювача фази на FPGA – 350 шт.

Збільшення чистого прибутку підприємства Π_i для кожного із років, протягом яких очікується отримання позитивних результатів від впровадження розробки, розраховується за формулою:

$$\Delta \Pi_i = \sum_1^n (\Delta \Pi_0 \cdot N + \Pi_0 \cdot \Delta N) \cdot i \cdot \rho \cdot \gamma \cdot \left(1 - \frac{\nu}{100}\right) \quad (7.13)$$

де $\Delta \Pi_0$ – покращення основного оціночного показника від впровадження результатів розробки у даному році. Зазвичай таким показником може бути ціна одиниці нової розробки; N – основний кількісний показник, який визначає діяльність підприємства у даному році до впровадження результатів наукової розробки; ΔN – покращення основного кількісного показника діяльності підприємства від впровадження результатів розробки; Π_0 – основний оціночний показник, який визначає діяльність підприємства у даному році після впровадження результатів наукової розробки; n – кількість років, протягом яких очікується отримання позитивних результатів від впровадження розробки; λ – коефіцієнт, який враховує сплату податку на додану вартість. У 2020 р. ставка податку на додану вартість дорівнює 20%, а коефіцієнт – 0,8333. З 2020 року ставка податку на додану вартість встановлена на рівні 17%, а коефіцієнт – 0,8547; ρ – коефіцієнт, який враховує

рентабельність продукту. Рекомендується приймати – 0,2...0,3; v – ставка податку на прибуток. У 2020 році – 21%.

Збільшення чистого прибутку підприємства Π_1 протягом першого року складе:

$$\Delta\Pi_1 = 22536 \text{ грн.}$$

Збільшення чистого прибутку підприємства Π_2 протягом другого року (відносно базового року, тобто року до впровадження результатів наукової розробки) складе:

$$\Delta\Pi_2 = 102689 \text{ грн.}$$

Збільшення чистого прибутку підприємства протягом третього року (відносно базового року, тобто року до впровадження результатів наукової розробки) складе:

$$\Delta\Pi_3 = 125470 \text{ грн.}$$

7.4 Розрахунок ефективності вкладених інвестицій та період їх окупності

7.4.1 Визначення абсолютної ефективності вкладених інвестицій у розробку вимірювача фази на FPGA

Для цього користуються формулою:

$$E_{абс} = (ПП - PV), \quad (7.14)$$

де ПП – приведена вартість всіх чистих прибутків, що їх отримає підприємство (організація) від реалізації результатів наукової розробки, грн.; PV – теперішня вартість інвестицій $PV = ZB$, грн.

У свою чергу, приведена вартість всіх чистих прибутків ПП розраховується за формулою:

$$ПП = \sum_1^T \frac{\Delta\Pi_i}{(1+\tau)^t} \quad (7.15)$$

де $\Delta\Pi_i$ – збільшення чистого прибутку у кожному із років, протягом яких виявляються результати виконаної та впровадженої НДДКР, грн.; t – період

часу, протягом якого виявляються результати впровадженої НДДКР, роки; τ – ставка дисконтування, за яку можна взяти щорічний прогнозований рівень інфляції в країні; для України цей показник знаходиться на рівні 0,1; t – період часу (в роках) від моменту отримання чистого прибутку до точки „0”.

$$ПП = 149961 \text{ грн.},$$

$$E_{абс} = 149961 - 61672 = 88289 \text{ грн.}$$

Оскільки $E_{абс} > 0$, то результат від проведення наукових досліджень та їх впровадження принесе прибуток, але це також ще не свідчить про те, що інвестор буде зацікавлений у фінансуванні розробки вимірювача фази на FPGA.

7.4.2 Розрахунок відносної ефективності вкладених коштів в НДДКР вимірювача фази на FPGA

Для цього користуються формулою:

$$E_B = \sqrt[t]{1 + \frac{E_{абс}}{PV}} - 1 \quad (7.16)$$

де $E_{абс}$ – абсолютна ефективність вкладених інвестицій, грн.; PV – теперішня вартість інвестицій $PV = 3B$, грн.; $Tж$ – життєвий цикл наукової розробки, роки.

$$E_B = 0,34$$

Далі, розрахована величина E_B порівнюється з мінімальною (бар'єрною) ставкою дисконтування, що дорівнює:

$$\tau = d + f, \quad (7.17)$$

де d – середньозважена ставка за депозитними операціями в комерційних банках; в 2018 році в Україні $d = (0,14...0,2)$; f – показник, що характеризує ризикованість вкладень; зазвичай, величина $f = (0,05...0,1)$, але може бути і значно більше.

$$E_B = 0,34 \geq \tau = 0,14 + 0,05 = 0,19.$$

Оскільки величина $E_B > t_{\text{мін}}$, то інвестор може бути зацікавлений у фінансуванні даної наукової розробки.

7.4.3 Розрахунок терміну окупності коштів, вкладених в наукову розробку вимірювача фази на FPGA

Термін окупності вкладених у реалізацію наукового проекту інвестицій Ток можна розрахувати за формулою:

$$\text{Ток} = \frac{1}{E_B} = \frac{1}{0,34} = 2,9 \text{ роки.} \quad (7.18)$$

Оскільки $\text{Ток} < 3 \dots 5$ -ти років, то фінансування даної наукової розробки вимірювача фази на FPGA є доцільним.

8 ОХОРОНА ПРАЦІ ТА БЕЗПЕКА В НАДЗВИЧАЙНИХ СИТУАЦІЯХ

У даному розділі наводиться аналіз шкідливих, небезпечних і уражаючих для людини та навколишнього середовища факторів, що утворюються при проведенні розробки вимірювача фази на FPGA. Тут висвітлюються, в тому числі, технічні рішення з гігієни праці та виробничої санітарії, визначення напруги дотику, технічні рішення з промислової та пожежної безпеки при проведенні розробки, безпека в надзвичайних ситуаціях.

Під час розробки даного пристрою на працівників впливають ті чи інші небезпечні та шкідливі виробничі фактори (НШВФ) фізичної та психофізіологічної груп згідно [23].

Фізичні небезпечні і шкідливі виробничі фактори: понижена або підвищена температура повітря робочої зони, підвищений рівень шуму на робочому місці, підвищений рівень статичної електрики, недостатність або відсутність природного освітлення, недостатня освітленість робочої зони, відбита або пряма блискучість, підвищена яскравість світла.

Психофізіологічні НШВФ: нервово-психічні перевантаження: розумове перенапруження, перенапруження аналізаторів, монотонність праці.

8.1 Технічні рішення з гігієни праці та виробничої санітарії

8.1.1 Склад повітря робочої зони та мікроклімат

Визначаємо для приміщення, де проводяться роботи з розробки вимірювача фази на FPGA, категорію важкості робіт за фізичним навантаженням – легка Іб.

Згідно із [24] допустимі показники температури, відносної вологості та швидкості руху повітря в робочій зоні для холодного та теплого періодів року.

Перепад температури повітря вздовж висоти робочої зони допускається до 3°C. Для опромінення менше 25% поверхні тіла людини, нормована інтенсивність теплового опромінення – 100 Вт/м².

Повітря робочої зони не повинно містити шкідливих речовин з концентраціями вище гранично допустимих концентрацій (ГДК), які використовуються при проектуванні виробничих приміщень (будівель), обладнання, технологічних процесів, вентиляцій, з метою контролю за якістю виробничого середовища. ГДК шкідливих речовин, які використовуються в даному виробничому приміщенні.

З метою встановлення необхідних за нормативами параметрів мікроклімату та чистоти повітря робочої зони запропоновано: в приміщенні повинна бути розміщена система кондиціонування для теплого і опалення для холодного періодів року; здійснювати вологе прибирання кожного дня; застосування витяжної вентиляції, яка видаляє забруднення або нагріте повітря з приміщення, а також за допомогою неї контролюється швидкість руху повітря і вологість.

8.1.2 Виробниче освітлення

З метою забезпечення раціональних гігієнічних умов на робочих місцях значні вимоги висуваються щодо якісних та кількісних параметрів освітлення.

З точки зору задач зорової роботи в приміщенні, де проводяться роботи з розробки вимірювача фази на FPGA, згідно [25] знаходимо, що вони відносяться до III розряду зорових робіт. Вибираємо контраст об'єкта з фоном – великий, а характеристику фону – середню, яким відповідає підрозряд зорових робіт 2.

Нормовані значення коефіцієнта природного освітлення (КПО) і мінімальні значення освітленості для штучного освітлення.

Оскільки приміщення знаходиться в місті Вінниця (2-га група забезпеченості природним світлом), а світлові проєкти орієнтовані за азимутом 90° , то для таких обставин КЕО визначатиметься за формулою [26, 27]

$$e_N = e_H m_N [\%], \quad (8.1)$$

де e_H – табличне значення КЕО, %;

m_N – коефіцієнт світлового клімату;

N – порядковий номер групи забезпеченості природним світлом.

Підставляючи відомі значення одержимо нормовані значення КПО для бокового та суміщеного освітлення:

$$e_{N, \text{б}} = 2 \cdot 0,85 = 1,7 (\%);$$

$$e_{N, \text{с}} = 1,2 \cdot 0,85 = 1,02 (\%).$$

З метою забезпечення нормативних значень параметрів освітлення запропоновано: при недостатньому природному освітленні в світлу пору доби доповнення штучним за допомогою газорозрядних ламп з утворенням системи суміщеного освітлення; застосування штучного освітлення в темну пору доби.

8.1.3 Виробничі віброакустичні коливання

Зважаючи на те, що при використанні пристроїв крім усього іншого обладнання застосовується устаткування, робота якого генерує шум та вібрацію, необхідно передбачити захист від шуму та вібрації.

Встановлено, що приміщення, в якому відбувається робота з розробки вимірювача фази на FPGA може містити робочі місця із шумом та вібрацією, що виходить від суміжних виробничих приміщень.

Для запобігання травмуванню працівників від дії шуму та вібрації вони підпадає під нормування. Основним нормативом з питань промислового шуму, що діє на території України, є [28], згідно з яким нормовані рівні звукового тиску, рівні звуку та еквівалентні рівні шуму на робочих місцях у виробничих приміщеннях не повинні перевищувати значень. Норми виробничих вібрацій для 3-ї категорії (технологічна) типу "в".

Для поліпшення віброакустичного клімату в приміщенні запропоновано:

- 1) постійне змащування підшипників вентиляторів вентиляційної системи;
- 2) проведення контролю рівнів шуму та вібрації.

8.1.4 Виробничі випромінювання

Проведений аналіз умов праці показав, що приміщення, де виконується робота з розробки вимірювача фази на FPGA може містити електромагнітні випромінювання.

Гранично допустимі рівні електромагнітних полів.

З метою гарантування захисту та досягнення нормованих рівнів випромінювань потрібно використовувати екранування робочого місця і скорочення часу опромінення за рахунок перерв на відпочинок.

8.2 Технічні рішення щодо промислової та пожежної безпеки при проведенні розробки вимірювача фази на FPGA

8.2.1 Безпека щодо організації робочих місць

Конструкція робочого місця, його розміри та взаємне розташування його елементів мають відповідати антропометричним, фізіологічним та психофізіологічним властивостям людини, а також характеру роботи [29].

Площа, на якій розташовується одне робоче місце для обслуговуючого персоналу, має складати не менше $6,0 \text{ м}^2$, об'єм приміщення – не менше як 20 м^3 , висота – не менше $3,2 \text{ м}$ [30].

Кольорове оздоблення інтер'єру приміщення повинно відповідати вказівкам з проектування кольорової обробки інтер'єрів приміщень будівель промислових підприємств. Поверхня підлоги має бути рівною, без вибоїн, не слизькою, мати антистатичні властивості, зручною для вологого прибирання. Забороняється використовувати під час оздоблення інтер'єру полімерні матеріали, які забруднюють повітря шкідливими хімічними речовинами та сполуками.

8.2.2 Електробезпека

Причинами ураження електричним струмом в даному приміщенні можуть бути: робота під напругою під час проведення ремонтних робіт, несправність устаткування, випадкове торкання до струмоведучих частин чи металевих частин, що опинилися під напругою. У відповідності до [31] це приміщення належить до приміщень з підвищеною небезпекою ураження електричним струмом в наслідок наявності високої (більше 75 %) вологості. Через це безпека використання електрообладнання має гарантуватись комплексом заходів, що передбачають застосування ізоляції струмовідних частин, захисного заземлення, захисних блокувань та ін [32].

Визначимо напругу дотику, якщо через провідник і напівсферичний заземлювач на поверхні ґрунту стікає в землю струм $I_s = 2,1 \text{ А}$. Радіус напівсферичного заземлювача $r = 0,3 \text{ м}$. Питомий опір ґрунту $\rho = 54 \text{ Ом}\cdot\text{м}$. Людина знаходиться на відстані $l = 0,4 \text{ м}$ від центра заземлювача і торкається до провідника.

Напругу дотику можна знайти за формулою [33]:

$$U_{\text{дот}} = \varphi_z - \varphi_{\text{осн}} [\text{В}], \quad (8.2)$$

де φ_3 – потенціал заземлювача, В;

$\varphi_{осн}$ – потенціал основи в тому місці, де стоїть людина, В.

Потенціал заземлювача визначається за формулою:

$$\varphi_3 = \frac{I_3 \rho}{2\pi r} \text{ [В]}, \quad (8.3)$$

де I_3 – сила струму, що стікає через напівсферичний заземлювач в землю, А;

ρ – питомий опір ґрунту, Ом·м;

r – радіус напівсферичного заземлювача, м.

Потенціал основи в тому місці, де стоїть людина можна знайти за формулою:

$$\varphi_{осн} = \frac{I_3 \rho}{2\pi l} \text{ [В]}, \quad (8.4)$$

де l – відстань від центра заземлювача до місця, де стоїть людина, м.

Після підстановки відомих значень у формули (8.3, 8.4, 8.2), одержимо:

$$\varphi_3 = \frac{2,1 \cdot 54}{2 \cdot 3,14 \cdot 0,3} = 60,191 \text{ (В)};$$

$$\varphi_{осн} = \frac{2,1 \cdot 54}{2 \cdot 3,14 \cdot 0,4} = 45,143 \text{ (В)};$$

$$U_{дом} = 60,191 - 45,143 = 15,048 \text{ (В)}.$$

8.2.3 Пожежна безпека

Згідно [34] приміщення, в якому проводиться робота з розробки вимірювача фази на FPGA, відноситься до категорії пожежної небезпеки Б. Дане приміщення відноситься до 3-го ступеня вогнестійкості, в якому приміщення знаходяться в будівлі з несучими та огорожувальними конструкціями з природних або штучних кам'яних матеріалів, бетону, залізобетону. Для перекриттів дозволяється застосовувати дерев'яні конструкції, захищені штукатуркою або негорючими листовими, плитними матеріалами, або матеріалами груп горючості Г1, Г2. До елементів покриттів не висовуються вимоги щодо межі вогнестійкості, поширення вогню, при цьому елементи горищного покриття з деревини повинні мати вогнезахисну обробку.

Мінімальні межі вогнестійкості конструкцій розглядуваного приміщення. В таблиці 8.8 приведено протипожежні норми проектування будівель і споруд.

Вибираємо, що приміщення, в якому проводиться робота з розробки, має бути оснащено двома вогнегасниками, пожежним щитом, ємністю з піском [35].

8.3 Безпека у надзвичайних ситуаціях. Визначення області працездатності вимірювача фази на FPGA в умовах дії загрозливих чинників надзвичайних ситуацій

Вимірювача фази на FPGA може використовуватись в багатьох технічних системах і приладах. Які в свою чергу можуть застосовуватись для військової чи безпекової сфери. Тому важливою ланкою в процесі проектування приладів є дослідження його на стійкість в умовах надзвичайних ситуацій.

В радіоелектронній апаратурі (РЕА) використовуються елементи, до

складу яких входять матеріали: метали, неорганічні матеріали, напівпровідники та різні органічні сполуки (діелектрики, смоли та ін.). Серед цих матеріалів метали найбільш чутливі до радіації, оскільки їм властива висока концентрація вільних носіїв.

При експлуатації РЕА в умовах дії радіоактивних випромінювань можливі наступні наслідки: при критичних рівнях радіації РЕА може раптово вийти з ладу; в елементах схем РЕА можуть початись оборотні і необоротні процеси через деякий час після випадання радіоактивних опадів при рівнях радіації значно нижчих критичних.

8.4.1 Визначення області працездатності вимірювача фази на FPGA в умовах дії іонізуючого випромінювання

Граничне значення рівня радіації є критерієм стійкості роботи РЕА. Воно визначається по формулі:

$$p_{zp} = K \cdot p_{zv} \cdot K_{noc}, \quad (8.5)$$

де K – коефіцієнт надійності, $K = 0,9 \dots 0,95$;

p_{zv} – рівень радіації, який відповідає початку зворотних змін у найменш стійкому елементі вимірювача;

K_{noc} – коефіцієнт послаблення радіації ($K_{noc} = 4$).

Макет вимірювача фази на FPGA складається з наступних елементів: резистори, конденсатори, мікросхеми, діоди, плата. Визначаємо максимальне значення потужності експозиційних доз, при яких можуть відбутися зворотні зміни. Дані заносимо у таблицю 8.1.

Як видно з таблицею 8.1 найбільш вразливим елементом є плата.

$$p_{zv} = 10^3 \text{ P/c}.$$

Підставивши значення у формулу (6.1) отримаємо:

$$p_{ep} = 0,95 \cdot 10^3 \cdot 4 = 3800 \text{ (P/c)}.$$

Таблиця 8.1 – Максимально допустимі значення потужностей опромінення елементів

№	Блок вимірювача фази на FPGA	Елементи вимірювача	$D_{грi},$ (P/c)	$D_{гр},$ (P/c)
1	Мікропроцесорний блок	Мікросхема DD2 K561JA7	10^4	10^4
		Резистор C2-23	10^6	
		Конденсатор K73-17	10^5	
		Конденсатор K50-35	10^6	
		Індуктивність LGA0307	10^6	
		Діод КД212А	10^5	
2	Блок управління	ІМС Attiny2313	10^3	10^3
		Світлодіод АЛ307	10^5	
		Резистор C2-23, 22k	10^6	
		Конденсатор K50-38	10^5	
3	Прийомо-передавальний блок	Транзистор BC337	10^5	10^5
		Конденсатор K50-35	10^5	
		Резистор C2-23, 27k	10^6	
4	Блок індикації	Конденсатор K15-5	10^4	10^4
		Діод КЦ106Г	10^5	

Визначаємо допустимий час роботи РЕА:

$$t_{дон} = \frac{D_{ep} \cdot K_{носл} + 2P_1 \cdot \sqrt{t_n}}{2P_1}. \quad (8.6)$$

Підставимо значення у формулу:

$$t_{дон} = \frac{1000 \cdot 4 + 2 \cdot 5,3 \cdot \sqrt{1}}{2 \cdot 5,3} = 143155 \text{ (годин)}.$$

Розрахунки показали, що в умовах дії іонізуючого від 0 до 3800 P/c вимірювача фази на FPGA зможе продовжувати нормальну роботу. При дії

на нього максимально допустимого рівня випромінювання, час його працездатності буде 143 тис. годин.

8.4.2 Визначення області працездатності вимірювача фази на FPGA в умовах впливу електромагнітного імпульсу

Пристрій має наступні параметри:

$U_{жс} = 5B$ – напруга живлення;

$l_2 = 0,068$ м, – максимальна довжина провідників, що розташовані горизонтально.

$N = \pm 15\%$ – допустиме відхилення напруги живлення.

Розрахуємо допустиме коливання напруги живлення вимірювача фази на FPGA за наступною формулою:

$$U_{дон} = U_{жс} + \frac{U_{жс}}{100} \cdot N, \quad (8.7)$$

Звідси:

$$U_{дон} = 5 + \frac{5}{100} \cdot 15 = 5,75(B).$$

Визначаємо максимальну очікувану напругу в горизонтальних лініях з наступної рівності:

$$U_2 = \frac{U_{жс}}{100}. \quad (8.8)$$

Підставляємо значення у формулу:

$$U_2 = \frac{5}{100} = 0,05 (B).$$

Вертикальна складова напруженості електричного поля визначається:

$$U_2 = E_г + l_2. \quad (8.9)$$

Звідси:

$$E_e = \frac{U_2}{l_2},$$

де l_2 – максимальна довжина горизонтального контуру електричної схеми ($l_2 = 0,068\text{м}$).

$$E_e = \frac{0,05}{0,068} = 0,74 \text{ (В/м)}.$$

Розрахунки показали, що вертикальна складова напруженості електричного поля становить 0,74 В/м.

8.5 Розробка заходів по підвищенню стійкості роботи вимірювача фази на FPGA до дії загрозливих чинників надзвичайних ситуацій.

Підвищення стійкості роботи вимірювача фази на FPGA досягається посиленням найбільш слабких (вражаючих) елементів і ділянок приладу. Для цього завчасно в процесі проектування на основі досліджень планують і проводять відповідні заходи по підвищенню безпеки роботи вимірювача фази на FPGA. Досягнення науки і техніки дозволяють реалізувати такі рішення, при яких прилади і системи будуть стійкими до впливу дуже значних уражаючих електроніку факторів, однак це пов'язано з великими витратами засобів і матеріалів, але може бути виправдано при захисті унікальних, особливо важливих елементів об'єкта. Заходи будуть економічно обґрунтовані, якщо вони максимально узгоджені з завданнями, які розв'язуються в мирний час для забезпечення безаварійної роботи, поліпшення умов праці, удосконалювання виробничого процесу. Особливо велике значення має розробка інженерно-технічних заходів при розробці пристроїв бо у процесі проектування, як відзначалось раніше, у багатьох випадках можна домогтись логічного поєднання загальних інженерних рішень із захисними заходами ЦЗ, що знизить витрати на їх реалізацію.

Захист вимірювача фази на FPGA від дії електромагнітного імпульсу забезпечується використанням екранів. Проведемо розрахунок екрану. Перехідне гасіння енергії електричного поля визначається за формулою:

$$A = 5,2 \cdot t \cdot \sqrt{f} \quad (8.10)$$

де t – товщина стінки екрану;

f – 1500 Гц

Вертикальна складова напруженості електричного поля на виході екрану визначається по формулі:

$$A = 20lg \frac{E_B}{E_{Bi}} \quad (8.11)$$

звідси

$$E_{Bi} = \frac{E_B}{10^{\frac{A}{20}}}$$

Нехай для вертикальної складової товщина стінки екрану буде становити 0,04 см, тоді перехідне згасання енергії електричного поля буде розраховуватись:

$$A_B = 5,2 \cdot 0,04 \cdot \sqrt{1500} = 8,05 \text{ (дБ)}.$$

Розраховуємо вертикальну складову напруженості електричного поля на виході екрану:

$$E_{Bi} = \frac{0,74}{10^{\frac{8,05}{20}}} = 0,29 \text{ (кВ/м)}.$$

Розраховуємо горизонтальну складову напруженості електричного поля на виході екрану:

$$A = 20lg \frac{E_G}{E_{Bi}} \quad (8.12)$$

звідси

$$E_{\text{Ві}} = \frac{E_{\Gamma}}{10^{\frac{A}{20}}}.$$

Нехай для горизонтальної складової товщина стінки екрану буде становити 0,02 см, тоді перехідне згасання енергії електричного поля буде розраховуватись:

$$A_{\Gamma} = 5,2 \cdot 0,02 \cdot \sqrt{1500} = 4,02 \text{ (дБ)}.$$

Горизонтальна складова напруженості електричного поля визначається:

$$E_{\Gamma} = \frac{U_{\Gamma}}{l_{\Gamma}} \quad (8.13)$$

звідси

$$E_{\Gamma} = \frac{0,05}{0,02} = 2,5 \text{ (В/м)}$$

Розраховуємо горизонтальну складову напруженості електричного поля на виході екрану:

$$E_{\Gamma\text{Ві}} = \frac{2,5}{10^{\frac{4,02}{20}}} = 1,57 \text{ (кВ/м)}$$

Отже, розрахунки показали, що при товщині горизонтальних і вертикальних стінок 0,24 та 0,2 мм відповідно горизонтальна і вертикальна складові напруженості електричного поля будуть становити 0,29 та 1,57 кВ/м відповідно. Екранувати кожен прилад в лабораторії не є доцільно тому що екран збільшить габаритні розміри та вагу пристроїв. Крім того довелось б змінювати конструкцію всіх приладів. Тому найкращим рішенням є екранування самих лабораторних приміщень, де знаходиться радіоелектронна апаратура. Ще одним варіантом підвищення стійкості обладнання є використання радіаційно стійких елементів та матеріалів.

8.6 Висновки до розділу

В результаті написання цього розділу було розглянуто такі питання охорони праці та безпеки в надзвичайних ситуаціях, як технічні рішення з гігієни праці та виробничої санітарії, визначення напруги дотику, технічні

рішення з промислової та пожежної безпеки при проведенні розробки вимірювача фази на FPGA, безпека у надзвичайних ситуаціях.

Також у розділі було розглянуто принцип дії іонізуючого випромінювання та електромагнітного імпульсу на радіоелектронну апаратуру. Крім того був проведений розрахунок області працездатності вимірювача фази на FPGA в умовах дії іонізуючого випромінювання. Була складена таблиця максимально допустимих значень потужностей доз електромагнітного імпульсу для елементів радіоелектронної апаратури, на основі якої було розраховано граничне значення рівня радіації, яке склало 3800 Р/с, а допустимий час роботи вимірювача при цьому буде 143 тис. годин. Також було проведено розробку заходів по підвищенню стійкості роботи вимірювача фази на FPGA та розраховано розміри екрану, які склали 0,2 мм для горизонтальних і 0,24 мм для вертикальних стумопровідних частин.

ВИСНОВКИ

Результатом магістерської роботи являється цифровий фазометр на програмованій логічній інтегральній схемі. Було виконано реалізацію пристрою безпосередньо на мікросхемі, а також цілком вдало пройшло моделювання розробки за допомогою симулятора та матриці затримок, які підтвердили вірність розрахунків та проектування пристрою загалом. Було доведено також про цілковиту реальність створення цифрового фазометра даного типу, при наявності потрібних матеріалів та засобів.

Застосування програмованих логічних інтегральних схем набагато спрощує реалізацію основних вузлів вимірювача фази на FPGA (таких, як лічильник, вузол порівняння та ін.) та їх взаємодію. Звідси виникають переваги у порівняно малій ціні пристрою.

В ході роботи було перевірено можливість роботи по частинах над проектом, про що свідчить реалізація цифрового вимірювача фази на FPGA одним розробником та каскаду дешифраторів семисегментного коду іншим. Після виконання даної роботи достатньо легко виконати об'єднання цих проектів в одне ціле для створення цифрової частини вимірювача фази на FPGA на програмованій логічній інтегральній схемі.

Недоліком даного пристрою є порівняно невисока точність цифрового вимірювача фази на FPGA. Проте таке спрощення схеми являється прийнятним у зв'язку із значним зменшенням ціни пристрою.

Також, що є суттєвим для вимірювальної техніки, зменшується в декілька разів собівартість пристрою. Ще одною із переваг такої реалізації вимірювача фази на FPGA є низька потужність споживання та застосування сучасних програмованих логічних інтегральних схем.

До недоліків слід віднести шуми квантування та похибка, яка виникає через неспівпадання квантуючого імпульсу із початком (чи закінченням пускового сигналу тригера). Проте перший недолік вдається згладити шляхом методу усереднення результатів. За таким методом потрібно

виконати декілька вимірювань, а потім просумувавши результат поділити його на кількість цих вимірювань. Таким чином буде отримано середнє значення, яке наблизатиметься до ідеального з наближенням кількості вимірювань до нескінченності. В роботі прийнято, що достатньою кількістю для заданих режимів точності являється число вимірювань, в одному циклі – п'ять раз.

Для виробництва такі вимірювачі фази на FPGA цілком придатні і мають майбутню перспективу використання в лабораторіях, ремонтних дільницях побутової радіо- та телеапаратури та ін.

Роботою були визначені заходи щодо охорони праці, а саме, були визначені технічні рішення щодо безпечної експлуатації об'єкта, технічні рішення з гігієни праці та виробничої санітарії.

Додаткові розрахунки на економічність приладу показали, що його впровадження у виробництво є економічно ефективним. Аналізуючи ринок можна розраховувати на значний попит на наш виріб. Підтвердженням цьому є технічні параметри даного пристрою, які кращі за параметри аналога.

ПЕРЕЛІК ПОСИЛАНЬ

1. Козловський В. О. Техніко-економічні обґрунтування та економічні розрахунки в дипломних проектах та роботах. Навчальний посібник. – Вінниця: ВДТУ, 2003. – 75с.
2. Кофанов В.Л. Математичні та схемотехнічні основи цифрових пристроїв. Навч. посібник. – Вінниця: УНІВЕРСУМ-Вінниця, 2005. – 165 с.
3. Соловов В. Я. Фазовые измерения. – М.: Энергия, 1973. – 120 с.: ил.
4. Галахова О. П. Основы фазометрии. – Л.: «Энергия», 1976. – 256 с.
5. Смирнов П. Т. Цифровые фазометры. – Л.: «Энегрция», 1974. – 141с.
6. Чмых М. К. Цифровая фазометрия. – М.: Радио и связь, 1993. – 184с.
7. Афанасьев Г. Я., Мальцев Ю. С. Цифровые измерительные приборы. – М.: «Энергия», 1972. – 88 с.
8. Вишенчук И. М., Костюк А. Ф., Мизюк Л. Я. Электромеханические электронные фазометры. – Л., Госэнергоиздат, 1983. – 208 с.
9. Кончаловский В. Ю. Цифровые измерительные устройства: Учебное пособие для вузов. - М.: Энергоатомиздат, 1985. – 304 с.: ил.
10. Шило В. Л. Популярные цифровые микросхемы. Справочник. – Москва: Радио и связь, 1989. – 298 с.: ил.
11. Зубчук В. Ы., Сигорський В. П., Шкуро А. Н. Справочник по цифровой схемотехнике. – Киев: Техника, 1990. - 447 с.: ил.
12. Пресухин Л. Н., Воробьев Н. В., Шишкевич А. А. Расчет элементов цифровых устройств. – М.: «Энергия», 1972. – 88 с.
13. Корнейчук В. И., Тарасенко В. П. Вычислительные устройства на микросхемах. 2-е изд., переработанное и дополненное. – Киев: Техника, 1988 – 143с.
14. Лихтциндер Б.Я., Кузнецов В.И. Микропроцессоры и вычислительные устройства в радиотехнике: Учеб. пособие. – К.: Вища шк., 1988. – 272с.
15. Калабеков Б.А. Цифровые устройства и микропроцессорные системы: Учебник для техникумов связи. – М.: Горячая линия – Телеком, 2002. – 336 с.
16. Винокуров В. И., Каплин С. И., Петелин И. Г. Электрорадиоизмерения. Учеб. пособие для радиотехнических вузов / под ред. В. И. Винокурова. – 2-е издание, переработанное и дополненное – М.: Высшая школа., 1986. – 351 с.: ил.
17. Калінін В. І., Костюк О. А., Грудін А. А. Математичні моделі та методика оцінки експлуатаційної надійності елементів і виробів електронної

техніки. Частина I, II, III. Навчальний посібник. – Вінниця: ВДТУ, 1999. – 71с.

18. Козловський В. О. Основи підприємництва. Курс лекцій. Част. 1. / В. О. Козловський – Вінниця : ВНТУ, 2005. – 196 с.

19. Козловський В. О. Основи підприємництва. Курс лекцій. Част. 2 / В. О. Козловський – Вінниця : ВНТУ, 2006. – 184 с.

20. Козловський В. О. Інноваційний менеджмент : Навчальний посібник / В. О. Козловський – Вінниця : ВНТУ, 2007. – 210 с.

21. Козловський В. О., Лесько О. Й. Бізнес-планування: Навчальний посібник / В. О. Козловський, О. Й. Лесько [2-е вид., доп. та переробл.] – Вінниця : УНІВЕРСУМ-Вінниця, ВНТУ, 2008. – 241 с.

22. Козловський В. О., Лесько О. Й. Інноваційний менеджмент: Практикум / В. О. Козловський, О. Й. Лесько. – Вінниця : ВНТУ, 2006. – 166с.

23. Сакевич В.Ф. Основи розробки питань цивільної оборони в дипломних проектах. Навч. посібник: - Вінниця: ВДТУ, 2001- 109с.

24. Сакевич В.Ф., Буров В. М. Организационно-методические указания по разработке вопросов гражданской обороны в дипломных проектах. Для студентов всех специальностей.- Винница: ВПИ 1987.- 113 с.

25. Атоманюк В.Г. Ширшнев А.Г. Акимов Н.И. Гражданская оборона. Учебник для вузов.Под ред. Михайлика Д.И.- М: Высш. Шк., 1986-207с.

26. Методичні вказівки щодо опрацювання розділу “Безпека життєдіяльності” в дипломних проектах і роботах студентів радіотехнічних спеціальностей /Уклад. О.П. Терещенко, О.В. Кобилянський. – В .: ВНТУ, 2004.- 45 с.

27. СНиП 2.09.04-87 – «Адміністративні і побутові будинки і приміщення виробничих підприємств»

28. Долин Петро Олександрович. Основи техніки безпеки у електроустановках. – М.: Энергоатомиздат. 1984. - 448 с.

29. ГОСТ 12.1.005-88. ССБТ. Общие санитарно-гигиенические требования к воздуху рабочей зоны.

30. ГОСТ 12.04.05-86 Отопление вентиляция и кондиционирование.

31. СНиП II-4-79 – «Естественное и искусственное освещение».

32. Справочная книга для проектирования электрического освещения/ Под ред. Г.М.Кнорринга. - Л.: Энергия, 1976. - 346 с.

33. Борьба с шумом на производстве: Справочник / Под ред. Е.Я.Юдина. - М.: Машиностроение, 1985. - 400 с.

34. ДНАОП 0.03-33.14-85. Санітарні норми допустимих рівнів шуму на робочих місцях.

35. ГОСТ 12.1.003-83. Шум. Общие требования безопасности.

36. ГОСТ 12.1.012-90. Вибрационная безопасность.
37. СНИП 2.01.02-85 – «Противопожарные нормы».
38. ОНТП 24-86. Определение категорий помещений и зданий на взрывоопасность и пожарной безопасности. МВД СССР.- М.,1986.

Додаток А
(обов'язковий)

ВНТУ

ПОГОДЖЕНО

“ ” _____ 2020 р.

ЗАТВЕРДЖУЮ

Зав. кафедри РТ ВНТУ,
докт. техн. наук, професор
О.В. Осадчук

“ ” _____ 2020 р.

ТЕХНІЧНЕ ЗАВДАННЯ
на виконання магістерської кваліфікаційної роботи
Розробка вимірювача фази на FPGA

08-36.МКР.002.00.000 ТЗ

Керівник роботи: к.т.н. доцент

_____ Гаврілов Д. В.
(підпис)

“ ” _____ 2020 р.

Виконавець: студент гр. ТКР-18мз/в

_____ Кобися М. В.
(підпис)

“ ” _____ 2020 р.

1 ПІДСТАВА ДЛЯ ВИКОНАННЯ РОБОТИ

Робота проводиться на підставі наказу ректора по Вінницькому національному технічному університету № 76 від 06.03.2020 р. та індивідуального завдання на магістерську кваліфікаційну роботу.

Дата початку роботи: 02.01.2020 р.

Дата закінчення: 15.06.2020 р.

2 МЕТА І ПРИЗНАЧЕННЯ МКР

Метою роботи є створення та дослідження цифрового вимірювача фази радіотехнічних сигналів на FPGA.

Об'єктом дослідження є розробка теоретичних засад, методів та засобів для цифрових вимірювачів фази радіотехнічних сигналів на FPGA.

Предметом дослідження – цифрові вимірювачі фази радіотехнічних сигналів на основі сучасних FPGA та високонадійних напівпровідникових структур.

В магістерській кваліфікаційній роботі для досягнення поставленої мети **розв'язуються такі завдання:**

1. Проведення аналізу сучасного стану розробки цифрових вимірювачів фази радіотехнічних сигналів на FPGA та виявлено базові переваги та недоліки приладів, що вже існують.

2. Попередній розрахунок структурної схеми цифрового вимірювача фази радіотехнічних сигналів на FPGA з функцією передачі даних, що включає в себе розробку таких блоків та вузлів: вхідний блок, формувач стробуючого імпульсу, формувач стробуючого імпульсу ΔT , лічильники для підрахунку значень n і N , математична частина, семисегментний перетворювач.

3. Електричний розрахунок каскадів цифрового вимірювача фази радіотехнічних сигналів на FPGA, а саме: розрахунок широкосмугового підсилювача, розрахунок блоку FPGA, розрахунок частотнозадаючої ланки, розрахунок ланки ініціалізації, розрахунок буферного каскаду, розрахунок вузла контролю напруги.

4. Проведення експериментальних досліджень блоку лічильника для підрахунку значень n і N , а саме побудова вихідних характеристик сигналу. Оцінювання роботи лічильника для підрахунку значень n і N за допомогою системи автоматизованого проектування показало, що результати моделювання відповідають умовам технічного завдання та принципу роботи пристрою в цілому.

5. Розробка блоків цифрового вимірювача фази радіотехнічних сигналів на FPGA з застосуванням нової елементної бази, дозволить підвищити точність та діапазон роботи пристрою, при покращенні масо-габаритних властивостей.

3 ДЖЕРЕЛА РОЗРОБКИ

1. Кончаловский В.Ю. Цифровые измерительные устройства: Учебное пособие для вузов. – М.: Энергоатомиздат, 1985. – 576 с

2. Маркин Н.С., Ершов В.С. Метрология. Введение в специальность: Учебное пособие для техникумов. – М.: Изд-во стандартов, 1991. – 340 с.

3. В.О. Козловський. Техніко-економічні обґрунтування та економічні розрахунки в дипломних проектах та роботах. Навчальний посібник. Вінниця ВДТУ 2003 – 74с.

4. Кукуш В.Д. Электрорадиоизмерения: Учебное пособие для вузов. – М.: Радио и связь, 1985. – 386 с.

5. Атамальян Э.Г. Приборы и методы измерения электрических величин: Учебное пособие для втузов. – М.: Высш. шк., 1989. – 384 с.
6. Чмых М. К. Цифровая фазометрия. – М.: Радио и связь, 1993. – 184 с.
7. Вишенчук И. М., Костюк А. Ф., Мизюк Л. Я. Электромеханические электронные фазометры. – Л., Госэнергоиздат, 1983. – 208 с.
8. Расчет элементов импульсных и цифровых схем радиотехнических устройств./ под ред. Ю.М.Козаринова. – М.: Высшая школа, 1976. – 359.: ил.
9. Р.Граф. Электронные схемы 1300 примеров, - М.: Мир, 1989 – 686 с.: ил.
10. Цифровые и аналоговые интегральные схемы: Справочник/ С.В.Якубовский, Л.И.Нисельсон, В.И.Кулешова и др., под ред. С.В.Якубовский. – М.: Радио и связь, 1989 – 496 с.: ил.
11. Гершинский Б.С. Справочник по расчету электронных схем. – “Вища школа”, 1983 – 240 с.: ил.
12. Транзисторы для аппаратуры широкого применения: Справочник/ К.М.Бережнева, Б.И.Гантман, Т.И.Давидова и др. Под ред. Б.Л.Перельмана. – М.: Радио и связь, 1981. – 656 с.: ил.
13. Терещук Р.М. и др. Полупроводниковые приемно-усилительные устройства: Справочник радиолюбителя, Р.М.Терещук.. 4-е изд. - К: ”Наукова думка”, 1988 – 800 с.: ил.
14. Резисторы, конденсаторы, трансформаторы, дроссели, коммутационные устройства РЕА. – Мн.: Беларусь, 1994.
15. СН 3223-85. Санитарные нормы допустимых уровней шума.
16. СНиП II - 4 - 79. Естественное и искусственное освещение.
17. Пособие по расчету и проектированию, естественного, искусственного и совмещенного освещения (к СНиП II-4-79) НИИСФ - М.: Стройиздат. 1985. – 384 с.

4 ВИКОНАВЕЦЬ

Вінницький національний технічний університет, кафедра радіотехніки, студент групи ТКР-18м з/в Кобися М.В.

5 ВИМОГИ ДО ВИКОНАННЯ МКР

- Багатоканальний частотомір на основі МК виконуються в стаціонарному виконанні,
- джерелом напруги живлення є блок живлення від мережі 220В, напруга живлення 15В.
- В якості елемента обробки інформації фазометра буде використовуватись FPGA.
- Зв'язок пристрою з ЕОМ буде здійснюватись за допомогою спеціалізованої мікросхеми-драйвера MAX232.
- Нижня гранична частота (f_n) має відповідати 10, а верхня гранична частота (f_v) – 500 Гц.
- Індикація відбувається на пристрої індикації яким повинен бути простий символний екран.

6 ЕТАПИ МКР І ТЕРМІНИ ЇХ ВИКОНАННЯ

№ з/п	Назва етапів магістерської кваліфікаційної роботи	Термін виконання		Очікувані результати	Звітна документація
1.	Огляд літературних джерел. Вибір та узгодження теми МКР	06.01.2020	20.01.2020	Проведено огляд літературних джерел. Вибрана тема	Узгодження теми МКР на кафедрі
2.	Аналіз літературних джерел. Попередня розробка основних розділів	21.01.2020	24.02.2020	Проведений аналіз літературних джерел по даній тематиці. Підготовлений матеріал основних розділів	Вступ
3.	Затвердження теми. Розробка технічного завдання	25.02.2020	06.03.2020	Розроблене ТЗ	Наказ ВНТУ про затвердження теми. Додаток А
4.	Аналіз вирішення поставленої задачі. Розробка структурної схеми	07.03.2020	23.03.2020	Проведений аналіз. Розроблені схеми пристрою	Звіт по переддипломній практиці Вступ Розділ 1-3
5.	Електричні розрахунки. Експериментальне дослідження	24.03.2020	07.04.2020	Проведені розрахунки та дослідження	Розділ 4-6
6.	Розділ моделювання	08.04.2020	13.04.2020	Проведено моделювання	Результати моделювання
7.	Розробка графічної частини МКР	14.04.2020	28.04.2020	Плакати. Структурні та електричні схеми	Графічна частина
8.	Аналіз економічної ефективності розробки	29.04.2020	11.05.2020	Економічна частина	Розділ 7
9.	Охорона праці (ОП)	12.05.2020	19.05.2020	Частина БЖДПБ	Розділ 8
10.	Оформлення пояснювальної записки та графічної частини	20.05.2020	03.06.2020	Оформлена документація	ПЗ та графічна частина
11.	Нормоконтроль	04.06.2020	08.06.2020	Підпис нормоконтроля	Оформлена ПЗ та графічна частина
12.	Попередній захист МКР, доопрацювання, рецензування МКР	09.06.2020	15.06.2020	Позитивні відзиви	Відзив. Рецензія
13.	Захист МКР ЕК	16.06.2020	16.06.2020	Позитивний захист	Протокол ЕК

7 ОЧІКУВАНІ РЕЗУЛЬТАТИ ТА ПОРЯДОК РЕАЛІЗАЦІЇ МКР

У результаті виконання роботи будуть розроблені:

- математичне моделювання основних характеристик цифрових вимірювачів фази радіотехнічних сигналів на FPGA;
- нові межі використання цифрових вимірювачів фази радіотехнічних сигналів на FPGA;
- розділ безпеки життєдіяльності і ЦЗ;
- економічна частина МКР.

Результати, отримані в процесі виконання даної роботи, можуть бути впроваджені в різних галузях науки і техніки.

8 МАТЕРІАЛИ, ЯКІ ПОДАЮТЬ ПІСЛЯ ЗАКІНЧЕННЯ РОБОТИ ТА ПІД ЧАС ЕТАПІВ

За результатами виконання МКР до ЕК подаються пояснювальна записка, графічна частина МКР, відгук керівника і рецензія.

9 ПОРЯДОК ПРИЙМАННЯ МКР ТА ЇЇ ЕТАПІВ

Поетапно результати виконання МКР розглядаються керівником роботи та обговорюються на засіданні кафедри.

Захист магістерської кваліфікаційної роботи відбувається на відкритому засіданні ЕК.

10 ВИМОГИ ДО РОЗРОБЛЮВАНОЇ ДОКУМЕНТАЦІЇ

Документація, що розробляється в процесі виконання досліджень повинна містити:

- дослідження поставленого питання;

- проектування розроблюваних цифрових вимірювачів фази радіотехнічних сигналів на FPGA;
- методи дослідження цифрових вимірювачів фази радіотехнічних сигналів на FPGA;
- економічну частину та розділ БЖДПБ.

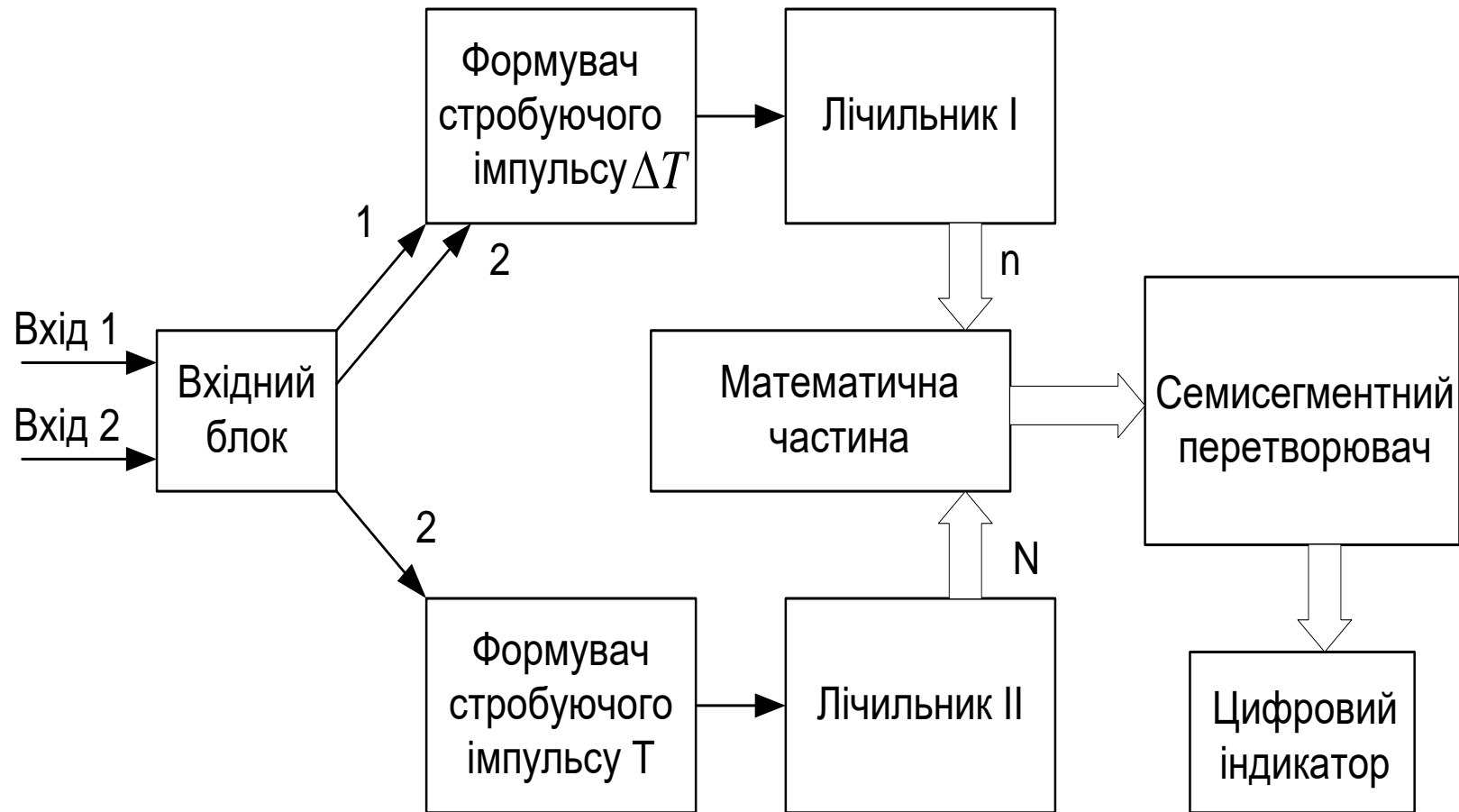
11 ВИМОГИ ЩОДО ТЕХНІЧНОГО ЗАХИСТУ ІНФОРМАЦІЇ З ОБМЕЖЕНИМ ДОСТУПОМ

У зв'язку з тим, що інформація не є конфіденційною, заходи з її технічного захисту не передбачаються.

Додаток Б
(обов'язковий)

Розробка вимірювача фази на FPGA

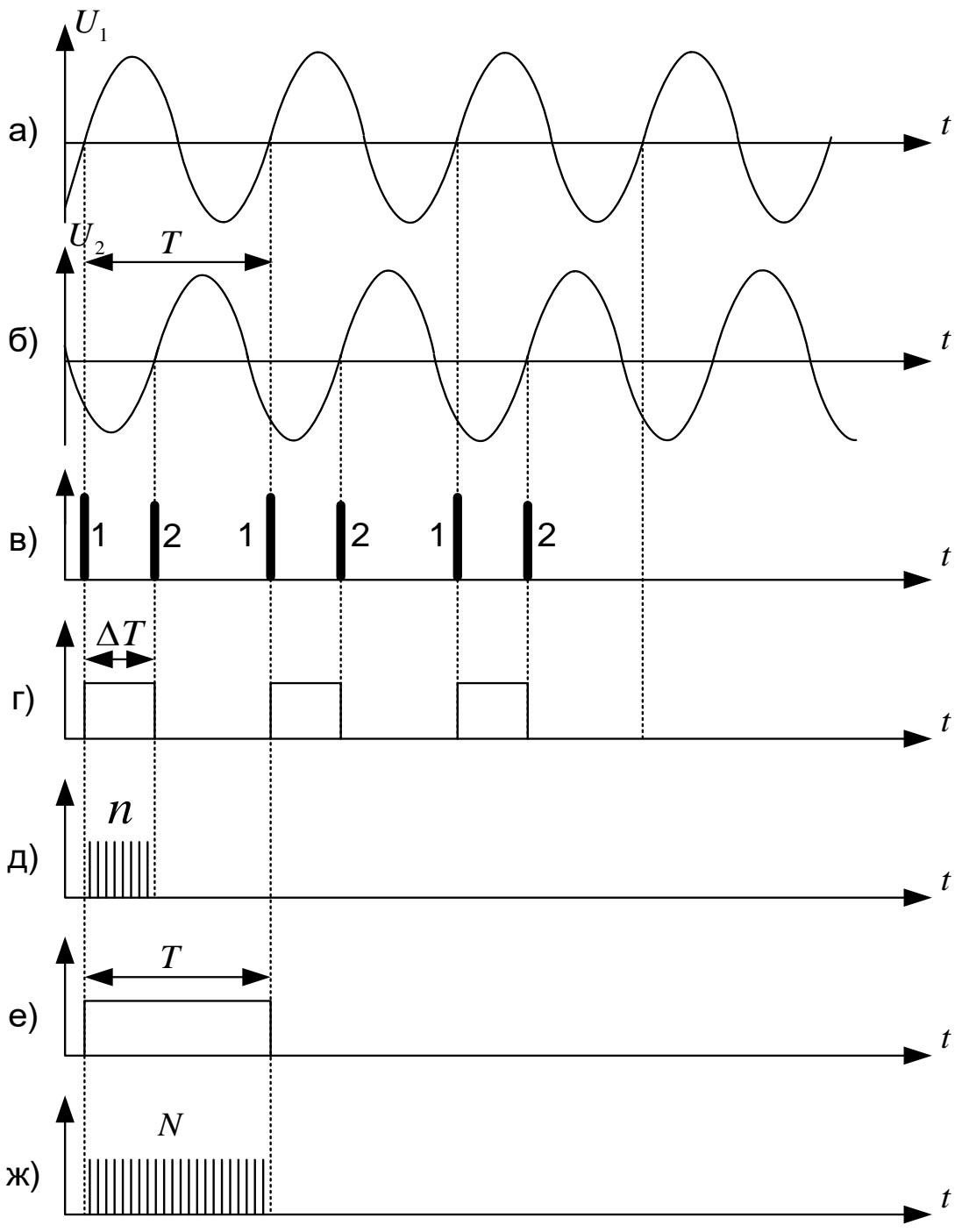
Схема електрична структурна



Додаток В
(обов'язковий)

Розробка вимірювача фази на FPGA

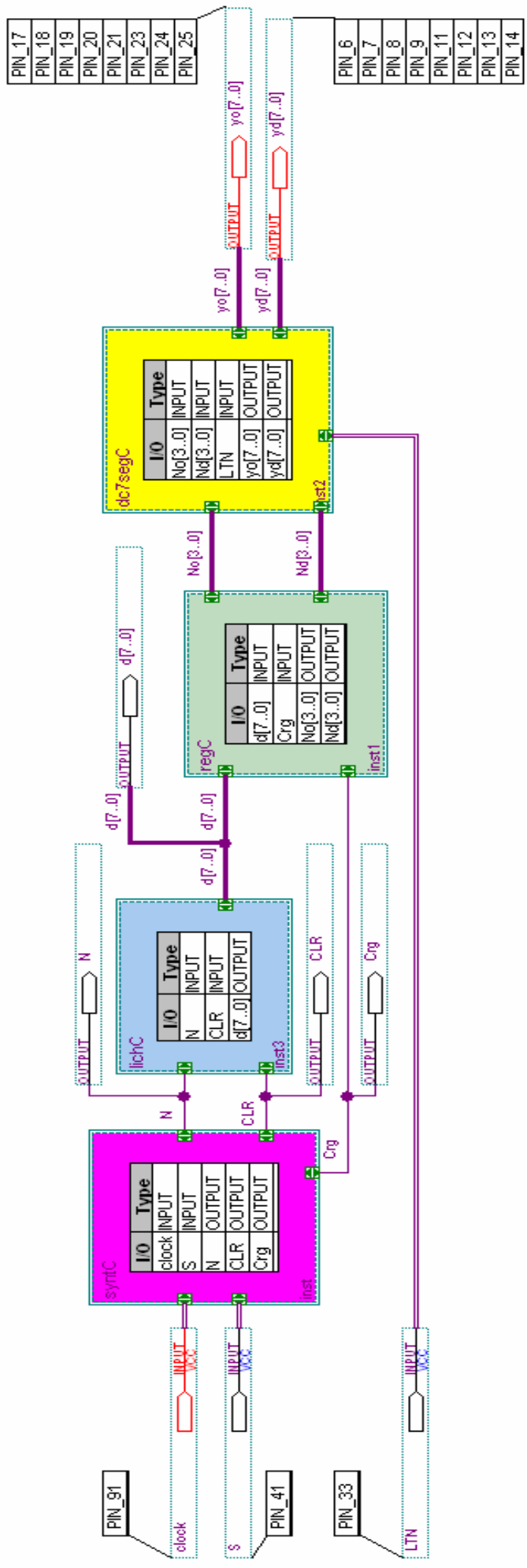
Принцип роботи цифрового фазометра



Додаток Г
(обов'язковий)

Розробка вимірювача фази на FPGA

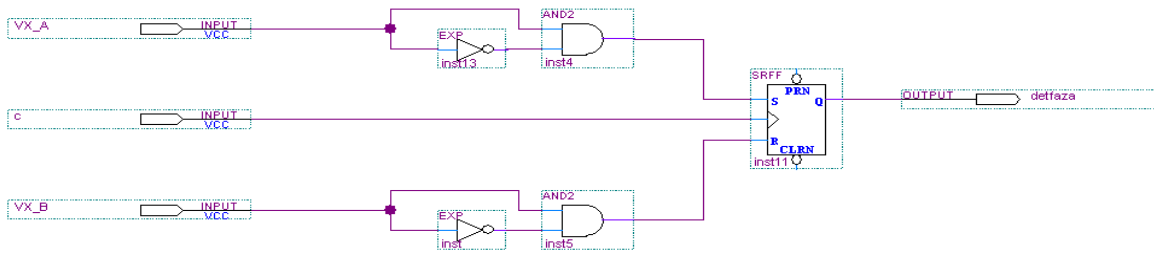
Електричні схеми функціональних блоків цифрового фазометра в програмному
пакеті Quartus II



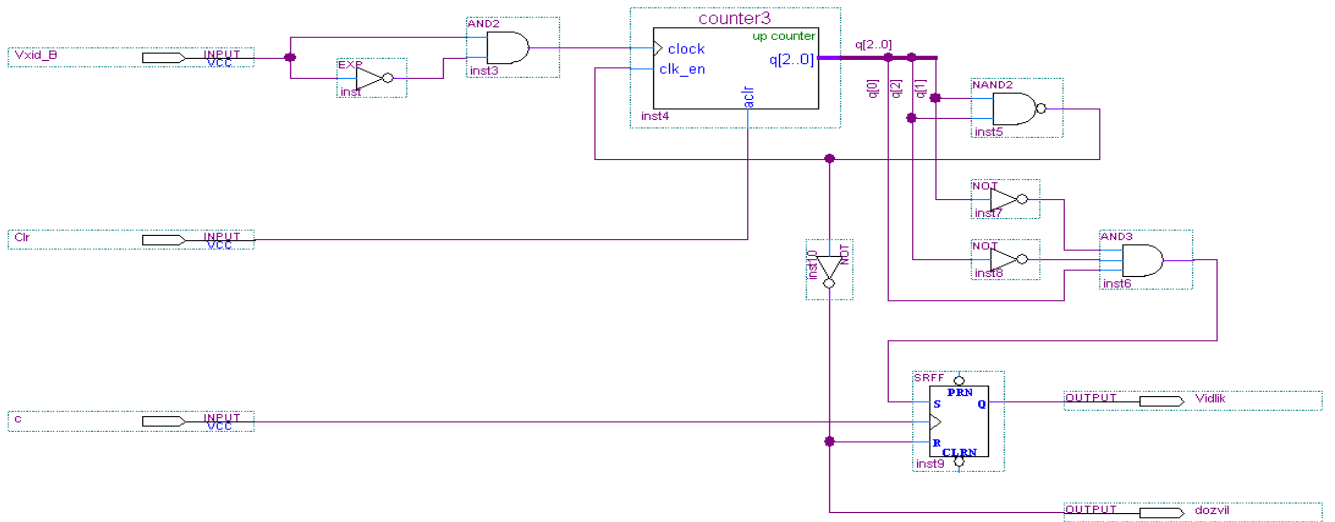
Додаток Д
(обов'язковий)

Розробка вимірювача фази на FPGA

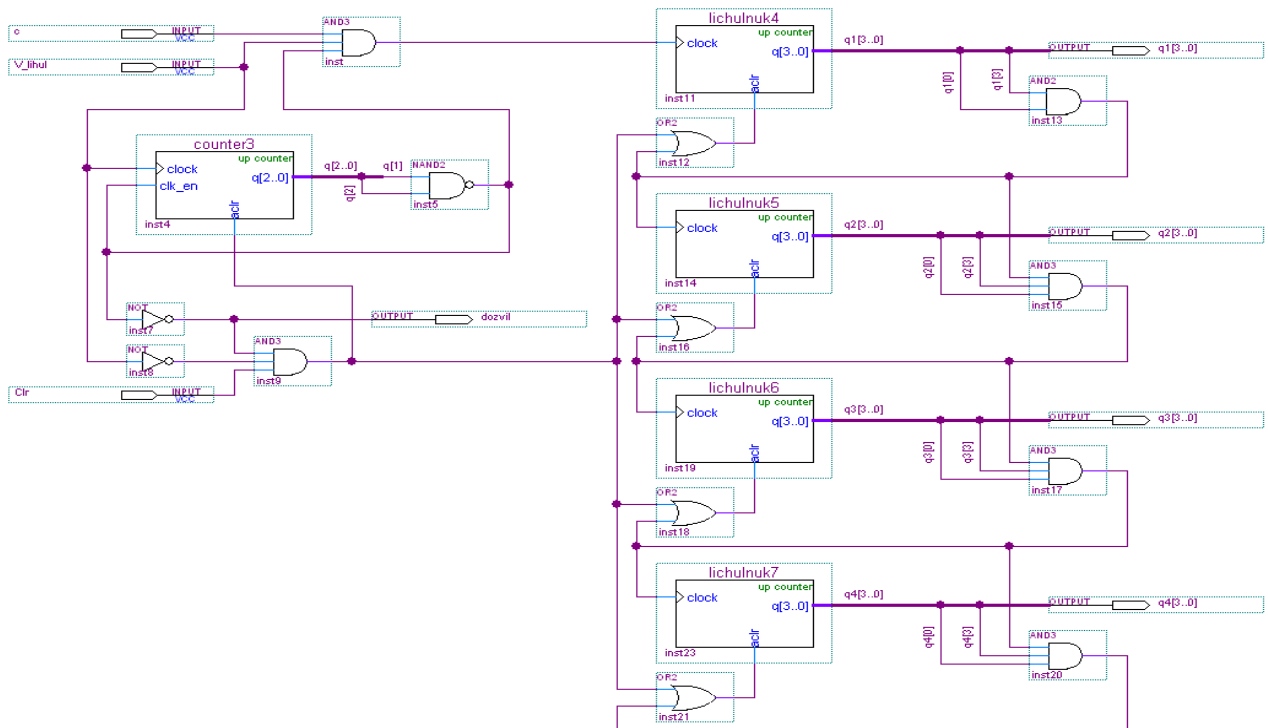
Електричні схеми функціональних блоків цифрового фазометра в
програмному пакеті Quartus II



Електрична схема формувача стробуючого імпульсу



Електрична схема формувача стробуючого імпульсу Т

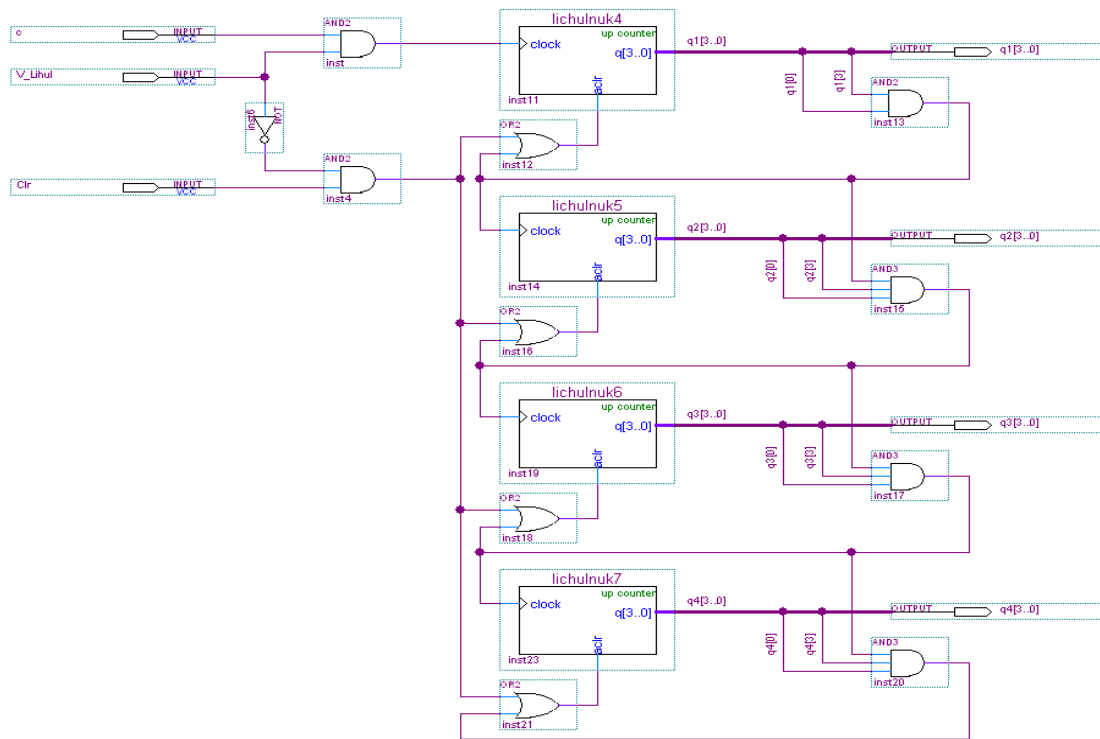


Електрична схема лічильника для підрахунку n

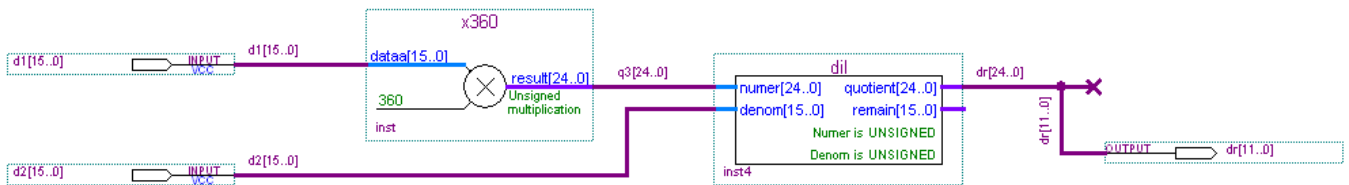
Додаток Е
(обов'язковий)

Розробка вимірювача фази на FPGA

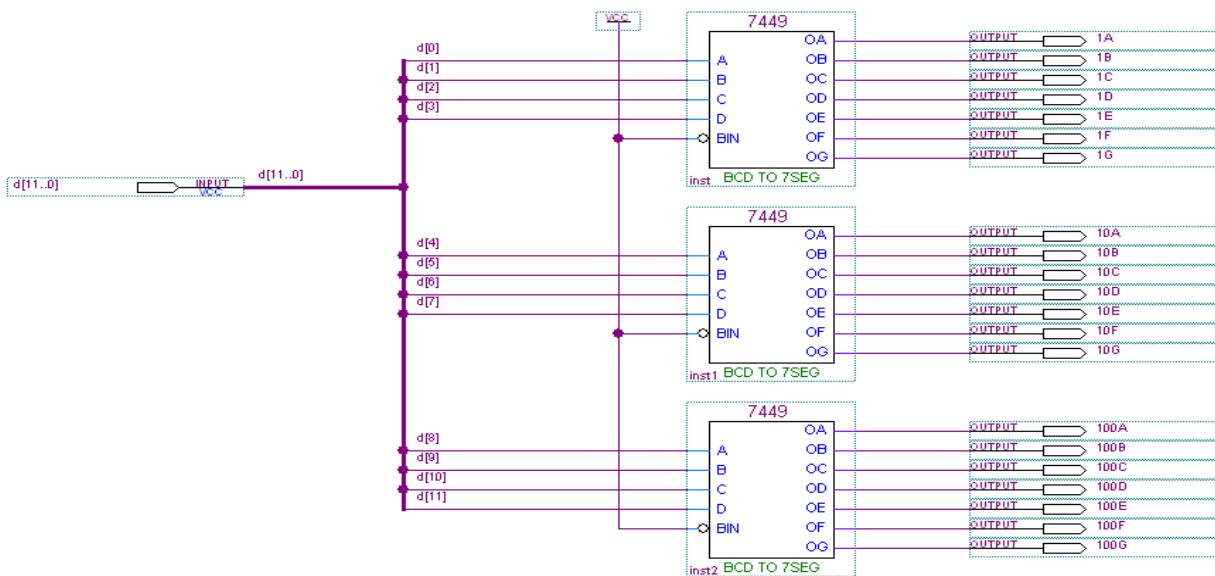
Функціональна електрична схема



Електрична схема лічильника для підрахунку N



Електрична схема математичної частини

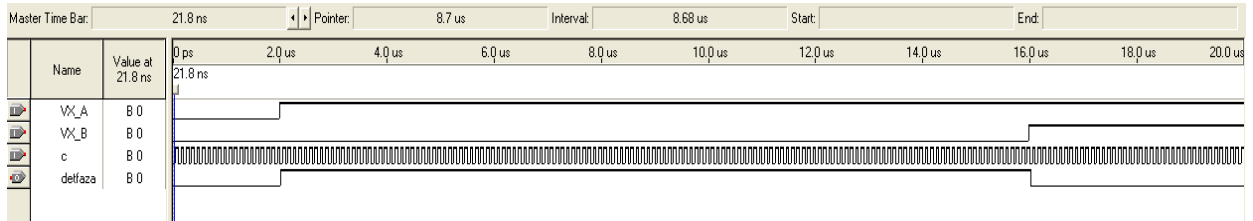


Електрична схема семисегментного перетворювача

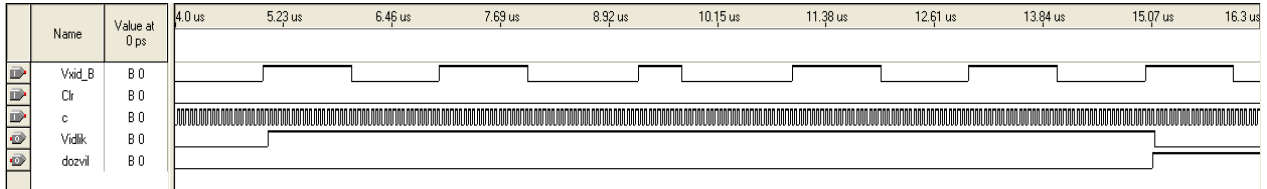
Додаток Ж
(обов'язковий)

Розробка вимірювача фази на FPGA

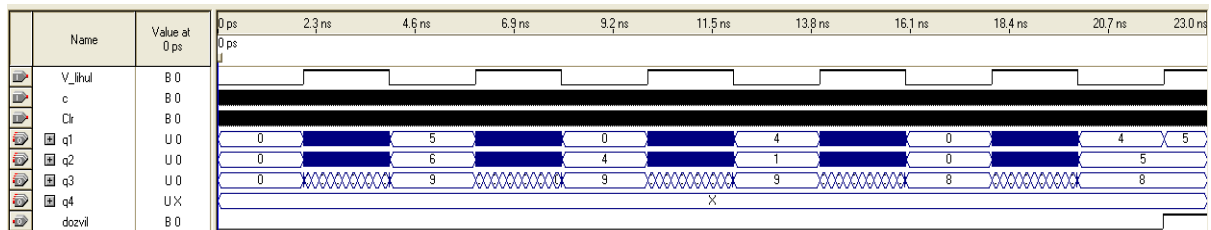
Моделювання функціональних блоків цифрового фазометра
в програмному пакеті Quartus II



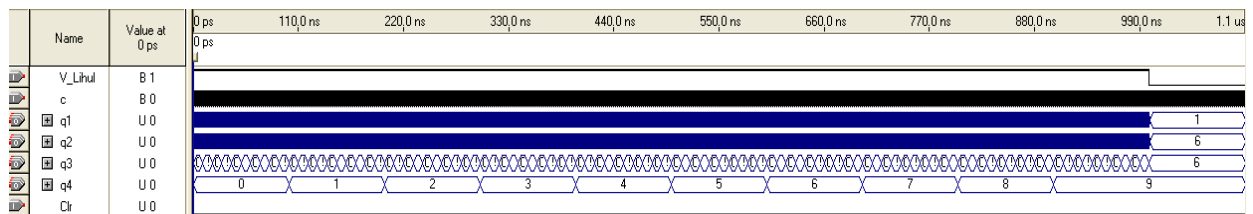
Моделювання роботи формувача стробуючого імпульсу ΔT



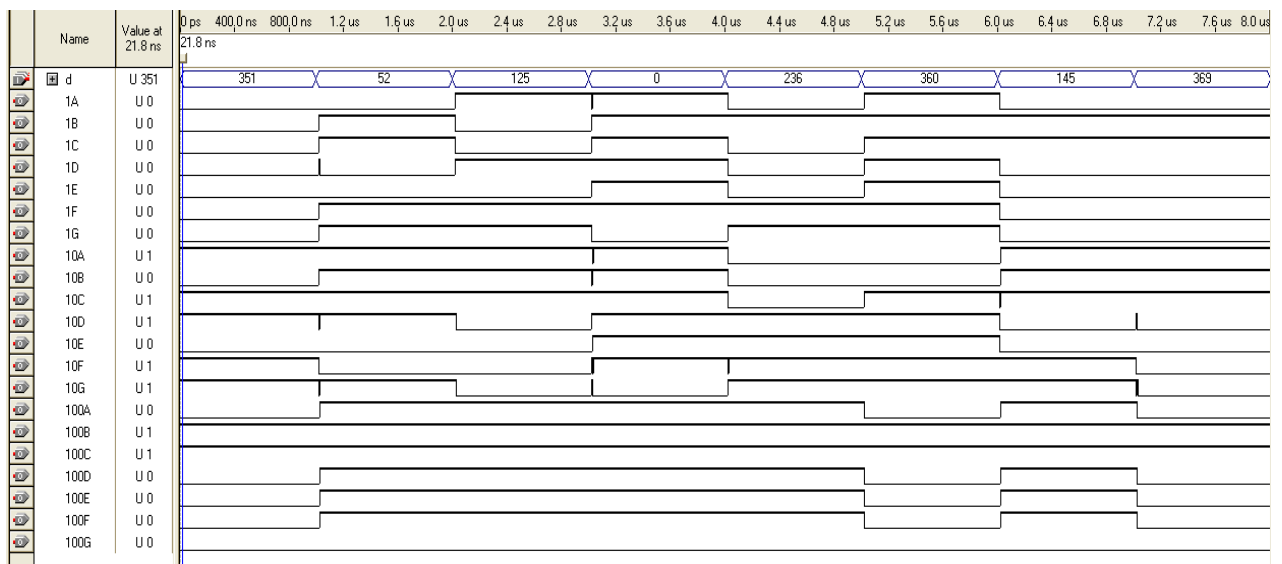
Моделювання роботи формувача стробуючого імпульсу $T*5$



Моделювання роботи лічильника для підрахунку n



Моделювання роботи лічильника для підрахунку N



Моделювання роботи семисегментного перетворювача