

Вінницький національний технічний університет  
Факультет інформаційних технологій та комп'ютерної інженерії  
Кафедра комп'ютерних наук

**Пояснювальна записка**

до магістерської кваліфікаційної роботи

**на тему: «Інформаційна технологія безпечного тестування схем  
цифрових пристроїв»**

Виконав: студент 2 курсу,  
групи 1КН-18м  
Спеціальності 122 «Комп'ютерні науки»  
**Морозов О.С.**

Керівник: к.т.н., ст.викл. Озеранський В.С.

Рецензент: к.т.н., доц.кафедри ПЗ  
Войтко В.В.

Вінниця  
2019 рік

ЗАТВЕРДЖУЮ  
Завідувач кафедри \_\_\_ КН \_\_\_  
д.т.н., проф.. Яровий А.А.

— \_\_\_\_\_  
“ \_\_\_\_\_ ” \_\_\_\_\_ (підпис) 2019  
року

## ЗАВДАННЯ

на магістерську кваліфікаційну роботу на здобуття кваліфікації магістра зі спеціальності: 122 – «Комп'ютерні науки»

08-22.МКР.006.18.338.ПЗ

Магістранта групи 2КН-18м Морозова Олександра Сергійовича

Тема магістерської кваліфікаційної роботи: «Інформаційної технології безпечного тестування схем цифрових пристроїв»

Вхідні дані: кількість елементів – 9 шт, потужність тесту – 16 розрядів, час нагрівання елемента – 0,3 мс, час охолодження елемента – 0,1 мс, максимальне нагрівання елементів – 90<sup>0</sup>, мінімальне нагрівання елементів – 25<sup>0</sup>.

Короткий зміст частин магістерської кваліфікаційної роботи:

1. Графічна: Модель теплових процесів тестування при температурних перевантаженнях внутрішньої структури пристрою; Температурні особливості тестування компонентних структур для систем покомпонентного діагностування; Фрагмент схеми цифрового пристрою; Часові особливості подавання тестових сигналів; Протікання струмів у різних режимах тестування елемента; Формування тестових послідовностей для фрагменту схеми; Алгоритм формування електричного захисту елементів; Формування векторів тестових сигналів з урахуванням перегрівання елементів.

2. Текстова (пояснювальна записка): вступ, обґрунтування доцільності розробки інформаційної технології безпечного тестування схем цифрових пристроїв, аналіз предметної області діагностування схем цифрових пристроїв, програмна реалізація інформаційної технології забезпечення деструктуризації схеми ЦП, економічна частина.

## КАЛЕНДАРНИЙ ПЛАН ВИКОНАННЯ МКР

№ етапу	Назва етапу	Термін виконання		Очікувані результати
		початок	кінець	
1	Аналіз предметної області надання рекомендацій при тестуванні схем ЦП. Постановка задач дослідження			Аналітичний огляд літературних джерел, задачі досліджень, розділ 1 ПЗ
2	Порівняльний аналіз методів розв'язування задач технічного діагностування			Метод, інформаційна технологія, розділ 2
3	Проектування програмних засобів інформаційної технології реструктуризації схеми ЦП			Програмне забезпечення, розділ 3
4	Підготовка економічної частини			розділ 4
5	Апробація та/або впровадження результатів дослідження			тези доповідей/акт впровадження
6	Оформлення пояснювальної записки, графічного матеріалу та презентації			Пояснювальна записка, графічний матеріал, презентація

Консультанти з окремих розділів магістерської кваліфікаційної роботи

1. Науковий керівник \_\_\_\_\_ к.т.н., ст. викладач кафедри КН  
(підпис) наук. ступінь, вчене звання (посада)  
 “ \_\_\_\_ ” \_\_\_\_\_ 20 \_\_\_\_ р. \_\_\_\_\_ **В.С. Озеранський**  
 \_\_\_\_\_  
ініціали та прізвище

2. Економічна частина \_\_\_\_\_ канд. екон. наук, доц. кафедри  
**ЕПВМ**  
(підпис) наук. ступінь, вчене звання (посада)  
 “ \_\_\_\_ ” \_\_\_\_\_ 20 \_\_\_\_ р. \_\_\_\_\_ **М. В. Бальзан**  
 \_\_\_\_\_  
ініціали та прізвище

Дата попереднього захисту роботи “ \_\_\_\_ ” \_\_\_\_\_ 20 \_\_\_\_ р.

Рецензент \_\_\_\_\_ канд. техн. наук, доц. кафедри ПЗ  
(підпис) наук. ступінь, вчене звання (посада)  
 \_\_\_\_\_ **В.В. Войтко**  
 \_\_\_\_\_  
ініціали та прізвище

Завдання видав науковий керівник \_\_\_\_\_ к.т.н., ст. викладач кафедри КН  
(підпис) наук. ступінь, вчене звання (посада)  
 “ \_\_\_\_ ” \_\_\_\_\_ 20 \_\_\_\_ р. \_\_\_\_\_ **В.С. Озеранський**  
 \_\_\_\_\_  
ініціали та прізвище

Завдання отримав магістрант \_\_\_\_\_ **О.С. Морозов**  
(підпис) ініціали та прізвище  
 “ \_\_\_\_ ” \_\_\_\_\_ 20 \_\_\_\_ р.

## АНОТАЦІЯ

В магістерській кваліфікаційній роботі на тему "Інформаційна технологія безпечного тестування схем цифрових пристроїв" проведено вдосконалення алгоритму упорядкування векторів тестових сигналів в процесі діагностування цифрових пристроїв, розглядається питання алгоритмічного забезпечення програмних засобів тестового покомпонентного пошуку місця несправностей.

З ціллю підвищення ефективності систем покомпонентного діагностування запропоновано використовувати коригування тестових матриць для декомпозиційного тестування схем цифрових пристроїв для зменшення загального часу реалізації діагностичних програм в умовах серійного виробництва.

## ANNOTATION

In the master`s thesis on a theme " Information technology of information for secure testing of circuits of digital devisec " perfection of algorithm of organization of vectors of signals of tests is conducted in the process of diagnosing of digital devices, the question of the algorithmic providing of programmatic test components query of place of disrepairs facilities is examined.

With the purpose of increase of efficiency of the systems of the components diagnosing it is suggested to use the correction of matrices of tests for the decomposition testing of charts of digital devices for diminishing of common time of realization of troubleshooting routines in the conditions of mass-produced.

## ЗМІСТ

ВСТУП .....	8
1 Обґрунтування доцільності розробки інформаційної технології безпечного тестування схем цифрових пристроїв .....	12
1.1 Суть технічної проблеми, що виникла на сучасному етапі розвитку науки, техніки і технології.....	12
1.2 Існуючі способи вирішення технічної проблеми, їх аналіз і недоліки .	18
1.3 Вибір та обґрунтування аналогу .....	19
1.4 Висновок про необхідність розробки нового технічного рішення.....	23
1.5 Висновки.....	24
2 АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ ДІАГНОСТУВАННЯ СХЕМ ЦИФРОВИХ ПРИСТРОЇВ .....	26
2.1 Аналіз моделей дефектів інтегральних мікросхем.....	26
Обриви друкованих провідників .....	28
Таблиця 2.2 - Сучасні системи контролю і діагностування ЦП.....	29
2.2 Розробка математичної моделі процесу безпечного тестування схем цифрових пристроїв.....	36
2.3 Розробка алгоритму безпечного тестування схем цифрових пристроїв	42
3 ПРОГРАМНА РЕАЛІЗАЦІЯ ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ ЗАБЕЗПЕЧЕННЯ БЕЗПЕЧНОГО ТЕСТУВАННЯ СХЕМИ ЦП .....	56
3.1 Обґрунтування вибору середовища програмування .....	56
3.2 Структурна організація програмного забезпечення безпечного тестування схем цифрових пристроїв.....	58
3.3 Створення програмного забезпечення безпечного тестування схем цифрових пристроїв.....	59

	7
3.4 Тестування створеного програмного забезпечення .....	64
3.5 Висновки.....	67
4 ЕКОНОМІЧНА ЧАСТИНА .....	68
4.1 Оцінювання комерційного потенціалу розробки .....	68
4.2 Прогнозування витрат на виконання наукової роботи та впровадження результатів .....	72
4.3 Прогнозування комерційних ефектів від реалізації результатів розробки.....	77
4.4 Прогнозування комерційних ефектів від реалізації результатів розробки.....	79
4.5 Висновок.....	83
ВИСНОВКИ.....	85
ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ.....	86
Додаток А. Технічне завдання .....	<b>Ошибка! Закладка не определена.</b>
Додаток Б. Інструкція користувача .....	<b>Ошибка! Закладка не определена.</b>
Додаток В. Лістинг програми .....	<b>Ошибка! Закладка не определена.</b>
Додаток Г. Графічні матеріал .....	<b>Ошибка! Закладка не определена.</b>

## ВСТУП

**Актуальність теми дослідження.** В результаті високих темпів мікромініатюризації електронної бази конструкція і складність друкованих плат (ДП) зазнала такі серйозні зміни, що спричинило розробку нових методів контролю якості як на стадії виготовлення, так і на стадії ремонту, а також нових тестуючих пристроїв.

Одним з основних чинників забезпечення надійності електронних пристроїв і систем є своєчасне виявлення дефектів і несправностей, що виникають в ДП. Якщо процес виробництва характеризується високим рівнем дефектності продукції, то це у свою чергу спричиняє за собою додаткові витрати на контроль якості, тестування і ремонт. Тому навіть при сталому і відлагодженому виробництві необхідно використовувати ефективні методи тестування і сучасне тестове устаткування. Конструкція самих ДП повинна забезпечувати технологічність виробництва і контролепридатність як друкованого монтажу, так і виробів в цілому.

Оптичний контроль якості ДП в дрібносерійному виробництві здійснюється візуальним способом з використанням штативних луп і стереоскопічних оптичних систем. У серійному виробництві використовуються автоматизовані установки оптичного контролю, забезпечені системою технічного зору і програмами аналізу зображень [5]. Такі установки дозволяють виявити відсутні електричні і конструкційні компоненти, наявність деформацій виводів компонентів, неправильне маркування, обриви провідників і паразитні перемички, з'єднання, що не пропаяли, і т.д.

Основним недоліком методу оптичного контролю є те, що він не дозволяє перевірити працездатність ДП в зборі, крім того він не дозволяє проконтролювати провідники, контактні майданчики і виводи, розташовані під корпусами компонентів, повнота контролю топології і цілісності



друкарського монтажу – електричних монтажних схем (ЕМС) - забезпечується тільки на зовнішніх шарах ДП.

Внутрішньосхемне тестування найбільш універсальний метод контролю якості ДП. Дане тестування дозволяє виявити відсутні або неправильно встановлені компоненти, дефектні компоненти, паразитні перемички (короткі замикання) і обриви провідників і т.д. Проте, якщо на платі є виводи компонентів, які неприпаяні, а тестування проводиться шляхом підключення зонда безпосередньо до виводу, дефект друкованого монтажу не буде виявлений, оскільки зонд під час перевірки притисне вивід до контактної майданчика. Конструкція ДП повинна дозволити використання тестуючого пристрою з контактними приладами з матрицею зондів [6, 7].

**Зв'язок роботи з науковими програмами, планами, темами.** Магістерська робота виконана відповідно до напрямку наукових досліджень кафедри комп'ютерних наук Вінницького національного технічного університету 22 К1 «Моделі, методи, технології та пристрої інтелектуальних інформаційних систем управління, економіки, навчання та комунікацій» та плану наукової та навчально-методичної роботи кафедри.

**Мета та завдання дослідження.** Метою дослідження є підвищення швидкодії систем безпечного тестування схем цифрових пристроїв.

Для досягнення поставленої мети необхідно вирішити такі задачі:

- проаналізувати особливості застосування існуючих методів електричного захисту елементів схеми, що тестується;
- розробити алгоритм модифікації сформованих тестових послідовностей для уникнення перегрівання елементів схеми;
- розробити інформаційну технологію корекції тестових послідовностей для формування етапів охолодження схеми, що тестується.

**Об'єкт дослідження** – це процес тестування схем цифрових пристроїв на основі застосування композиційно-декомпозиційного підходу.

**Предмет дослідження** – це програмні засоби тестування схем цифрових пристроїв.

**Методи дослідження.** У роботі використано такі методи наукових досліджень: семантично-синтаксичний контроль формалізованого опису ДВ, генерація тестів для відкриття невірних сполучень провідників і перевірки цілісності монтажу, формування умов виміру параметрів кожного ЕРЕ, в тому числі знаходження додаткових крапок підключення, що дозволять виключити вплив сусідніх ЕРЕ, генерація тестів для діагностування цифрових інтегральних схем і цифрових фрагментів ДВ, в тому числі знаходження початкових умов тестування, визначення черговості перевірки ЕРЕ і фрагментів ДВ.

**Наукова новизна одержаних результатів** полягає в наступному:

- Удосконалено метод модифікації сформованих тестових послідовностей для уникнення перегрівання елементів схеми під час їх перевірки;
- Удосконалено інформаційну технологію безпечного тестування схем цифрових пристроїв, що відрізняється від інших використанням дерева рішень, що забезпечило підвищення ефективності впорядковування векторів тестових сигналів під час перевірки елементів схем цифрових пристроїв.

**Практичне значення одержаних результатів** полягає у наступному:

1. Розроблено алгоритм безпечного тестування схем цифрових пристроїв, що дозволяє впорядковувати вектори тестових сигналів під час перевірки схем цифрових пристроїв
2. Розроблено інформаційну систему безпечного тестування схем цифрових, що дозволяє збільшувати швидкодію систем безпечного тестування схем цифрових пристроїв.
3. Розроблено програмне забезпечення безпечного тестування схем цифрових пристроїв, що забезпечує безпечне тестування елементів схем.

**Достовірність теоретичних положень** магістерської кваліфікаційної роботи підтверджується строгістю постановки задач, коректним застосуванням математичних методів під час доведення наукових положень, строгим виведенням аналітичних співвідношень, порівнянням результатів з відомими, та збіжністю результатів математичного моделювання з результатами, що отримані під час впровадження розроблених програмних засобів.

**Апробація результатів дослідження.** Результати дослідження магістерської кваліфікаційної роботи було апробовано на конференції «Молодь в науці: дослідження, проблеми, перспективи(МН-2020)»

**Публікації.** За результатами магістерської кваліфікаційної роботи опублікована 1 теза доповіді конференцій [1].

## ОБГРУНТУВАННЯ ДОЦІЛЬНОСТІ РОЗРОБКИ ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ БЕЗПЕЧНОГО ТЕСТУВАННЯ СХЕМ ЦИФРОВИХ ПРИСТРОЇВ

1.1 Суть технічної проблеми, що виникла на сучасному етапі розвитку науки, техніки і технології

Актуальність масового випуску високоякісних персональних комп'ютерів різноманітних типів, створення та освоєння серійного випуску ряду нових приладів та засобів автоматизації неможлива без наявності відповідного потужного діагностичного забезпечення виробів радіоелектронної апаратури (РЕА).

Існуючі засоби тестового діагностування аналогових, цифрових та змішаних вузлів можна поділити на три групи:

- структурне діагностування (функціональне тестування, функціональний контроль);
- поелементне (внутрішньосхемне, покомпонентне) діагностування (тестування), внутрішньо-схемний контроль;
- комбіноване (поелементно-структурне, змішане) діагностування (тестування).

Структурне діагностування здійснює тестування об'єкта в цілому. При цьому на входи схеми цифрових пристроїв з боку роз'єму подаються тестові впливи, а на виходах схем цифрових пристроїв (спеціальних внутрішньосхемних контрольних точках або з боку вихідної частини роз'єму) перевіряється правильність виконання функції, що реалізується контрольованою схемою. Після завершення процесу тестування схеми цифрових пристроїв визнається придатним, якщо немає несправностей [6, 7].

Звичайно на практиці для зменшення часу контролю обмежуються деякою підмножиною сигналів, що вибираються з урахуванням необхідної умови вірогідності контролю. При цьому сімейство множин всіх сигналів

утворить тест перевірки схеми цифрових пристроїв.

Основними перевагами структурного діагностування є простота підключення до схеми цифрових пристроїв, мале число каналів влаштування зв'язку джерел впливу і вимірювальних приладів з схеми цифрових пристроїв, швидкість перевірки по принципу 'придатний - непридатний'. Однак засіб структурного діагностування має наступні основні недоліки: більша трудомісткість процесу пошуку дефектів, особливо при кратних і 'нелогічних' несправностях (при невірній орієнтації діодів, транзисторів, мікросхем і т.д.); за наявності певних дефектів в схемі цифрових пристроїв при подачі робітничих впливу виникають катастрофічні відмови (вторинні дефекти); неможливість виявлення прихованих дефектів (відсутність ЕРЕ, роботи влаштування); складність і більша трудомісткість розробки тестів; складність виявлення кратних дефектів, що підвищують надійність [8, 9].

Основними умовами реалізації засобу структурного діагностування є:

- вимір і аналіз різноманітних вихідних параметрів (струм, напруга, тривалість і амплітуда імпульсів і т.д.)
- прилади або його частин (для цього необхідна широка номенклатура контрольно-вимірювальних приладів);
- виконання складних процедур і програм перевірки, що вимагають знання режимів функціонування схеми цифрових пристроїв;
- пошук дефектів оператором високої кваліфікації.

При діагностуванні гібридних вузлів (ГВ) в процесі їхнього виготовлення структурне діагностування в основному використовує режими імітації функціонування схеми цифрових пристроїв, що також є умовою, що ускладнює проведення діагностування, бо виникає необхідність в використанні і програмуванні додаткового обладнання (імітаторів впливу і навантажень). В основі засобу тестового поелементного діагностування лежить припущення про те, що якщо схема цифрових пристроїв відповідає

технічним вимогам, те він функціонує нормально, тобто припускається, що схеми цифрових пристроїв працює нормально, якщо малюнок друкованого монтажу і орієнтація ЕРЕ відповідають схемі і параметри всіх ЕРЕ знаходяться в заданих межах. При оцінці параметрів ЕРЕ тестове поелементне діагностування передбачає допусковий контроль. При допусковому контролі виробляється контроль правильності монтажу і визначення відповідності вибраних параметрів ЕРЕ значенням в поле допусків. Бо вимір параметрів елементів можна виконати при низьких рівнях тестових сигналів, те подібний контроль практично неруйнуючий при будь-яких сукупностях дефектів в вузлах РЕА. Поелементне діагностування полягає в проведенні послідовності перевірок кожного ЕРЕ, зокрема при виконанні умови винятку взаємного впливу ЕРЕ. Розглянемо основні принципи поелементного діагностування гібридних вузлів РЕА і мікроборок. Передусім слід відзначити що в процесі виготовлення друкованого вузла (ДВ) виникають численні дефекти довільної кратності. Моделлю цих дефектів є сукупність тривких несправностей: обриви провідників, короткі замикання, невірна орієнтація активних ЕРЕ відносно шин живлення, вихід параметру ЕРЕ за межі допуску, монтаж ЕРЕ іншого типу, невірне функціонування ЕРЕ і т.д. Мета поелементного діагностування полягає у вказанні точного вигляду дефекту (будь-якої кратності) після виконання автоматичного направлено опитування станів кожного елементу ГУ. При створенні СПД вирішуються наступні основні задачі: забезпечення доступу до внутрішніх контрольних точок схеми цифрових пристроїв, виняток впливу схеми при перевірці пасивних ЕРЕ - режим розподілу, захист активних ЕРЕ (транзисторів, інтегральних схем і т. П.) від пошкодження при тестуванні, автоматизація і отримання тестового впливу. В нинішній час доступ до висновків ЕРЕ з боку монтажу звичайно забезпечується шляхом використання спеціального контактного пристосування в вигляді матриці з підпружинених голкових штирів (контрольних щупів) [10, 11].

Вхідною інформацією для генерації тестів при поелементному діагностуванні є опис схеми цифрових пристроїв в термінах принципових електричних схем. Такий опис ДВ на формалізованій мові звичайно представляється в вигляді переліку ЕРЕ і таблиці сполучень між ними.

Процес генерації тестів виробляється в наступній послідовності:

- семантично-синтаксичний контроль формалізованого опису ДВ;
- генерація тестів для відкриття невірних сполучень провідників і перевірки цілісності монтажу;
- формування умов виміру параметрів кожного ЕРЕ, в тому числі знаходження додаткових крапок підключення, що дозволять виключити вплив сусідніх ЕРЕ; генерація тестів для діагностування цифрових інтегральних схем і цифрових фрагментів ДВ, в тому числі знаходження початкових умов тестування;
- визначення черговості перевірки ЕРЕ і фрагментів ДВ.

Автоматизований синтез тестів в СПД здійснюється значно простіше і швидше, ніж при структурному діагностуванні. Для отримання програм перевірки схеми цифрових пристроїв в сучасних СПД звичайно використовується автоматичний генератор тестів. При структурному діагностуванні тести в багатьох випадках складаються вручну або напівавтоматично, зважаючи на велику складність необхідного програмного забезпечення для синтезу тестів і необхідність ретельного вивчення всієї схемотехніки схеми цифрових пристроїв [12, 13].

Трудомісткість укладання програм перевірки і діагностики для систем структурного діагностування (ССД) у порівнянні з СПД в 8 раз більше для цифрових вузлів і в 20 раз більше для аналогових вузлів. Слід відзначити також, що якість програм функціональної перевірки залежить безпосередньо від майстерності програміста, оскільки він вручну повинен аналізувати схеми цифрових пристроїв і генерувати окремі діагностичні процедури для пошуку

дефектів. Відладка програм перевірки в СПД проходить швидше, тому що маємо справу з базовими компонентами схеми цифрових пристроїв і відповідними базовими програмними модулями. Однак необхідно відзначити, що СПД ні в якому випадку не є заміною ССД. І ті і інші мають свої переваги і недоліки. Основні переваги СПД: більша глибина пошуку дефектів, малий час пошуку дефектів, швидка підготовка тестових програм, малий час на впровадження системи і перебудови на нову продукцію, менші витрати на придбання і експлуатацію системи. Недоліки СПД: не виявляють помилки проектування ГУ, перевірки виконуються тільки при температурі навколишнього середовища, не виявляються несправності по критичних тимчасових параметрах синхронізації цифрових схем. Основні переваги ССД: виявляють помилки, допущені при проектуванні схеми цифрових пристроїв, виявляють несправності критичних параметрів синхронізації цифрових схем, перевіряються ДВ в реальному масштабі часу і при будь-яких температурних режимах. Недоліки ССД: більша вартість, трудомісткість укладання програм діагностування, більша складність і трудомісткість пошуку дефектів в ДВ. Якщо застосовувати СПД і ССД в одному технологічному процесі виготовлення РЕА, то вони, доповнюючи друг друга, дозволяють збільшити випуск і якість продукції, створюють економію витрат часу і засобів. В ряді випадків економічно доцільним є створення і впровадження автоматизованих систем, що комбінують діагностування (СКД), співставляють принципи поелементного і структурного діагностування в одній системі.

Малі габарити і низька вартість мікро-ЕОМ дозволяє ефективно використовувати їх в мультимікропроцесорних системах, в яких периферійні мікро-ЕОМ використовуються для управління конкретними процесами-вимірювання, проведенням діагностування і т.д., мають можливість обміну інформацією між собою і центральною керуючою ЕОМ. Центральна керуюча ЕОМ дозволяє періодичні збирати інформацію з периферійних мікро-ЕОМ, управляти їхньою роботою і вести безпосереднє управління блоками системи.



По результатах інформації центральна ЕОМ може проводити статистичну обробку процесу діагностування, забезпечувати можливість оператору втручатися в процес, що управляється. На периферійну керуючу мікро-ЕОМ лягає задача збору і обробки даних про процес ,що управляється, виконуючи певну функцію СПД; формування необхідної інформації для центральної ЕОМ [15, 16, 17].

Для ефективної організації роботи мультимікропроцесорної системи необхідно провести аналіз існуючих мікропроцесорів (МП) з метою вибору найбільш оптимального з них. Вибраний МП по своїм функціональним і структурним даним повинен найбільш повно відповідати вимогам мультимікропроцесорної системи. Аналіз показує, що засоби реалізації програмного управління поділяють всі МП на два різні класи: однокристальні МП з фіксованою системою команд і МП з розрядно-модульною (РМ) організацією. Основними елементами архітектури однокристальних МП є:

- арифметико-логічний пристрій (АЛП);
- пристрій управління (ПУ);
- схеми синхронізації і управління станами МП;
- узгоджуючі пристрої;
- внутрішні магістралі;
- регістри загального призначення (РЗП).

Мікропроцесори, що організувалися подібним образом, є універсальними приладами з програмним управлінням.

Організація обчислень в однокристальних МП схожі між собою і відрізняються друг від друга внутрішньою архітектурою (структурою і системою команд). Розрядно-модульні МП з розрядністю слова володіють властивістю модульної побудови процесорів, а також магістральними зв'язками між модулями. Така розрядно-модульна архітектура МП володіє рядом переваг у порівнянні з однокристальними МП: підвищена швидкодія, можливість вибору самим розробником структури МП, а також власний набір

команд. В результаті такої універсальності в розрядно-модульних МП досягається високий ступінь оптимізації, що дозволяє розробляти МП під його конкретне застосування. Нарощуваність довжини слова МП можна здійснити послідовним сполученням необхідного числа ВІС МП. Нарощування обсягу мікропрограмної пам'яті здійснюється одним з двох засобів-горизонтальним і вертикальним. Розглянемо типові представники розрядно-модульних МП, розроблених одним з вищезазначених засобів [18, 19, 20].

В процесі поелементного діагностування необхідно на вхід логічного елемента, що контролюється, подавати відповідну послідовність тестових наборів. При цьому на тестові комбінації не повинні виявляти істотний вплив сигнали, що надходять з виходів сусідніх мікросхем. Тривалість тестових сигналів повинна бути достатньо мала, щоб не призвести до теплових пошкоджень приладів.

## 1.2 Існуючі способи вирішення технічної проблеми, їх аналіз і недоліки

Задача виявлення працездатності приладу вирішується в процесі контролю та діагностування. На сьогодні існує багато видів контролю. На практиці широке розповсюдження набуло поняття внутрішнього контролю. Недоліком такого контролю є неповнота, так як він виконується на випадкових задачах. Як альтернатива оперативному контролю, існує тестовий контроль, який ми розглянемо. Він здійснюється у спеціально відведені проміжки часу та вирішує спеціальні тестові задачі. Тестовий контроль можливо здійснювати як з допомогою зовнішніх так і з допомогою вбудованих засобів. Основним недоліком тестового контролю є втрати додаткового часу. Але так як тестовий контроль здійснюється в спеціально відведені проміжки часу, то багатократне повторення дає можливість накопичувати помилки, пов'язані зі збоями, і в результаті їх аналізу знаходити причини збою та місця їх виникнення [21].

Наведемо порівняльну таблицю систем загального діагностування (СЗД) з системами покомпонентного діагностування (таблиця 1.1).

Таблиця 1.1 – Порівняльна таблиця систем загального діагностування з системами покомпонентного діагностування.

№	Характеристика	СЗД	СПД
1.	Глибина діагностування	Мін	Макс
2.	Вторинні дефекти	Не усуває	Відсутні
3.	Складність програм тестування	Мін	Макс
4.	Повнота контролю	Макс	Не усуває динамічні дефекти
5.	Час тестування	Мін	Макс

Більш конкретно зупинимось на методі покомпонентного діагностування, суть якого полягає у послідовній перевірці кожного компонента ЦП шляхом безпосередньої передачі на його входи тестових впливів та аналізу відповідних реакцій, які знімаються безпосередньо з його виходів при здійсненні умови виключення взаємного електричного впливу компонентів один на одного.

### 1.3 Вибір та обґрунтування аналогу

Огляд літератури по даній темі показав, що прямих аналогів даної розробки не існує. У попередніх системах діагностування тільки поелементне тестування, а також важливо вірно вибирати тривалість навідних напруг не більше 1с, щоб не привести до теплових пошкоджень елементу.

Серед різноманіття контрольно-вимірювального обладнання коштує лише відзначити автоматизовані системи контролю і діагностики електричного внутрисхемного контролю з «літаючими» пробниками, є еволюційним етапом розвитку засобів автоматизованого контролю зібраних друкованих вузлів (рис.1.1.). Принципова особливість таких установок полягає у відсутності необхідності розробляти і виготовляти додаткову оснастку під кожен вид тестованих виробів, що є необхідною умовою для систем електричного контролю адаптерного типу (відомих також як «ложе цвяхів») [8]. З появою систем з літаючими пробниками виробничі підприємства отримали недоступну раніше можливість використовувати ефективні засоби швидкого автоматизованого тестування і локалізації дефектів.

Система електричного контролю плат може перевіряти абсолютно будь-які схеми, і єдиним завданням в переналадке обладнання до нового виробу є написання відповідної програми. Мінусом є тривалість процесу, оскільки переміщення щупів займає певний час, навіть якщо щупів встановлено мало, то у багатьох випадку стає неможливим паралельне вимір різних елементів схеми.

Для вирішення завдань електричного контролю плат в масовому виробництві використовуються системи зі спеціальними адаптерами (рис. 1.2). Адаптер являє собою плату, на якій вже встановлені пробники для кожного з тестованих контактів. Сенс вимірювання полягає в тому, що під час роботи установки адаптер притискається до досліджуваного виробу, тим самим все пробники знаходяться в контакті з відповідними компонентами досліджуваної плати. Після чого відбувається паралельний вимір всіх необхідних параметрів. Даний процес протікає значно швидше, однак перехід на новий виріб обіцяє розробку і підготовку нового адаптера, що вимагає чималу кількість часу і коштів і неприйнятно для багатономенклатурного виробництва.

Велика частина устаткування для завдань вимірів і діагностики поставляється з програмним забезпеченням (ПЗ), яке зазвичай дозволяє працювати тільки з конкретною моделлю або сімейством приладів. Крім того, подібне ПО зазвичай має обмежені можливості, тому для того, щоб реалізувати якийсь додатковий функціонал (наприклад, об'єднати обладнання в мережу, додати специфічну обробку даних або підготовку звітів) доводиться вирішувати завдання взаємодії з іншим програмним забезпеченням.

Досить часто, збірка і узгодження обладнання системи займає більше часу, ніж сам процес розробки програми. По-перше, потрібно знайти і встановити драйвери для кожного пристрою системи, а по-друге, необхідно розібратися з моделями програмування, реалізовані драйверами, які можуть істотно різнитися.



Рисунок 1.1 - Система електричного контролю з літаючими пробниками



Рисунок 1.2 - Системи електричного контролю адаптерного типу

Наведена розробка алгоритму синтезу тестів ЦП для СПД дозволяє виключити виникнення вторинних дефектів (коли перевіряється один логічний елемент - пошкоджується інший) за рахунок зменшення часу перевірки об'єкту діагностування до 200-300 н.с., при цьому встановлюються умови захисту логічного елемента, а також можливо здійснити перевірку пофрагментно.

#### 1.4 Висновок про необхідність розробки нового технічного рішення

Як було сказано раніше, використання лише структурного (загального) або тільки покомпонентного метода діагностування в процесі пошуку дефектів знижує його ефективність. Через це, в подальшому буде здійснюватись комбінація цих методів з метою виробництва більш якісного товару та з метою збільшення простоти та швидкості виявлення несправностей виробу.

Логічні елементи – основний будівельний матеріал ЕОМ. Елементи зберігання двійкової інформації (тригери), що входять в склад ЕОМ, окрім логічних елементів, також можуть бути синтезованими на основі логічних елементів. Інші елементи ЕОМ – підсилювачі, генератори, індикатори та інші – виконують допоміжну або спеціальну роль. Логічні елементи разом з тригерами складають 70 – 80 % загальної кількості елементів ЕОМ і в основному визначають поняття “елементна база”. Тому очевидна загальноприйнята класифікація еволюції ЕОМ за поколіннями, в основу яких покладені етапи розвитку елементної бази [22, 23].

Розвиток електронної обчислювальної техніки, інформатики та застосування їх засобів та методів в народному господарстві, наукових дослідженнях, освіті та інших сферах є в даний час пріоритетним напрямком науково-технічного прогресу. Це приводить до необхідності широкої підготовки спеціалістів по електронним обчислювальним машинам, системах та мережах, програмному забезпеченню та прикладній математиці, автоматизованих системах обробки даних і керуванню та інших напрямках, що пов'язані з інтенсивним використанням обчислювальної техніки. Всім цим спеціалістам потрібні достатньо глибокі знання принципів побудови та функціонування сучасних комп'ютерів, комплексів, систем та мереж, мікропроцесорних засобів.

На теперішній момент тестування компонентів цифрових пристроїв є важливою частиною розвитку розробки нових технологій.

Програми тестування компонентів цифрових пристроїв застосовуються для збору найбільш детальної інформації про працездатність ЕОМ (або її складових частин).

### 1.5 Висновок

Виходячи з проведеного аналізу сучасних апаратно-програмних методів декомпозиційного тестування цифрових схем можна зробити наступні висновки [24, 25].

Недоліками апаратних методів розбиття схем цифрових пристроїв є:

- внесення до об'єкту діагностування додаткових схем, що забезпечують безпосередньо процес декомпозиції, а також призводять до небажаних обмежень у схемних рішеннях і додаткових економічних витрат у процесі розробки або проектуванні принципів схем пристроїв на відповідній елементній базі; кожний розробник апаратури повинен дотримуватися пропонованим переліком правил розробки схем, які забезпечують поліпшення процедур тестування;

- тестування об'єктів не на "робочих" частотах (через часте переключення режимів функціонування схем: робота ↔ тестування) приводить до збільшення часу діагностування об'єкту у цілому;

- зниження надійності цифрових виробів, які проектуються, виробляються або експлуатуються за рахунок планованого введення додаткової апаратної надлишковості з метою спрощення процесів діагностування.

У зв'язку з цим метою дослідження є оптимізація процесів покомпонентного діагностування ЦП на основі композиційно-



декомпозиційного підходу представлення їх структур, що підвищує ефективність апаратно-програмних засобів.

Для досягнення поставленої мети необхідно розв'язати такі задачі:

- удосконалити методику машинного моделювання процесу фрагментування вихідних структур;
- удосконалити алгоритм моделювання процесу фрагментування вихідних структур об'єктів при врахуванні глибини діагностування;
- розробити інформаційну технологію безпечного тестування схем цифрових пристроїв
- розробити програмне забезпечення безпечного тестування схем цифрових пристроїв
- проаналізувати результати роботи програмного забезпечення.

## АНАЛІЗ ПРЕДМЕТНОЇ ОБЛАСТІ ДІАГНОСТУВАННЯ СХЕМ ЦИФРОВИХ ПРИСТРОЇВ

### 2.1 Аналіз моделей дефектів інтегральних мікросхем

Серед традиційних методів тестового діагностування різних цифрових пристроїв, що, як правило, реалізують подачу тестових сигналів тільки з боку крайових роз'ємів об'єктів досліджень, існують способи (а, отже, і системи, що їх реалізують) безпосередньо внутрішньосхемного пошуку несправностей. Доцільність появи таких підходів пояснюється бажанням усунути недоліки існуючих процедур тестування, яким притаманний великий обсяг машинної пам'яті для програм пошуку місця прояву несправностей у ЦП, мала глибина діагностування, можливі наслідки, що пошкоджують, (через наявність у схемах, наприклад, коротких замикань і обривів друкованих провідників у момент вмикання напруги живлення) при подачі тестових впливів (що особливо критично в умовах серійного виробництва різних ЦП). Орієнтуючись на певні дефекти і їх типи, у системах діагностування реалізуються різні процедури пошуку несправностей в об'єктах діагностування, де під схеми цифрових пристроїв надалі будемо розуміти цифровий пристрій (ЦП), технологічно виконаний у вигляді одностороннього монтажу з корпусів мікросхем усіх ступенів інтеграції і друкованих, що з'єднують їх виводи.

У таблиці 2.1 приведений типовий розподіл виробничих дефектів, що проявляються у процесі виготовлення і налагодження різних ЦП [26]. Аналіз цього статистичного матеріалу сприяє вибору оптимальних засобів і стратегій діагностування пристроїв, а, отже, і ефективності методів покомпонентного (пофрагментного) пошуку несправностей в умовах виробництва.

Конструктивною особливістю реалізації таких методів є можливість безпосереднього доступу у внутрішні вузли (контрольні точки (КТ)) об'єкта.

Це здійснюється за допомогою спеціально розробленого комутуючого пристрою, виконаного у виді прямокутної матриці з підпружинених контактних голок (“ложе з цвяхів”), які приєднуються до будь-якого об’єкту дослідження за різними фізичними принципами.

Перевагою таких тестерів є висока глибина діагностування цифрових пристроїв, порівняно невелика трудомісткість підготовки програм пошуку місця знаходження несправностей. При цьому слід зазначити, що процедури контролю компонентів ЦП для систем покомпонентного тестування носять непошкоджуючий характер (який забезпечується спеціально створюваною множиною потенціалів - умовами електричного захисту зв'язаних між собою елементів об’єкта діагностування). Такий підхід має свої особливості в процесі подання тестових сигналів у внутрішні вузли досліджуваних пристроїв.

До недоліків методу покомпонентного діагностування можна віднести, наприклад, нездатність систем виявляти несправності динамічного характеру, що виявляють себе тільки на підвищених частотах тестування. Це пояснюється рядом обставин. Однією з таких причин є наявність у складі засобів діагностування релейного комутуючого пристрою. Як правило, об’єкти дослідження, нерідко, являють собою гібридні схеми, що вимагають високої точності вимірів рівня вихідних сигналів, наприклад, для аналогових елементів, що входять у різноманітні фільтри (електронний комутатор не дозволяє цього зробити через шунтуючу дію вихідного імпедансу). Це приводить до зниження частоти обміну тестової інформації між ЦП і СПД (до  $\approx 1$  МГц).

Слід зазначити, що метод покомпонентного діагностування має свої особливості реалізації програм тестування цифрових об’єктів. До систем першого типу відносяться засоби, що не створюють попередніх умов електричного захисту елементів, приєднаних до вузлів, в які безпосередньо подаються тестові сигнали. Системи такого класу мають відносну простоту програмного забезпечення (зберігаються фактично тільки тести елементів мікросхем), швидко реалізацію процедур діагностування (у порівнянні із системами

загального діагностування). Однак такий метод не дозволяє застосовувати декомпозиційні стратегії тестування ЦП і дуже критичний до тривалості наведення тестових сигналів у вузлові точки об'єкта. До таких систем можна віднести, наприклад, технологічну систему СТ-1013 чи Kryterion 650 (у таблиці 2.2 приведені найбільш відомі як вітчизняні, так і закордонні засоби, що реалізують внутрішні процедури пошуку місця несправностей) [27]. Для таких систем притаманне зниження глибини діагностування, що зменшується з підвищенням ступеня інтеграції елементів об'єктів досліджень. Це, безсумнівно, обмежує множину і типи ЦП, як об'єктів досліджень.

Таблиця 2.1 - Основні типи дефектів виробництва ЦП

Типи дефектів виробництва РЕА	Відсоткове співвідношення при серійному виробництві виробів
Коротке замикання друкованих провідників	34%
Обриви друкованих провідників	27%
Неправильна орієнтація ЕРЕ відносно шин напруги живлення	15%
Пропущені ЕРЕ	9%
Встановлені ЕРЕ не в відповідності до принципової схеми пристрою	8%
Дефекти вихідного контролю	5%
Нелогічні дефекти	2%

Таблиця 2.2 - Сучасні системи контролю і діагностування ЦП

Системи діагностування	Держава, фірма	Спосіб перевірки	Число контрольних точок	Спосіб автоматичного навчання	Способи підключення до ОД
1	2	3	4	5	6
4400Z	США «Faction Inc»	Э	1024	Самонавч.	гкп, з
Kryterion 650	США «Evcret / Charls»	Э	16384	Самонавч.	гкп
Z-1SOO	США «Zehntel Inc»	Э	2048	Producer	гкп
LBA-11	США «Test System Inc»	Э	2048	Самонавч.	гкп

Деяким удосконаленням розглянутого підходу є застосування сигнатурних методів пошуку місця несправностей у ЦП, а також програм самонавчання, що дозволяють істотно зменшити загальний час підготовки програм контролю елементів. Системи такого класу знайшли своє широке застосування як аналізатори виробничих дефектів. До систем, що реалізують програми самонавчання можна віднести, наприклад, PRO-1990 фірми Protech. В умовах серійного виробництва цифрових об'єктів подібні інтелектуальні тестери шляхом реалізації спеціальних програм одержують інформацію про топологію об'єктів діагностування, що необхідна для автоматизації процесу синтезу програм тестування, а також сигнатурного аналізу результатів перевірок.

До паралельно розроблюваних систем, що мають конструктивний доступ до внутрішніх вузлів об'єкта у виді спеціалізованих контактних пристосувань (кліпс – зонди, що переустановлюються вручну оператором засобів діагностування), можна віднести системи комбінованого діагностування, наприклад, системи ТЕКОД і ТЕКОД-М [2, 28]. Система ТЕКОД є мультипроцесорною системою, призначеною для контролю і діагностування цифрових

мікропроцесорних пристроїв, змонтованих на друкованій платі, а також цифрових компонентів підвищеного ступеня інтеграції – ВІС і НВІС, ОЗПУ, ПЗП, ППЗП. Вона застосовується не тільки на етапах вхідного і вихідного контролю об'єктів (а також у процесі їх виготовлення), але й у дослідницьких цілях [3, 27].

Подальшим розвитком системи ТЕКОД є система ТЕКОД-М, для якої (крім технічних удосконалень) кожний канал зв'язку з об'єктом дослідження є автономним і може активізуватися незалежно від завантаження інших каналів. Це дає переваги змінювати напрямок передачі інформації в процесі діагностування об'єкта (“тестування вліт”).

Пошук оптимальних стратегій діагностування привів до розробки систем комбінованого тестування. Типовим представником систем такого класу є відома система L200 фірми TERADYNE. Тестування виконується через крайові роз'єми об'єкту, а також за допомогою типу “ложе з цвяхів”. Пропонується також модифікація цієї системи – L280VX, що орієнтована на об'єкти дослідження, що містять такі елементи як НВІС.

Адаптація тестових методів діагностування до особливостей функціонування сучасних цифрових пристроїв привела до розробки тестера комбінованого типу Z3200 компанії ZENYTEL [3, 6]. У ньому реалізований метод емуляції шинних циклів, що надає можливість використовувати власні тестові програми в процесі формування програми тестових експериментів. Керуючі канали підключаються до елементів об'єкту дослідження за допомогою багатоконтактного пристосування типу кліпса. Такий конструктивний доступ дозволяє переводити ВІС (мікропроцесор) у високоімпедансний стан по всіх виводах, що дає можливість замінювати програми самотестування, які зберігаються в ПЗП, на власні програми, котрі представляють собою спеціальні послідовності тест-векторів.

Слід зазначити, що для пристроїв, що містять ВІС і НВІС, процес реалізації програм тестування значно спрощений через використання

високоімпедансного режиму вихідних каскадів мікросхем. Це дає додаткові можливості зняти часові обмеження на тривалість подання тестових впливів у вузлові точки, які безпосередньо з'єднують елементи сформованих компонентних структур. Однак слід зазначити, що такий метод внутрісхемного тестування ЦП має свої особливості: так, часова подача тестових імпульсів у контрольні точки (КТ), що зв'язують між собою компоненти внутрішньої структури об'єкта дослідження, визначається фізичними процесами (і їх обмеженнями), що протікають у вихідних каскадах корпусів інтегральних мікросхем. Недотримання певних заходів для електричного захисту елементів ЦП підвищує імовірність внесення в об'єкт вторинних дефектів, втрати працездатності пристрою і можливого погіршенню фізичних характеристик його елементів, а отже, і до зниження його надійності при подальшій експлуатації за призначенням.

Особливістю «примусової» подачі тестових сигналів у внутрішні КТ об'єкта є те, що розглянутий процес, нерідко, може приводити до виходу електричних параметрів мікросхем в область значень, що лежать поза ТУ їх нормальної (розрахункової) експлуатації. Так, відомо, що багато характеристик інтегральних мікросхем (такі як концентрація неосновних носіїв заряду, їх рухливість, час життя і так далі) у значній мірі залежать від температури, що змінюється в процесі наведення тестових імпульсів. Теплові процеси змінюють (у свою чергу) електричні параметри елементів (наприклад, падіння напруги *p-n*-переходів, значення зворотного струму колекторів, напругу пробою транзисторів і інші) об'єкта дослідження [29]. Тривалий режим такого «температурного тренування» напівпровідникових структур мікросхем може привести до втрати їх термічної стійкості, коли (наприклад, внаслідок перерозподілу струму по активній області кристала) струм починає стікатися в «шнур», що викликає лавинне наростання температури в області «шнура» і може привести до «проплавлення» самої області кристала [4].

Значення температури *p-n*-переходу інтегральних мікросхем ніколи не повинно перевищувати максимального рівня, встановлених ТУ підприємством виробником. Звичайно максимальна температура навколишнього середовища приймається  $75^{\circ}\text{C}$  [1]. При цьому, якщо максимальна температура (у відповідність з технічними вимогами) *p-n*-переходу дорівнює  $125^{\circ}\text{C}$ , і при цьому необхідно виконання обох технічних вимог, то перевищення температури над навколишнім середовищем (у місці з'єднання) не повинне складати  $50^{\circ}\text{C}$ . Якщо при цьому в умовах наведення тестових сигналів температура навколишнього середовища складає  $25^{\circ}\text{C}$ , то температура *p-n*-переходу складе менше  $75^{\circ}\text{C}$  і, тому, припустиме підвищення температури на  $50^{\circ}\text{C}$  (до моменту досягнення процесом розігріву структури ЦІС) встановленим ТУ припустимої температури  $125^{\circ}\text{C}$ . Таким чином, у процесі внутрішнього тестового діагностування перевищення температури *p-n*-переходу повинно складати не більше  $50^{\circ}\text{C}$ . При повторному (примусовому) процесі зміни рівнів вихідних сигналів досліджуваного об'єкта нагрів корпусу стає дуже істотним. Експериментальні дослідження показали, що, при виконанні до ста повторюваних циклів наведення імпульсів, нагрів корпусу мікросхеми викликає підвищення температури приблизно на  $15^{\circ}\text{C}$  [2]. При цьому припустиме підвищення температури *p-n*-переходу буде складати  $35^{\circ}\text{C}$ .

Іншою вимогою (у процесі тестування) є обмеження на небажане підвищення температури з'єднувальних провідників, що зв'язують вузли, куди подаються тестові сигнали, з корпусами інтегральних мікросхем. Це обмеження полягає в тому, що абсолютна температура з'єднувальних провідників не повинна перевищувати 40% від найменшої температури з усіх температур плавлення різних матеріалів (золота, алюмінію), з яких виготовлені з'єднувальні провідники. Обмеження на перевищення температури рівня  $\approx 200^{\circ}\text{C}$  забезпечує мінімальну температурну «вигибну»



деформацію сполучних провідників, при якій вони не розплавляються в процесі нагрівання їх тестовими імпульсами.

Контроль параметрів внутрісхемних теплових процесів може бути здійснений шляхом їх машинного моделювання. При цьому, як правило, розглядаються (розраховуються) екстремальні значення статичних параметрів елементів об'єкта дослідження, що доступні для засобів достовірного виміру і корекції засобами діагностування.

Як видно з вихідної характеристики (рисунок 2.1) [1], наприклад, інтегральних схем, виготовлених за *ТТЛ* (*ТТЛШ*)-технологію, подача у внутрішні КТ, що зв'язують між собою компоненти пристрою (рисунок 2.2), тестових сигналів певної потужності приводить до значного збільшення струму, що протікає через транзистор *VT4* вихідного каскаду. Такий струм є джерелом інтенсивних теплових процесів, що визначають стійкість основних параметрів мікросхем тільки у певному діапазоні температур. Для розрахунку характеристик безпечного тестового діагностування пристроїв був проведений аналіз відповідних теплових процесів у напівпровідникових структурах їх елементів [7].

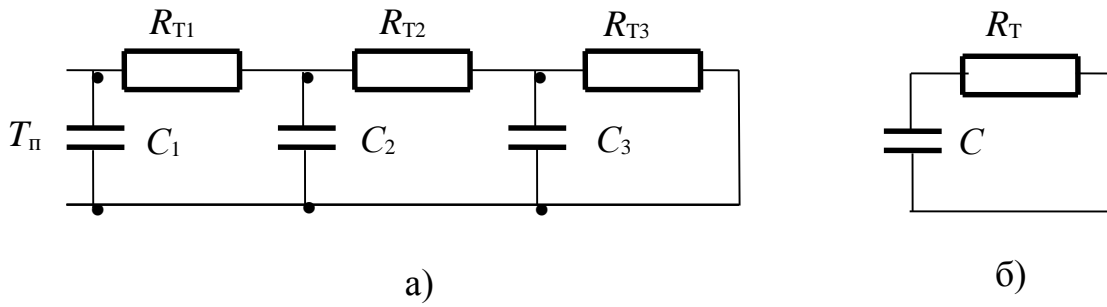


Рисунок 2.1. - Модель теплових процесів тестування при температурних перевантаженнях внутрішньої структури ЦІС:  
(а) еквівалентна схема , б) спрощена схема.

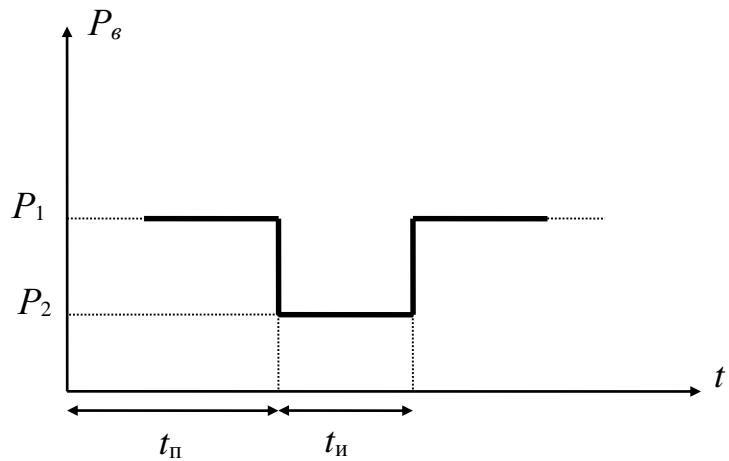


Рисунок 2.2. - Імпульсний режим подачі потужності тестового сигналу в вузлову КТ

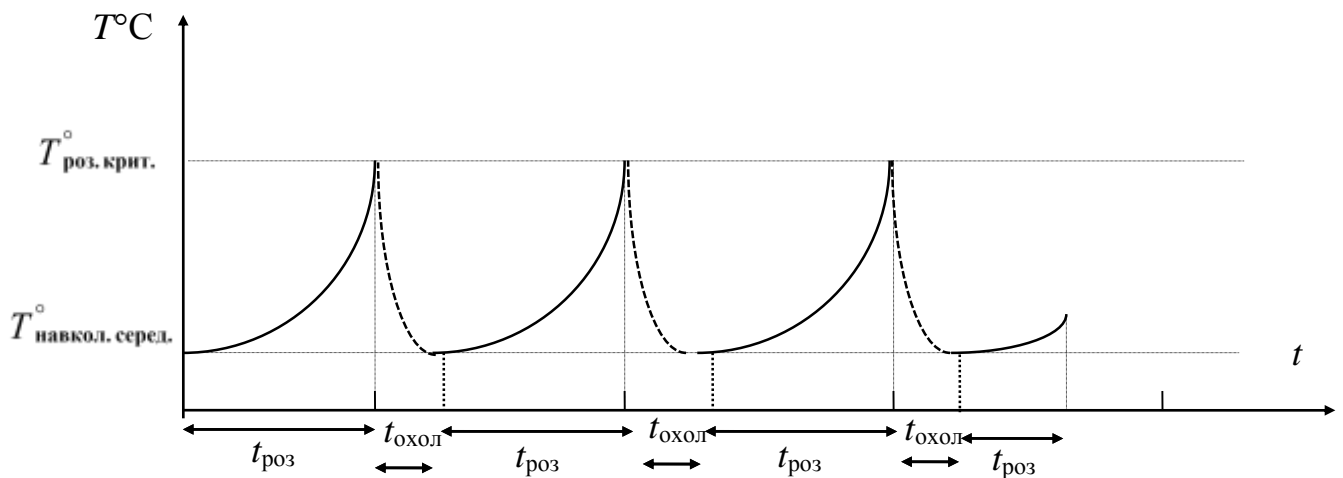


Рисунок 2.3 - Температурні особливості тестування компонентних структур для систем покомпонентного діагностування

Процес накопичення енергії (при контролі об'єкта дослідження) вимагає певного (кінцевого) часу  $i$ , внаслідок теплової інерції, температура  $p-n-p$ -структури не встигає змінитися при виділенні потужності  $P_e$ . У цей час в транзисторі відбуваються перехідні процеси, що залежать від величини виділеної потужності в одиницю часу  $i$  від теплових особливостей транзисторів.

На рисунку 2.1а представлена теплова модель ділянок мікросхем, що піддані температурним перевантаженням у процесі діагностування ЦП [4]:

- ділянка об'єму напівпровідникової структури  $p-n$ -переходу з параметрами:  $R_{T1}$  - тепловий опір «перехід - пластина»,  $C_1$  - теплоємність розглянутого об'єму;
- ділянка «кристал - корпус» з параметрами:  $R_{T2}$  - тепловий опір «кристал - корпус»,  $C_2$  - теплоємність корпусу;
- ділянка «корпус - навколишнє середовище» з тепловим опором  $R_{T3}$  і теплоємністю  $C_3$ .

Необхідно врахувати, що через складність розрахунків такої моделі, звичайно використовують спрощену еквівалентну схему (рисунок 2.1б), в якій колекторний перехід має температуру  $T_n$  і теплоємність  $C$ . Тепло, що виділяється в транзисторі, відводиться через тепловий опір  $R_{Tn}$  до теплопоглинальника з постійною температурою  $T_{Tn}$  (нескінченна теплоємність). Виділена, при цьому, потужність  $Q_v$  частково накопичується ( $Q_n$ ), а частково відводиться до теплопоглинальника і розсіюється ( $Q_p$ ). У цьому випадку теплова модель наведення тестових сигналів описується наступною системою рівнянь, як у роботах [4].

При цьому необхідно враховувати такий характер наведення тестових сигналів: з одного боку, вони визначаються постійно утримуваним сигналом стану виходу тестованої мікросхеми (режим введення вектора установчого набору), з іншого боку - режимом зміни полярностей подаваних імпульсів на виходи кожної мікросхеми, безпосередньо зв'язаної з компонентом, що

перевіряється, (у процесі реалізація програми тестового контролю розглянутого фрагмента схеми цифрового пристрою).

## 2.2 Розробка математичної моделі процесу безпечного тестування схем цифрових пристроїв

Для більшості процедур покомпонентного діагностування ЦП процес поелементних перевірок супроводжується, як правило, багаторазовими вимушеними змінами рівнів напруг у різних внутрішніх контрольних точках об'єкта дослідження. Фізично наведення тестових сигналів у КТ, що зв'язують між собою елементи ЦП, приводить до тимчасової зміни електричних режимів їхнього функціонування, що нерідко можуть знаходитися поза діапазоном, передбаченим технічними умовами (ТУ) їх експлуатації. Аналіз показав, що досліджуваний процес непошкоджуючого тестування ЦП багато в чому визначається потужністю подаваних тестових сигналів і дуже критичний до часу безпосереднього наведення. Тривалий розігрів кристалів і з'єднувальних провідників корпусів мікросхем приводить або до «оплавлення» відкритих *p-n-переходів* вихідних транзисторних каскадів, або до обриву внутрішніх зв'язків їх структури.

В даний час питання наслідків пошкодження вирішуються двома відомими способами, кожний з яких має переваги і недоліки. Так, при першому способі (поряд з відносною простотою синтезу програм діагностування ЦП в цілому) необхідні умови електричного захисту елементів досягаються за рахунок додаткового апаратного контролю параметрів тестових сигналів спеціальними пристроями (драйверами) [27]. У таких тестерах генеруються потужні і короткі імпульси тривалістю не більше 0,3 мкс. Подавання таких імпульсів на об'єкт має свої особливості - тести розбиваються на блоки, виконання яких певним чином упорядковане в часі. Причому реалізація кожного блоку супроводжується вимушеними інтервалами охолодження корпусів мікросхем (тестові сигнали не подаються).

Математичний розрахунок ефективного співвідношення періодів розігріву кожного кристала і його охолодження з метою оптимізації часу контролю ЦП складний і визначається потужністю тесту, типом контрольованих елементів і температурними умовами навколишнього середовища [25].

Визначення шляхів усунення недоліків розглянутого способу зумовило розробку альтернативного підходу, відповідно до якого вдалося підвищити (у рамках ТУ) надійність тестових перевірок, а також збільшити необхідний час безпечного наведення тестових сигналів до 1с [25]. Таке рішення пов'язане з ускладненням програм діагностування ЦП за рахунок вимушених заходів, прийнятих для захисту елементів, а також з особливостями апаратної реалізації тестових перевірок тільки в статичному (на малих частотах) режимі.

Алгоритмічно концепція непошкоджуючого тестування ЦП другим способом заснована на реалізації програмними засобами СПД початкових умов проведення діагностичних експериментів над компонентами пристроїв. Відповідно до запропонованої методики, у процесі перевірки  $i$ -го елемента  $r$ -го рангу попередньо встановлюється вектор сигналів логічної одиниці чи високоімпедансного стану на виходах елементів  $(r-1)$ -го рангу, що безпосередньо зв'язані з виводами перевіряемого компонента. Пошук існування необхідних умов захисту елементів нерозривно пов'язаний з питаннями пошуку спеціальних векторів установочних наборів (УН), подавання яких через внутрішні КТ забезпечує непошкоджуваність будь-яких тестових перевірок. Машинний алгоритм пошуку векторів УН є невід'ємною частиною комплексу програм, що моделюють процеси діагностування ЦП, а також лежить в основі синтезу різних (фрагментних) структур об'єктів. Відсутність можливості установки умов електричного захисту елементів приводить до організації їх непрямой перевірки в складі сформованих фрагментів схем.

Розглянемо деякі алгоритмічні аспекти запропонованої методики, де як модель структури об'єкта приймемо орієнтований граф  $G(V, E)$ ,  $V = \{v_i | 1 \leq i \leq$

$n$  } - множина вершин, що відповідають елементам пристрою;  $E = \{e_j | 1 \leq j \leq m\}$  - множина дуг графа, що відповідають зв'язкам елементів ЦП.

Відповідно до запропонованої методики процес тестування кожного (наприклад,  $i$ -го) елемента ЦП являє собою діагностичний експеримент (ДЕ), порядок виконання якого визначений наступними основними етапами:

- 1) вимірювання рівнів сигналів кожної КТ  $e_i \in \Gamma^+(v_i)$ , де  $v_i \in V$  - елемент схеми, що тестується;
- 2) реалізація вектора  $L_i^{УН}$  шляхом подавання відповідних сигналів у внутрішні КТ пристрою, а також перевірка установки вектора ПУД ( $L_i^{УН} \neq \{\emptyset\}$ ) для елемента  $v_i$ ;
- 3) подавання тестових сигналів у КТ множини  $\Gamma^+(v_i)$ , а також вимірювання сигналів відповідних реакцій в кожній КТ  $e_i \in \Gamma^+(v_i)$  і аналіз діагностичної інформації.

На рисунку 2.4 показані криві, що характеризують часові особливості впорядкованого подавання тестових сигналів у процесі ДЕ з елементами ЦП з урахуванням потенційного входу  $A$ , динамічного входу  $B$  і виходу елемента  $C$ . При цьому неважко помітити, що ДЕ припускає сталість векторів ПУД ( $L_i^{УН} \neq \{\emptyset\}$ ) у процесі тестування будь-яких елементів, де  $t_1$  - установлення вектора ПУД;  $t_2$  - подача сигналів потенційного типу;  $(t_3 - t_4)$  - подавання сигналів імпульсного типу;  $t_5$  - вимірювання стану виходів компонента;  $t_6$  - зняття сигналів вектора УН.

Однак аналіз показує, що нерідко топологія включення елементів усуває таку можливість. При цьому, якщо для елемента  $v_i$  виконується умова  $L_i^{УН} = \{\emptyset\}$ , то утвориться наступний більш складний компонент об'єкту [28].

Синтез компонентної структури фактично визначає точність ідентифікації несправностей у будь-якому об'єкті дослідження. Уточнення місця конкретної

несправності здійснюється всередині кожного несправного компонента, наприклад, з переходом на поелементне тестування фрагменту схеми.

Розглянемо фрагмент схеми ЦП, який представлено на рисунку 2.5 і відповідний йому граф (рисунок 2.6), де  $e_7 = \{e_7^1, e_7^{11}\}$ ,  $e_9 = \{e_9^1, e_9^{11}\}$ ,  $e_{13} = \{e_{13}^1, e_{13}^{11}\}$ ,  $e_{15} = \{e_{15}^1, e_{15}^{11}\}$ . Нехай також, згідно запропонованого методу, на  $\mu$ -му кроці пошуку вектора УН, наприклад, для елемента  $v_6$ , отримано наступний проміжний вектор тестових сигналів

$$\tilde{E}_{6\mu} = (x \dots x \ 0 \ x \dots x \ 1 \ 0 \ 0).$$

Тоді наступне розкриття координати  $\tilde{e}_{14} = 1$  змінить вектор  $\tilde{E}_{6\mu}$  (як один з можливих варіантів кінцевого вектора УН) на наступне значення:

Таблиця 2.3 -  $\sigma$ -перетинання

Значення елемента $d_k \in D_\mu$	Значення елемента $\tilde{e}_{k\mu} \in \tilde{E}$		
	0	1	x
x	0	1	x
$\varepsilon$	$\emptyset$	$\emptyset$	$\varepsilon$

Таблиця 2.4 -  $\Psi$ -відображення

Значення елемента $\tilde{e}_{k,\mu-1}$	Значення елемента $\tilde{e}_{k\mu}$			
	0	1	x	$\varepsilon$
0	0	$\emptyset$	p	$\emptyset$
1	$\emptyset$	1	q	$\emptyset$
x	p	q	x	$\varepsilon$

Таблиця 2.5 -  $\delta$ - відображення

Значення елемента $s_k \in S_\mu$	Значення елементів $u_{k\mu} \in U_\mu$		
	p	q	$\varepsilon$
0	0	$\emptyset$	$\emptyset$

1	$\emptyset$	1	$\emptyset$
$x$	0	1	$x$

Таблиця 2.6 -  $\eta$  - перетворення

Значення елемента $u_k \in U$ на $(\mu - 1)$ -ій ітерації	Значення $s_k \in S$ елемента на $\mu$ -ій ітерації		
	0	1	$x$
$p$	0	0	0
$q$	0	1	$x$

$$\tilde{E}_{6,\mu+1} = (x \dots x \ 0 \ x \dots x \ 0 \ x \ 0 \ 0).$$

Моделювання досліджуваних процесів бездефектного тестування цифрових схем здійснюється на основі модифікованого  $\pi$ -алгоритму, що адаптований до тимчасових особливостей реалізації тестових сигналів. В своїй основі запропонований метод покомпонентного тестування здійснює алгоритмічний пошук (векторне рішення умов електричного захисту елементів ЦП) у глибину з поверненням [27].

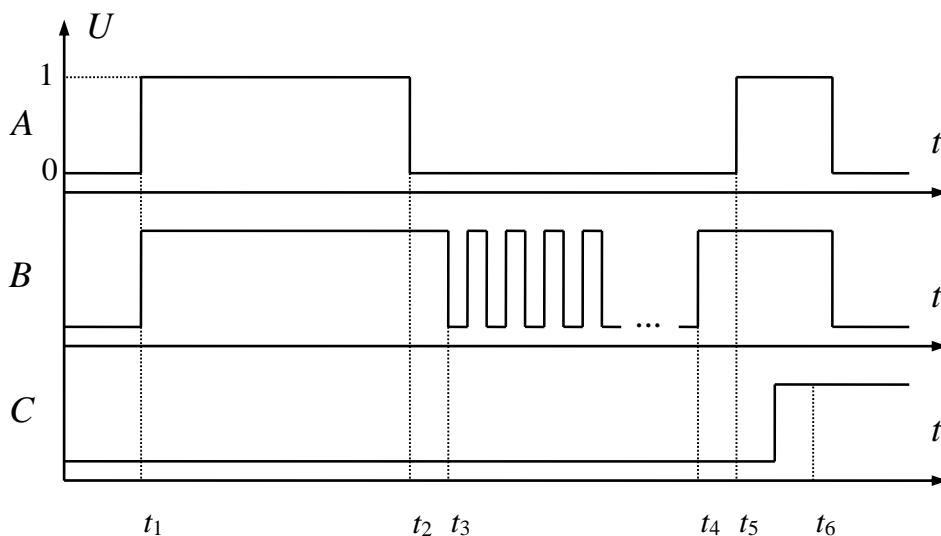


Рисунок 2.4 - Часові особливості подавання тестових сигналів.



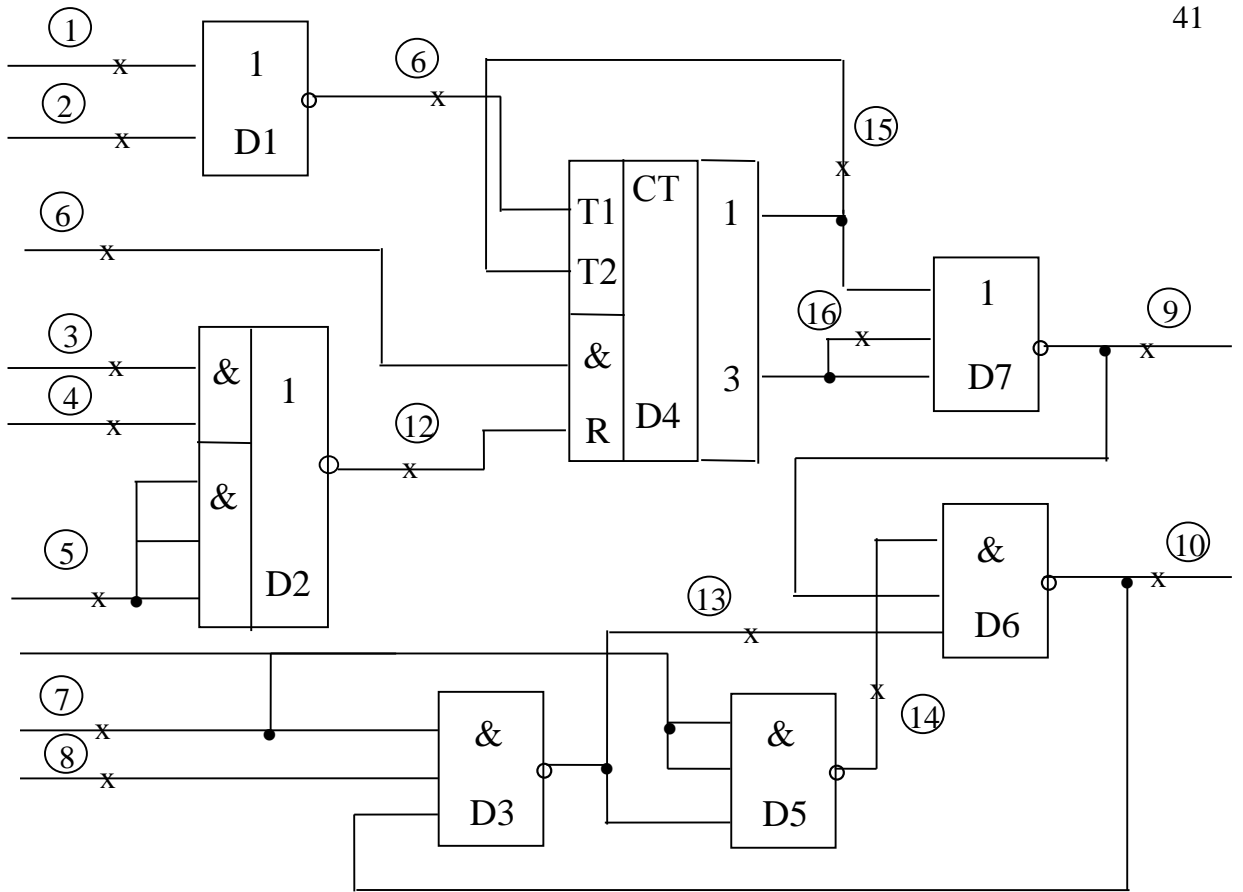


Рисунок 2.5 - Цифровой фрагмент схемы цифрового пристрою

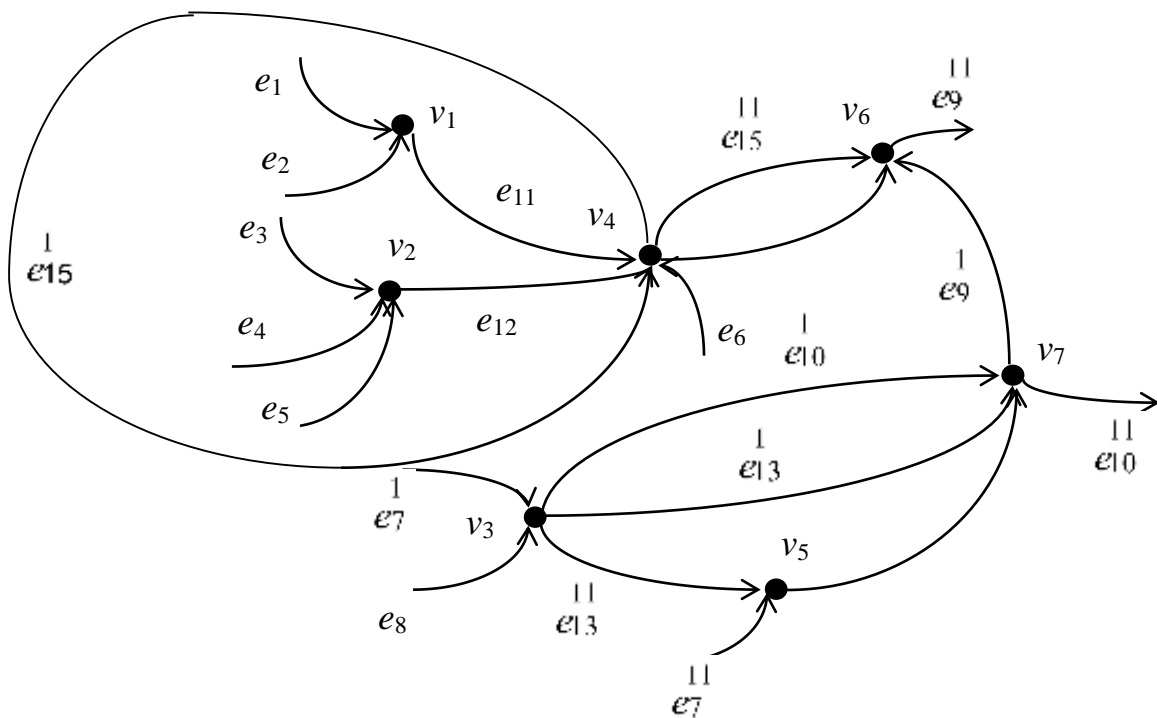


Рисунок 2.6 - Граф фрагменту схеми, який представлено на рис.2.5

Нерідко складність забезпечення векторів електричних умов захисту елементів зумовлює формування наступних компонентів ЦП. Неважко помітити, що установчий набір сигналів для елемента  $v_7$  представляє собою реалізацію в часі декількох векторів, які фактично складають частину програми проведення ДЕ з елементом  $v_4$ . Тому з метою прискорення процесу діагностування ЦП елемент  $v_7$  доцільно перевіряти у складі з елементом  $v_4$ .

Аналіз подібних ситуацій у багатьох задачах декомпозиційного характеру вимагає оперативної оцінки (в умовах заданих обмежень) трудомісткості забезпечення векторів УН різних компонентів ЦП.

### 2.3 Розробка алгоритму безпечного тестування схем цифрових пристроїв

Розглянемо особливості поелементного діагностування ЦП.

У процесі поелементного діагностування об'єкта цифрових схем необхідно на вхід контрольованого логічного елемента подавати відповідну послідовність тестових наборів.

При цьому сигнали, що надходять з виходів сусідніх мікросхем, не повинні впливати на тестові впливи. Тривалість тестових сигналів повинна бути досить малою, щоб не привести до теплових ушкоджень пристрою.

Нехай входи  $X_1, \dots, X_n$  цифрового об'єкта дослідження (рисунок 2.5) зв'язані з виходами попередніх елементів  $M, \dots, M+(n-1)$ , при чому кожний з цих виходів може знаходитися або в стані логічного «0», або в стані логічної «1» [26].

Процес перевірки вентиля  $D_1$  буде здійснюватись подачею на входи вентиля тестових наборів, від генератора тестів через  $n$  контрольних штирів контактної пристосування. До виходів вентиля  $D_1$  підключається ще один контрольний штир, що забезпечує знімання вихідного сигналу для наступного його порівняння з еталонною реакцією.

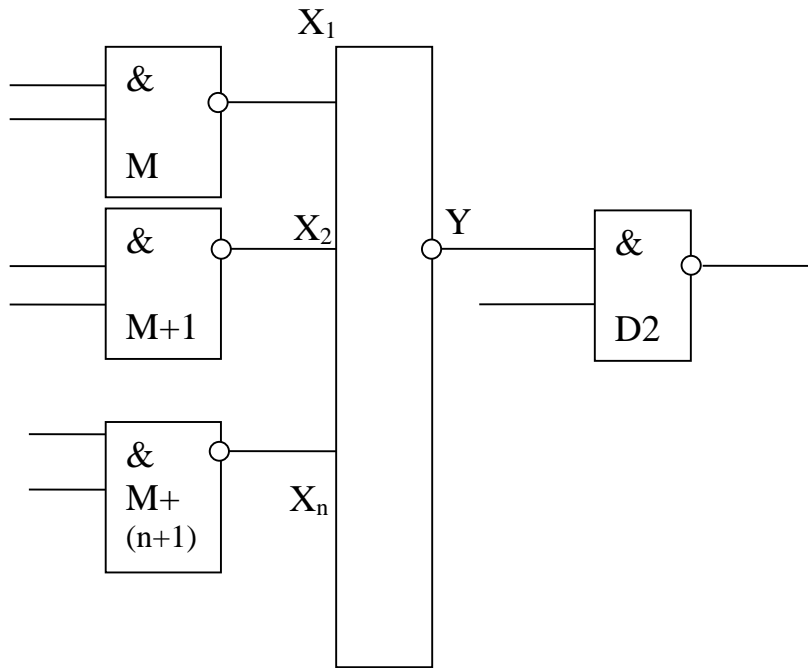


Рисунок 2.7 – Фрагмент схеми цифрового пристрою

Процес перевірки логічних елементів з числом  $n(n > m)$  необхідно проводити в кілька етапів до повної реалізації тесту на кожному етапі перевірки. Для створення умов незалежної перевірки логічного елемента в складі ЦП на його  $(n-m)$  входу не зв'язаних з генератором тестів, повинний бути установлений відповідний початковий набір логічних констант. Подібний початковий набір досягається подачею настановного набору логічних констант на зовнішнє роз'ємання ЦП. Зазначеним образом у складі ЦП може бути здійснена тестова перевірка будь-якого логічного елемента реалізуючого функцій збереження, логічної обробки і перетворення інформації.

Отже, у процесі контролю ЦІС відбувається підключення до генератора тестів її  $m$  входів, що можуть знаходитися в довільному логічному стані. Процедура перевірки значно спрощується, якщо генератор тестів дозволяє подавати тестові впливи на входи ЦІС, що пов'язані з відповідними входами, які знаходяться в довільних логічних станах.

Отже, найбільш бажаною є перевірка ЦІС у складі ЦП, що допускає подачу тестових сигналів на входи вентилів, що знаходяться в довільних логічних станах. При цьому при конкретній реалізації схеми діагностування значно

спрощується одержанням настановних і тестових наборів. Однак використання режиму по варіанті 4 не завжди можлива для ТТЛ по наступним причинах:

1. Режим наведення логічної «1» на вхід вентиля, що знаходиться в стані логічного «0», не передбачений ТУ на інтегральні схеми транзисторної логіки.

Значно ускладнюється конструювання контактних пристроїв, тому що подача імпульсів тривалістю 200-300 нс не вимагає наявності коротких зв'язків (не більш 10 див) між тестуємої ЦПС і генератором тактових сигналів.

Потужність отримана в результаті наведення сигналів, розсіюється у виді тепла. Як показало вивчення ТТЛ схем, можна бути упевненим у надійності схеми, якщо температура переходу нижче 125 градусів по Цельсію.

Система покомпонентного діагностування реалізує тестування окремих фрагментів структури ЦП.

Основною відмітною ознакою структури СПД є наявність спеціального голчастого контактного пристрою з мультиплексним підключенням ланцюгів або керованих зондів для подачі тестових впливів і зняття відповідних реакцій.

Перевагами покомпонентного діагностування є не породжуючий характер тестування, висока швидкість локалізації несправності і глибина пошуку дефектів, а також інші.

Недоліками покомпонентного методу є:

Неможливість перевірки ЦП в динамічному (робочому) режимі, складність підключення систем покомпонентного тестування до об'єкта діагностування, наприклад, до ЦП.

Покомпонентні тестові діагностування найбільш ефективні для логічних і друкованих вузлів, побудованих на інтегральних схемах малого і середнього ступеня інтеграції моделі яких представляються на вентиляльному рівні.

Декомпозиційний підхід до рішення задач діагностування цифрових пристроїв (ЦП) покликаний знизити трудомісткість підготовки програм тестового виявлення і пошуку місця дефектів (скорочуючи, при цьому, обсяг

необхідної машинної пам'яті і час обробки відповідних моделей об'єктів досліджень). Ефективність застосування декомпозиційних стратегій тестування ЦП тим вища, чим більше реалізовано можливостей доступу у внутрішні контрольні точки пристроїв. При цьому, нерідко, для цілей контролю потрібно внесення до складу об'єкта додаткової апаратури. Це не могло не позначитися на пошуку альтернативних методів проведення діагностичних експериментів, де деякі з них припускають попереднє розбивки структури об'єкта на тестуємі фрагменти схем. З цією метою були розроблені системи внутрісхемного покомпонентних (пофрагментного) діагностування ЦП, що певною мірою усувають недоліки існуючих систем загального тестового контролю (для який подача тестових сигналів і зняття відповідних реакцій здійснюється тільки з боку крайового рознімання об'єкта). Безсумнівним достоїнством систем такого класу є характер подачі неушкоджувачих, тестових сигналів у внутрішні вузли, що зв'язують між собою елементи ЦП. Умови тимчасового електричного захисту елементів полягають у тому, що, наприклад, на входах будь-якого тестуємого компонента (елемента) установлюються (засобами діагностування) рівні напруг лог.1. Попереднє формування (на цьому принципі) різних компонентних структур ЦП багато в чому визначає трудомісткість і ефективність підготовки програм їх подальшого тестування, наприклад, в умовах серійного виробництва ЦП.

Конструктивний доступ у внутрішні контрольні точки (КТ) цифрових об'єктів дає для засобів тестового покомпонентного діагностування (СПД) можливість моделювати і реалізовувати різні стратегії декомпозицій структур пристроїв з метою оптимальної організації процесів пошуку можливих дефектів. Результатом аналізу різних варіантів розбивок ЦП є формування безлічі компонентів (фрагментів схем), взаємне розташування яких покриває вихідна безліч елементів об'єкта і відповідає визначеним умовам проведення діагностичних експериментів: наприклад, заданій глибині діагностування пристроїв, мінімальному числу компонентів.

Процедура, що реалізує подачу тестових сигналів у внутрішні КТ об'єкта, повинна забезпечувати стабільність і вірогідність самого процесу діагностування компонентів ЦП. Такий підхід ґрунтується на виконанні відповідних вимог до параметрів впливів, при яких враховується будь-яка топологія включення елементів об'єкта, що складають різноманітні структури сформованих фрагментів схем (наприклад, паралельні, послідовні чи замкнуті утворення).

Проведемо аналіз особливостей процесів взаємодії засобів діагностування з внутрішньою структурою об'єкта дослідження, що являє собою схему складного інвертора, на прикладі ТТЛ-схем (як найбільш «ненадійних» із розповсюджених технологій виготовлення елементів - ЕСЛ, І2Л, МОН – з точки зору виникнення критичних ситуацій електричної взаємодії вихідного каскаду розглянутого елемента зі СПД), як показано на рисунках. 2.8 ÷ 2.10. При цьому можливі чотири режими наведення тестових сигналів у внутрішні вузли об'єкта дослідження.

**Р е ж и м 1.** Подається тестовий сигнал лог. '1' за умови, що в КТ установлений рівень напруги, що відповідає лог. '1' (випадок 1/1). Тоді схема електричної взаємодії вихідного каскаду елемента ТТЛ з апаратними засобами пристрою наведення прийме вид, зображений на рисунку 3.1. При цьому нормальний вихідний струм складає в даному випадку 16 мА і не може являти собою погрозу для виходу параметрів досліджуваної схеми за межі, установлені Держстандартами на її експлуатацію, й обумовлений ТУ на мікросхеми.

**Р е ж и м 2.** Подається тестовий сигнал лог. '0' за умови, що в КТ установлений рівень напруги, що відповідає рівню лог. '0' (випадок 0/0). Для даного випадку схема електричної взаємодії СПД і вихідного каскаду ТТЛ-інвертора, представлена на рисунку 3.8. Аналогічно попередньому випадку, вихідний струм, що складає одиниці мА, не критичний до виходу параметрів досліджуваної схеми за нормативні значення, що відповідають ТУ.

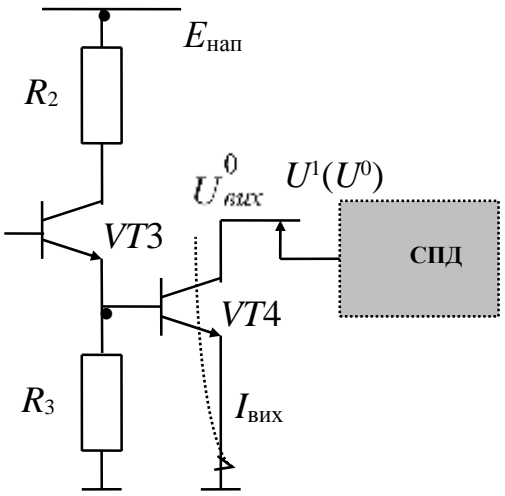
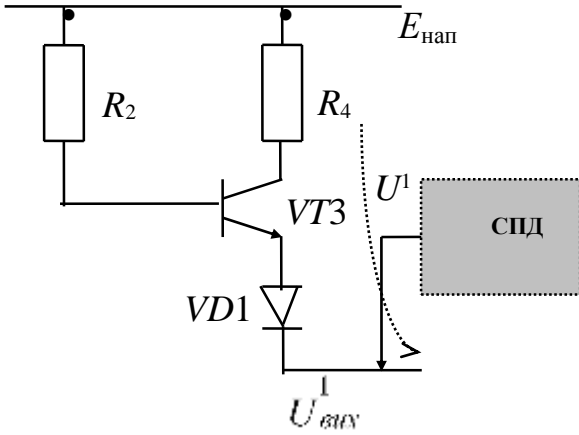


Рисунок 2.8 - Режим наведення (1/1). Рисунок 2.9 - Режими наведення (0/0)і (1/0)

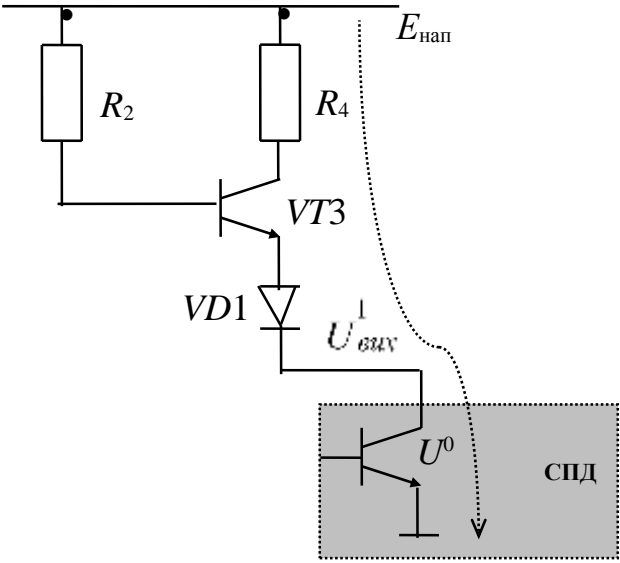


Рисунок 2.10 - Режим наведення (0/1)

Р е ж и м 3. Подається тестовий сигнал лог. '0' за умови, що в КТ зафіксований рівень напруги, що відповідає лог. '1' (випадок 0/1). Розглянутий випадок примусового наведення сигналу еквівалентний короткому замиканню виходу схеми елемента з загальною точкою, при якому струм витікає з досліджуваного пристрою і надходить у схеми наведення сигналів засобів діагностування. Схема взаємодії вихідного каскаду ТТЛ-схеми зі складним інвертором

і СПД зображена на рисунку 2.9. В цьому режимі через відкритий транзистор VT3 і діод VD1 вихідного каскаду ТТЛ-схеми протікає значний наскрізний струм, значення якого визначається виразом

$$I_{скв} = (E_{нап} - U^*) / R_4, \quad (3)$$

де  $E_{нап}$  - напруга живлення ( $E_{нап} = 5$  В),  $U^*$  - гранична напруга спрацьовування ( $U^* = 0,7$  В), а  $R_4$  - опір в колі колектора, значення якого обирається виходячи з заданого гранично припустимого струму транзистора VT3 і діода VD1 вихідного каскаду складного інвертора ТТЛ-схеми (як правило складає  $50 \div 500$  Ом [28]).

Таблиця 2.7 - Співвідношення коефіцієнтів

(a, a)	(a, a-1)	(a, a-2)	(a, a-3)	(a, a-4)	.....	(a, 2)	(a, 1)
0	0	1	2	3	.....	a-3	a-2

Згідно з струм у вихідному каскаді досліджуваної схеми складе 86 мА. Оцінимо можливу зміну температури р-п-переходу транзистора VT3 при протіканні через нього наскрізного струму за допомогою виразу 3. Для цього знайдемо межу зміни температури р-п-переходу  $\Delta T_{пред}$  при  $t_u \rightarrow \infty$

$$\lim (\Delta T_{пред}) = \lim_{t_u \rightarrow \infty} (5,86 \cdot 10^{-3} \cdot 76,6 (\exp(-t_u / \tau))) \approx 33^\circ\text{C} \quad (3.1)$$



У такий спосіб примусове наведення сигналу лог.'0' у вузлову КТ в умовах розглянутого режиму не приведе до виходу параметрів досліджуваної схеми за межі ТУ її експлуатації.

**Р е ж и м 4.** Подається тестовий сигнал лог. '1' за умови, що в КТ установлений рівень напруги, що відповідає лог. '0' (випадок 1/0). У цьому випадку схема взаємодії вихідного каскаду ТТЛ-схеми інвертора і засобів діагностування прийме вид, приведений на рисунку 2.10. Цей режим найбільш критичний до зміни теплофізичних параметрів у процесі наведення тестових сигналів засобами СПД. Теоретично визначене значення струму в даному випадку складе 272 мА. Тоді з виразу 3.1 виходить, що критична зміна температури р-п-переходу транзистора VT4 до розігріву в 50°C відбудеться через 10 мс, що обмежує час примусового наведення розглянутого рівня напруги тестового сигналу в процесі ДЕ.

Аналіз показав, що час проведення ДЕ можна збільшити (при умові існування критичних ситуацій наведення тестових сигналів у внутрішні вузли ЦП) за рахунок тимчасової адаптації тестових матриць компонентів. Грунтуючись на властивостях (формальних) множини векторів-рядків програм тестування можна, упорядковуючи реалізацію послідовностей тестових сигналів, зменшити число несприятливих режимів наведення (1/0), що безумовно позначиться на підвищенні вірогідності і глибині діагностування ЦП. З цією метою введемо деякі визначення і характеристики тестових матриць компонентів.

Ефективність декомпозиції цифрових об'єктів з метою реалізації різних стратегій їх покомпонентного діагностування для тестерів розглянутого класу передбачає формальну процедуру оцінки складності і тестопридатності синтезованих фрагментів схем. Так, при виконанні паралельного відпрацювання тестової інформації дуже актуальним є спрощення цієї

процедури (як правило, для комбінаційних схем), що, безумовно, впливає на якість усього процесу діагностування ЦП.

Відомо, що при такому підході складність будь-якого синтезованого компонента визначається не тільки максимальною потужністю тесту одного з його елементів, але і неузгодженістю визначених характеристик тестових матриць зв'язаних елементів ЦП. При цьому варто також враховувати можливі взаємні протиріччя тестових векторів, що подаються на ОД. Наприклад, для елементів D1 і D3 програма тестування складається з чотирьох векторів-рядків, а для фрагмента схеми, що складає з D2 і D4, тільки з трьох векторів (повний діагностичний тест (Т) приведений у таблиці 3.2). При синтезі програми тестування усього фрагмента (рисунку 3.4) необхідна також попередня корекція вихідного тесту елемента D4 (вектор (010) на його входах (x2, x3, e) установити неможливо - у цьому випадку  $|t_4| = 3$ ). Для визначення формальних умов аналізу подібних ситуацій представимо модель об'єкта у вигляді дводольного орієнтованого графа  $G(\tilde{V}, R)$ , де  $\tilde{V} = (V, E)$ ;  $V = \{v_i \mid i \in \overline{1, n}\}$  - множина вершин, що відповідає n елементам схеми;  $E = \{\theta_j \mid j \in \overline{1, m}\}$  - множина вершин, що відповідає m контрольним точкам (КТ), а також множина дуг  $R = \{d_k \mid k \in \overline{1, n}\}$ , що з'єднують два типи вершин V і E.

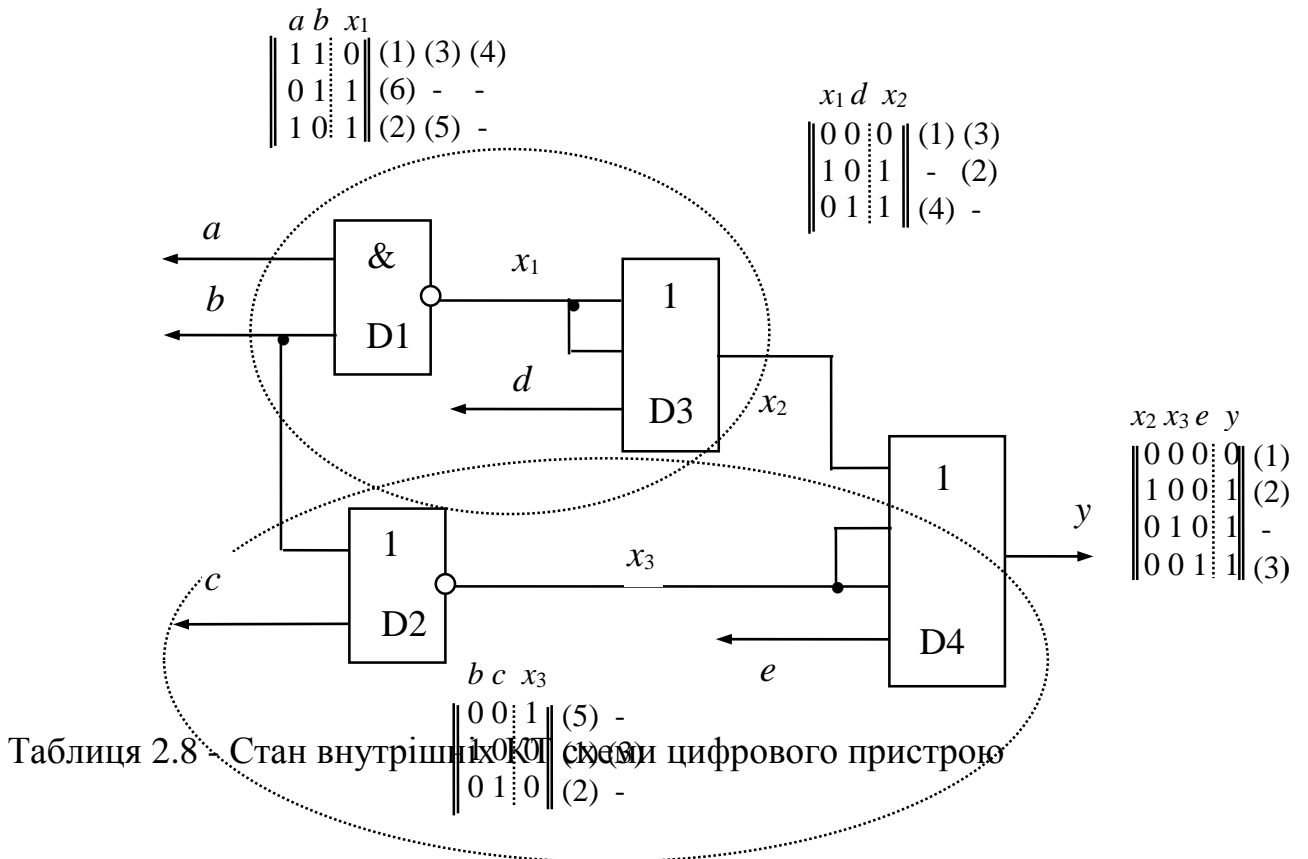
Нехай кожній вершині  $v_i \in V$  відповідає деяка матриця  $t_i$ , що визначає тест елемента  $D_i$  об'єкту дослідження. При цьому матрицю  $t_i$ , як сукупність тестових сигналів, представимо у виді двох упорядкованих множин: множини векторів-стовпців  $t_i = \{t_k^i \mid k \in \overline{1, r_i+1}\}$ , де  $r_i$  - число входів елемента  $v_i$ , а  $t_k^i = \{t^{kp} \mid p \in \overline{1, r_i+1}\}$  - множини елементів k-го вектора-стовпця, і множини векторів-рядків  $t_i = \{\tilde{t}_\lambda^i \mid \lambda \in \overline{1, r_i+1}\}$ , де  $\tilde{t}_\lambda^i = \{\tilde{t}^{\mu\lambda} \mid \mu \in \overline{1, r_i+1}\}$  - множини елементів  $\lambda$ -го вектора-рядка. Далі будемо вважати, що  $r_i+1$ -й стовпець є вектором  $y = \{t_{r_i+1}^j \mid j \in \overline{1, r_i+1}\}$  сигналів відповідних реакцій. При цьому

тестову матрицю  $t_i$  зручно представити у виді  $t_i = \| t_i | y \|$ , де  $i \in \overline{1, r_i}$ . Введемо

Входи фрагмента схеми					Внутрішні КТ			
a	b	c	d	e	x1	x2	x3	y
1	1	0	0	0	0	0	0	0
1	0	1	0	0	1	1	0	1
1	1	0	0	1	0	0	0	1
1	1	x	1	x	0	1	x	x
x	0	0	x	x	x	x	1	x
0	1	x	x	x	1	x	x	x

також  
вхідну  $\Gamma^+$   
(вихідну  $\Gamma^-$ )  
функцію

відображення множини  $V \rightarrow E$ .



Таблиця 2.8

Рисунок 2.11 - Фрагмент цифрової схеми.

Порівняльний аналіз тестів, зв'язаних між собою елементів об'єкта, зручно виконувати на основі компактного представлення їхніх тестових матриць. Кодові характеристики, що відповідають таким матрицям, повинні мати свої характерні риси і відрізнятися один від одного.

Розглянемо подібне представлення функціональних властивостей тестових матриць для елементів з мінімальним показником  $r$ . Результати узагальнимо на комбінаційній схемі з довільним числом виводів корпусів мікросхем.

Слід також зазначити, що при оцінці складності компонентів важливу роль грає поняття базового елемента, а також взаємозв'язок активізуючих сигналів зв'язаних елементів ЦП, що дозволяють на основі машинного моделювання уточнити для СПД результуючий тест пошуку дефектів в нутрі кожного фрагмента схеми. Складність такого тесту багато в чому визначається як структурою компонента, так і особливостями функціональних характеристик його елементів.

Наявність вузлових КТ, нерідко, приводить до необхідності корекції не тільки характеристики довжини тесту будь-якого компонента, але і характеристик вихідних тестів окремих елементів їх структури.

Характерною рисою систем загального тестового діагностування є те, що процес синтезу тестів вимагає необхідної інформації про функції, що реалізують ті чи інші фрагменти ЦП. Ця обставина впливає на критерії пофрагментної декомпозиції об'єктів - виділяються підсхеми, що мають, як правило, функціональну завершеність (найчастіше їм відповідають стандартні схемні рішення). У СПД декомпозиційний підхід значно спрощує синтез програм тестування і припускає знання тільки вихідних тестів кожного

логічного елемента об'єкта дослідження. Однак при цьому існують деякі особливості такого підходу. Таким чином, методика покомпонентного тестування передбачає попередній аналіз структури об'єкта з метою подальшої корекції тестових матриць елементів.

Для виявлення «неіснуючих» рядків тестових матриць є деякі функціональні залежності окремих зв'язаних елементів цифрового об'єкта.

Як правило, особливість таких під структур полягає в тому, що вони являють собою вузлові КТ і елементи, що утворюють контури в моделі об'єкта.

Для забезпечення підвищення ефективності впорядкування векторів тестових сигналів під час перевірки елементів схем цифрових пристроїв використовується дерево рішень (рис.2.12).

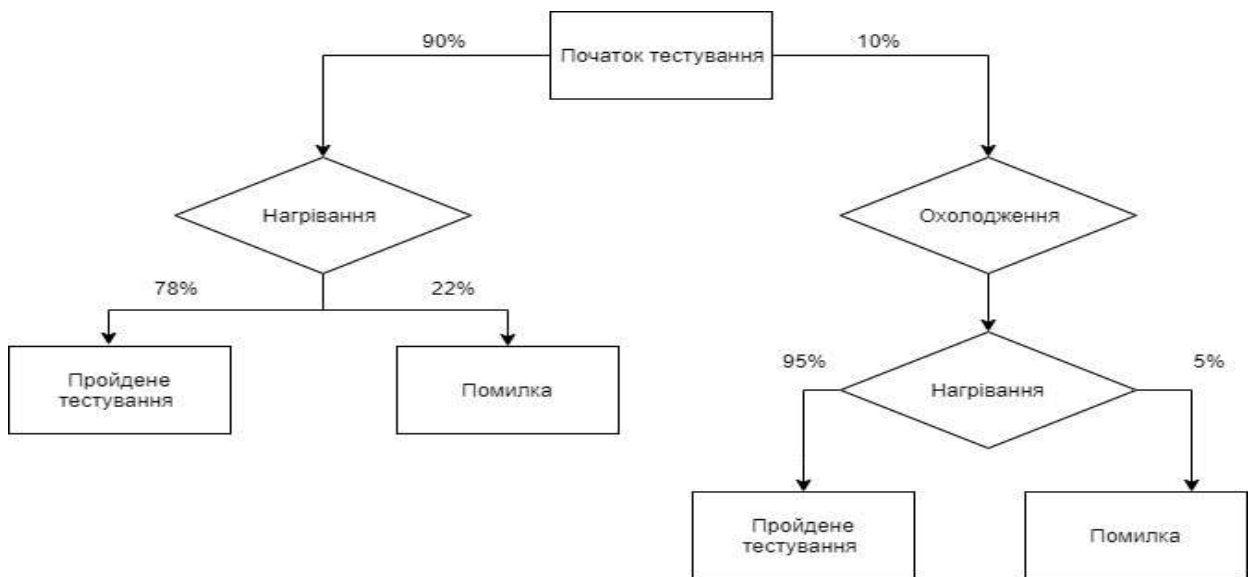


Рисунок 2.12 – Дерево рішень інформаційної технології безпечного тестування схем цифрових пристроїв

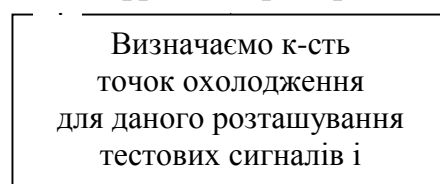
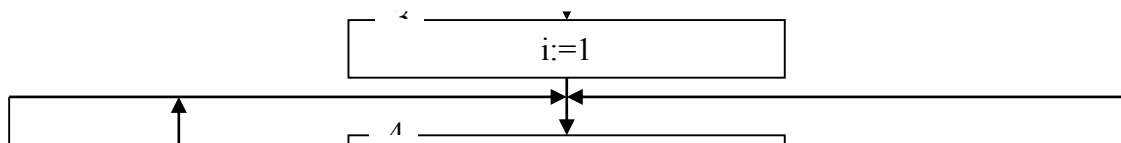


Рисунок 2.13 – Алгоритм модулю безпечного тестування схем цифрових пристроїв



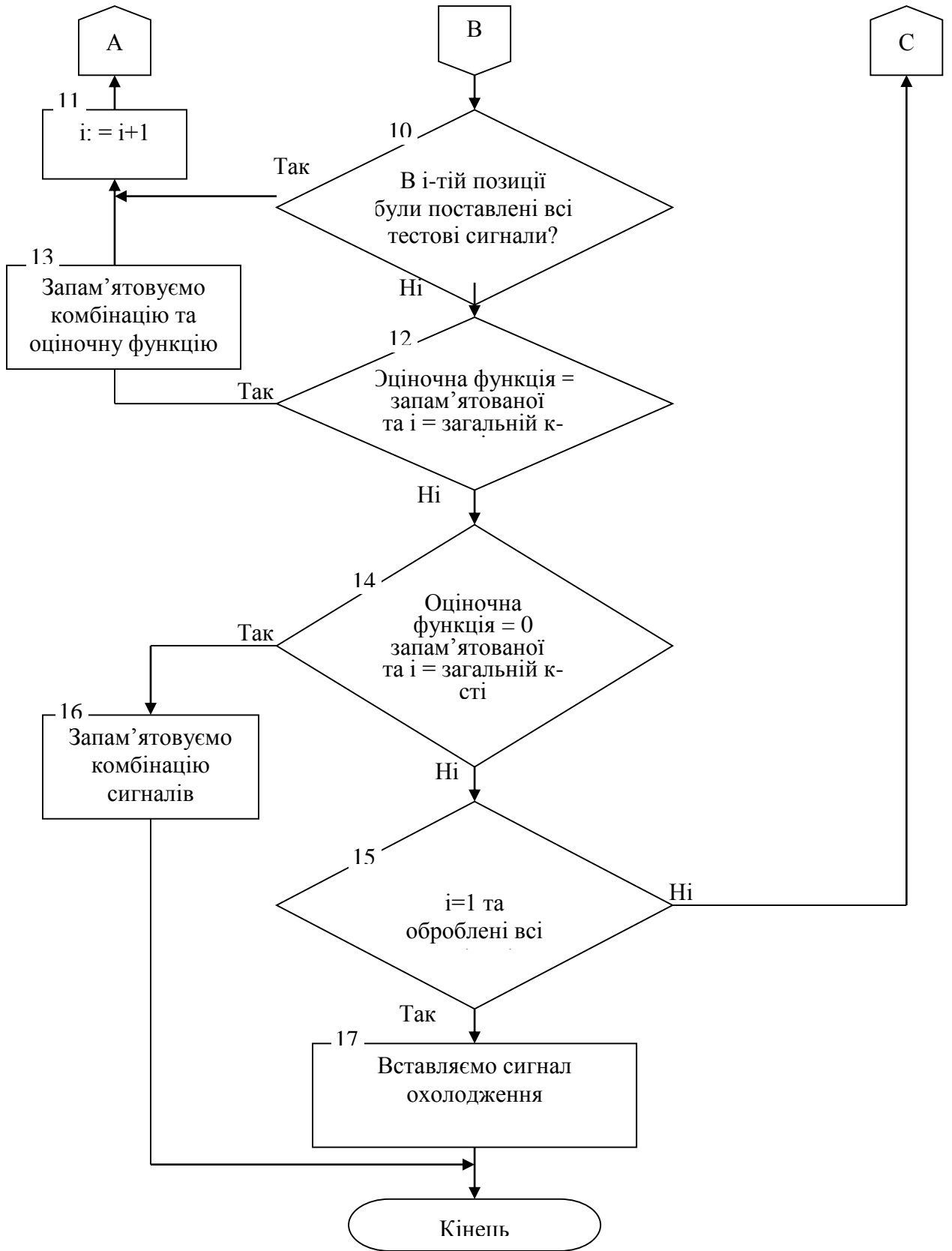


Рисунок 2.13 – Подовження

### 3 ПРОГРАМНА РЕАЛІЗАЦІЯ ІНФОРМАЦІЙНОЇ ТЕХНОЛОГІЇ ЗАБЕЗПЕЧЕННЯ БЕЗПЕЧНОГО ТЕСТУВАННЯ СХЕМИ ЦП

#### 3.1 Обґрунтування вибору середовища програмування

PHP - скриптова мова програмування, була створена для генерації HTML-сторінок на стороні веб-сервера. PHP є однією з найпоширеніших мов, що використовуються у сфері веб-розробок (разом із Java, .NET, Perl, Python, Ruby). PHP підтримується переважною більшістю хостинг-провайдерів. PHP — проект відкритого програмного забезпечення.

PHP інтерпретується веб-сервером у HTML-код, який передається на сторону клієнта. На відміну від скриптової мови JavaScript, користувач не бачить PHP-коду, бо браузер отримує готовий html-код. Це є перевага з точки зору безпеки, але погіршує інтерактивність сторінок. Але ніхто не забороняє використовувати PHP для генерування JavaScript-кодів, які виконуються вже на стороні клієнта.

Головним фактором мови PHP є практичність. PHP повинен надати програмісту кошти для швидкого і ефективного вирішення поставлених завдань. Практичний характер PHP обумовлений п'ятьма важливими характеристиками:

- традиційністю;
- простотою;
- ефективністю;
- безпекою;
- гнучкістю.

Існує ще одна «характеристика», яка робить PHP особливо привабливим: він поширюється безкоштовно! Причому, з відкритими початковими кодами (Open Source).



**Традиційність.** Мова PHP здаватиметься знайомим програмістам, що працюють в різних областях. Багато конструкцій мови запозичені з Cі, Perl. Код PHP дуже схожий на той, який зустрічається в типових програмах на C або Pascal. Це помітно знижує початкові зусилля при вивченні PHP. PHP - мова, що поєднує переваги Perl і Cі і спеціально націлений на роботу в Інтернеті, мова з універсальним (правда, за деякими застереженнями) і ясним синтаксисом.

**Простота.** Сценарій PHP може складатися з 10 000 рядків або з одного рядка - все залежить від специфіки вашого завдання. PHP - мова, яка може бути вбудований безпосередньо в html-код сторінок, які, в свою чергу будуть коректно оброблятися PHP -інтерпретатором. Ми можемо використовувати PHP для написання CGI-сценаріїв і позбутися від безлічі незручних операторів виведення тексту. Ми можемо залучати PHP для формування HTML-документів, позбувшись від безлічі викликів зовнішніх сценаріїв. Велика розмаїтість функцій PHP позбавлять вас від написання багаторядкових призначених для користувача функцій на C або Pascal.

**Ефективність.** Дуже важлива перевага PHP полягає в його «движку». «Движок» PHP не є ні компілятором, ні інтерпретатором. Він є транслює інтерпретатором. Такий пристрій «движка» PHP дозволяє обробляти сценарії з достатньо високою швидкістю. За деякими оцінками, більшість PHP-сценаріїв (особливо не дуже великих розмірів) обробляються швидше аналогічних їм програм, написаних на Perl. Однак, щоб не робили розробники PHP, відкомпілювалися виконувані файли будуть працювати значно швидше - в десятки, а іноді і в сотні разів. Але продуктивність PHP цілком достатня для створення цілком серйозних web-додатків .

**Безпека.** PHP надає в розпорядження розробників і адміністраторів гнучкі і ефективні засоби безпеки, які умовно поділяються на дві категорії: засоби системного рівня і засоби рівня додатки.

Гнучкість. Оскільки PHP є вбудовуваним (embedded) мовою, він відрізняється винятковою гнучкістю по відношенню до потреб розробника. Хоча PHP зазвичай рекомендується використовувати в поєднанні з HTML, він з таким же успіхом інтегрується і в JavaScript, WML, XML та інші мови. Крім того, добре структуровані додатки PHP легко розширюються в міру необхідності (втім, це відноситься до всіх основних мов програмування). Немає проблем і з залежністю від браузерів, оскільки перед відправкою клієнту сценарії PHP повністю компілюються на стороні сервера. По суті, сценарії PHP можуть передаватися будь-яких пристроїв з браузерами, включаючи стільникові телефони, електронні записники, пейджери і портативні комп'ютери, не кажучи вже про традиційні ПК.

### 3.2 Структурна організація програмного забезпечення безпечного тестування схем цифрових пристроїв

Відповідно до поставленої мети було розроблено структурну схему системи безпечного тестування схем цифрових пристроїв зображено на рис. 3.1. Система складається з 3 модулів: модуль моделювання цифрової схеми, модуль нагрівання елемента, модуль охолодження елемента. В модулі моделювання цифрової схеми сприймаються цифрові дані схеми, яку потрібно протестувати. В модулі нагрівання і охолодження задані параметри температури та часу нагрівання. В інтерфейс користувача виводяться числові дані тестів.



Рисунок 3.1 – Структурна схема системи безпечного тестування схем цифрових пристроїв

### 3.3 Створення програмного забезпечення безпечного тестування схем цифрових пристроїв

В даний час ефективність рішення складних задач автоматизованого пошуку дефектів у цифрових пристроях багато в чому визначається можливістю застосування декомпозиційного підходу. У цьому випадку структура будь-якого об'єкта дослідження відповідно до обраних критеріїв розбивається на кінцеву множину контрольованих фрагментів (компонентів) схем.

Один з альтернативних напрямків розв'язку задач тестування реалізується відомим класом тестерів на основі різних стратегій, наприклад, покомпонентного діагностування ЦП [14]. Особливістю таких систем є поелементний аналіз структури об'єкта, що передує етапу формування програм послідовної перевірки кожного виділеного фрагмента схеми.

Такий підхід пояснюється тим, що представлення булевих функцій в алфавіті кубічних комплексів дозволяє цілком формалізувати процедуру синтезу програм тестового контролю фрагментів пристрою (малого і середнього ступеня інтеграції), а також одержати їхню просту машинну реалізацію.

Слід зазначити, що інтерес до процедур автоматизації синтезу тестів для комбінаційних фрагментів схем пояснюється саме тим, що часто результатом декомпозиції структури ЦП є формування компонентів простого базису. Розглянемо особливості синтезу контролюючих тестів згідно із відомою методикою, де надалі куб будь-якого D-, R-покриття, що відповідає імплікації булевої функції  $f(\bar{f})$  і активізує шлях в еквівалентній  $f$  комбінаційній схемі, назвемо істотним 0-кубом, а множину таких пар істотних 0-кубів по всіх координатах D- і R-покриттів будемо вважати повним контролюючим тестом для класу одиноких константних несправностей комбінаційних фрагментів цифрових схем.

Для одержання тестових векторів у системах покомпонентного діагностування застосовується операція віднімання (#) кубів вихідних D- і R-покриттів фрагментів схем. Особливість розглянутої операції полягає в тому, що вона реалізується в два етапи: спочатку результат віднімання одержують у проміжному алфавіті  $\{0, 1, y, z\}$ , а потім, після відповідного аналізу, дані перетворюються до виду, прийнятого в апараті кубічних числень, причому, якщо виконується наступна умова  $(\exists i)(a_i \# b_i = y)$ , то результат покоординатного віднімання дорівнює значенню зменшуваній координаті  $a_i$  для всіх значень  $i \in \overline{1, h}$ , а якщо справедливе висловлення  $(\forall i)(a_i \# b_i = z)$ , то одержуємо  $a_i \# b_i = \{\emptyset\}$ , в інших випадках результатом віднімання є

наступний вираз  $\bigcup_{i=1}^n (a_1, a_2, \dots, L_i, \dots, a_n)$ , де  $n$ -розмірність вихідних кубів, а також для будь-якої координати виконується наступна рівність  $a_i = \bar{b}_i$ .

Як видно з приведенного опису, в результаті застосування операції віднімання можна знайти деяку підмножину кубів, кожний з яких при відповідному «доозначенні» може стати істотним 0-кубом і надалі тестовим вектором.

Розглянута операція віднімання лежить в основі методики синтезу контролюючих тестів відповідно до якої множина істотних кубів, наприклад, по  $s$ -й координаті вихідного  $D = \{d_1, d_2, \dots, d_m\}$  - покриття, визначається у такий спосіб [17]:

$$Q_{s,1}^D = (\dots, (d_i \# dk+1) \# \dots \# dm), \dots, (\dots, (dk \# dk+1) \# \dots \# dm),$$

де  $Q_s^D = Q_{s,1}^D \cup Q_{s,2}^D \cup \dots \cup Q_{s,k}^D$ ,  $k$  - число кубів розглянутого  $D$ -покриття, що мають визначені значення (0 чи 1) у  $s$ -й координаті.

Виходячи з алгоритму, можна одержати (як один з можливих варіантів) контролюючий тест (Т), наприклад, для фрагмента схеми, приведеного на рисунку 3.5. У цьому випадку маємо наступні тестові вектори:

$$Q_a^D = \{0100\}, \quad Q_b^D = \{1000\}, \quad Q_c^D = \{1111\}, \quad Q_d^D = \{1111\},$$

$$Q_a^R = \{1100\}, \quad Q_c^R = \{1101\}, \quad Q_b^R = \{1100\}, \quad Q_d^R = \{1110\},$$

$$T = \begin{pmatrix} 1 & 1 & 1 & 1 \\ 1 & 1 & 0 & 0 \\ 1 & 0 & 0 & 0 \\ 0 & 1 & 0 & 0 \\ 1 & 1 & 0 & 1 \\ 1 & 1 & 1 & 0 \end{pmatrix}$$

Слід зазначити, що реалізація викладеної методики на основі операції покоординатного віднімання ( $\#$ ) кубів  $D$ - і  $R$ - покриттів має свої недоліки. По-перше, незручність складає двоетапна процедура одержання кінцевих результатів процедури віднімання; по-друге, неоднозначність отриманих рішень - внаслідок чергової операції віднімання може утворитися кілька кубів, число яких заздалегідь невідомо. Остання обставина приводить до алгоритмічного ускладнення самої процедури синтезу тестів, а також до невиправданого резервування машинної пам'яті ЕОМ. При цьому в одному випадку рішення полягає в резервуванні максимального розміру буфера даних

машинної пам'яті, а, в іншому випадку, виконується попередній розрахунок числа проміжних кубів процедури віднімання (наслідком чого є втрата машинного часу в процесі моделювання синтезу тестів для фрагментів схем).

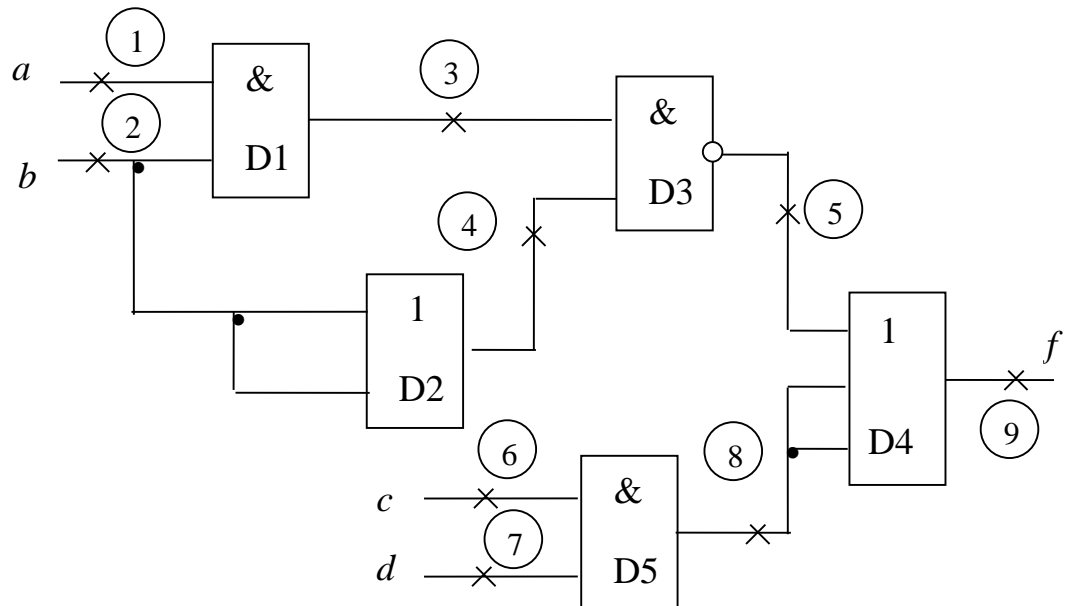


Рисунок 3.2 - Фрагмент комбінаційної схеми

Аналіз проміжних результатів кубічних перетворень векторів тестових матриць часто носить надлишковий характер. Якщо розглянути реалізацію цієї методики, то неважко переконатися в тому, що, наприклад, множину вихідних кубів  $Q_a^D = \{010x, 01x0\}$  по координаті  $a$  можна замінити даними, що містяться тільки в одному кубі  $\{0100\} \in Q_a^D$ . Це пояснюється тим, що при активізації шляху по розглянутій координаті варіювання значенням змінної  $x$  по координаті  $d$  (чи  $c$ ) має чисто формальний характер, тому що при цьому фіксоване значення сигналу по координаті  $c$  (чи  $d$ ) відповідного куба множини  $Q_a^D$  в режимі інтерпретації є блокуючим незалежно від інших значень сигналів тестового вектора однозначно визначає стан виходу аналізованого фрагмента

схеми. Аналогічні результати можна одержати, проаналізувавши множину істотних кубів по інших координатах D- і R-покриттям, наприклад,  $\{1000\} \in Q_b^D$ ,  $\{1100\} \in Q_d^R$ . З формальної точки зору одержання подібних рішень можна здійснити шляхом перетинання всіх істотних кубів, отриманих в результаті віднімання по будь-якій координаті множини істотних кубів аналізованого компонента цифрової схеми, наприклад, для множини  $Q_a^D$  маємо

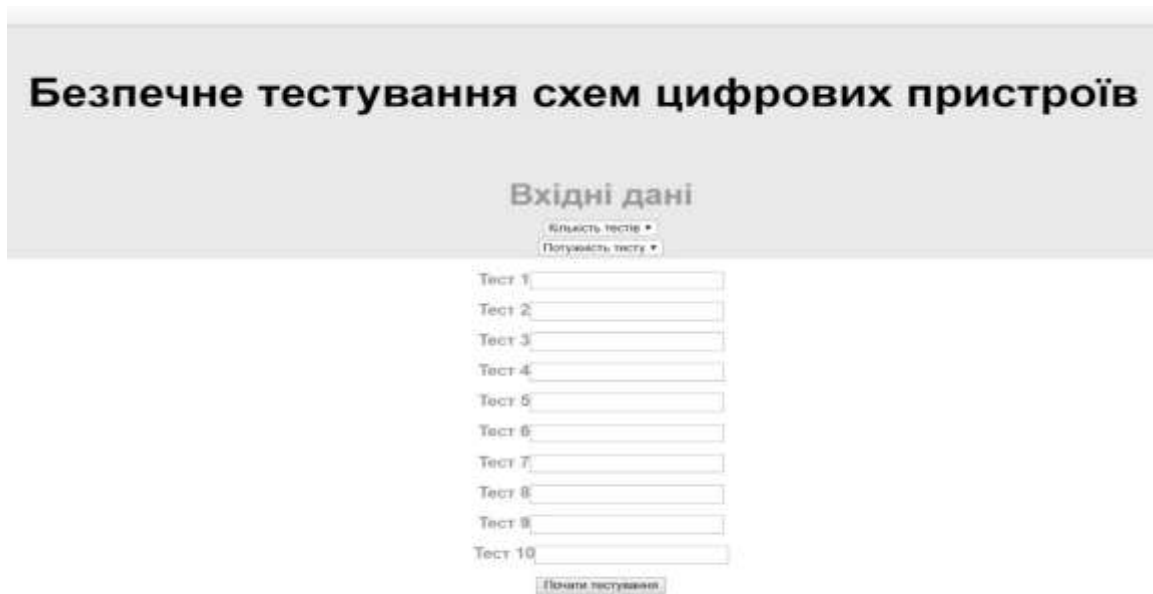
$$\{010x\} \cap \{01x0\} = \{0100\}.$$

Подальший аналіз розробленої методики синтезу тестів для комбінаційних фрагментів цифрових схем показав, що існує формальний алгоритм одержання істотних 0-кубів без застосування операції по координатного віднімання вихідних кубів D (чи R) - покриттів. З цією метою необхідно скористатися значеннями вхідних активізованих сигналів (сигналу), реалізація яких однозначно фіксує стан виходу компонента незалежно від значень інших подаваних вхідних сигналів цифрової схеми (відзначається символом «\*»).

Неважко помітити, що відповідно до визначення одержання будь-якого тестового вектора (на основі операції віднімання кубів) зводиться фактично до присвоєння у відповідному кубі D- і R-покриття визначеним координатам, що мають значення x, значень неактивних станів сигналів цифрового компонента. Справедливість розглянутого підходу ґрунтується на наступній властивості матриць покриттів підкласу одновихідних комбінаційних фрагментів схем цифрових об'єктів діагностування, які досліджуються.

### 3.4 Тестування створеного програмного забезпечення

Інтерфейс інформаційної технології представлений у вигляді html-сторінки. Для демонстрації працездатності зробимо тест. Для цього запустимо саме програмне забезпечення і ми опинимось на головній сторінці (рис.3.2.).



Безпечне тестування схем цифрових пристроїв

Вхідні дані

Кількість тестів ▾  
Потужність тесту ▾

Тест 1

Тест 2

Тест 3

Тест 4

Тест 5

Тест 6

Тест 7

Тест 8

Тест 9

Тест 10

Почати тестування

Рисунок 3.3 - Початкова сторінка програмного забезпечення

Після запуску потрібно обрати дві категорії: кількість тестів та потужність тесту. І після отримання всіх даних почати тестування(рис.3.3)



## Безпечне тестування схем цифрових пристроїв

Вхідні дані

Тест 1

Тест 2

Тест 3

Тест 4

Тест 5

Тест 6

Тест 7

Тест 8

Тест 9

Тест 10  ж

Рисунок 3.4 - Отримані дані перед тестуванням

Після цього ви перейдете на сторінку з кінцевими даними (рис3.4), та з'являється можливість почати нове тестування

Під час тестування інформаційної технології безпечного тестування схем цифрових пристроїв було проведено 8 тестів для порівняння швидкодії з аналогом. Була використана схема з 9 елементами. Окремо вимірювався час тестування одного елементу та загальний час тестування всіх елементів. Результати тестування в таблиці 3.1.

# Безпечне тестування схем цифрових пристроїв

## Вектори тестових сигналів

10 ▾  
16 ▾

0110011001100110
1111111111111111
1101110111011101
0000000000000000
0000000000000000
0000000000000000
0111101101111011
0010111100101111
0000000000000000
0000000000000000
1101100011011000
1011011110110111
0000000000000000
0000000000000000
1110111011101110
0000000000000000
0000000000000000
0000000000000000
0110110001101100
0000000000000000
0000000000000000
0101101001011010 ж

Почати тестування знову

Рисунок 3.4 - Сторінка з кінцевими даними

Таблиця 3.1 – Порівняння швидкодії інформаційної технології безпечного тестування схем цифрових пристроїв з аналогом

№ тесту	Аналог		Інформаційна технологія	
	Час тестування одного елемента (мс)	Загальний час тестування (мс)	Час тестування одного елемента (мс)	Загальний час тестування(мс)
Тест 1	0,47	4,23	0,4	3,6
Тест 2	0,46	4,14	0,41	3,69
Тест 3	0,48	4,32	0,39	3,51
Тест 4	0,45	4,05	0,42	3,78
Тест 5	0,46	4,14	0,4	3,6
Тест 6	0,46	4,14	0,4	3,6
Тест 7	0,45	4,05	0,41	3,69
Тест 8	0,46	4,14	0,4	3,6
		4,15125		3,63375

### 3.5 Висновки

Під час роботи над магістерською кваліфікаційною роботою була розроблена інформаційна технологія безпечного тестування схем цифрових пристроїв на базі якої була створена інформаційна система безпечного тестування схем цифрових пристроїв. Під час тестування було виявлено, що розроблена інформаційна технологія на 14% працює швидше ніж її аналог. Мету магістерської кваліфікаційної роботи досягнуто.

## 4 ЕКОНОМІЧНА ЧАСТИНА

### 4.1 Оцінювання комерційного потенціалу розробки

Метою проведення технологічного аудиту є оцінювання комерційного потенціалу розробки, створеної в результаті науково-технічної діяльності.

Магістерська кваліфікаційна робота за темою “Інформаційна система безпечного тестування схем цифрових пристроїв” передбачає розробку системи тестування схем цифрових пристроїв.

Проведемо оцінювання комерційного потенціалу даної розробки. Для проведення технологічного аудиту було залучено 3-х незалежних експертів: Озеранський Володимир Сергійович - керівник магістерської кваліфікаційної роботи, кандидат технічних наук, старший викладач кафедри комп’ютерних наук; Яровий Андрій Анаталійович, Колесницький Олег Констянтинович. В таблиці 4.1 наведено критерії оцінювання комерційного потенціалу розробки та їх оцінки в балах

Таблиця 4.1 - Критерії оцінювання комерційного потенціалу розробки

Критерії оцінювання та бали (за 5-ти бальною шкалою)					
Кри-тері й	0	1	2	3	4
Технічна здійсненність концепції:					
1	Достовірність концепції не підтверджена	Концепція підтверджена експертними висновками	Концепція підтверджена розрахунками	Концепція перевірена на практиці	Перевірено роботоздатність продукту в реальних умовах
Ринкові переваги (недоліки):					
2	Багато аналогів на малому ринку	Мало аналогів на малому ринку	Кілька аналогів на великому ринку	Один аналог на великому ринку	Продукт не має аналогів на великому ринку

Таблиця 4.1 - Продовження

3	Ціна продукту значно вища за ціни аналогів	Ціна продукту дещо вища за ціни аналогів	Ціна продукту приблизно дорівнює цінам аналогів	Ціна продукту дещо нижче за ціни аналогів	Ціна продукту значно нижче за ціни аналогів
4	Технічні та споживчі властивості продукту значно гірші, ніж в аналогів	Технічні та споживчі властивості продукту трохи гірші, ніж в аналогів	Технічні та споживчі властивості продукту на рівні аналогів	Технічні та споживчі властивості продукту трохи кращі, ніж в аналогів	Технічні та споживчі властивості продукту значно кращі, ніж в аналогів
5	Експлуатаційні витрати значно вищі, ніж в аналогів	Експлуатаційні витрати дещо вищі, ніж в аналогів	Експлуатаційні витрати на рівні експлуатаційних витрат аналогів	Експлуатаційні витрати трохи нижчі, ніж в аналогів	Експлуатаційні витрати значно нижчі, ніж в аналогів
<b>Ринкові перспективи</b>					
6	Ринок малий і не має позитивної динаміки	Ринок малий, але має позитивну динаміку	Середній ринок з позитивною динамікою	Великий стабільний ринок	Великий ринок з позитивною динамікою
7	Активна конкуренція великих компаній на ринку	Активна конкуренція	Помірна конкуренція	Незначна конкуренція	Конкурентів немає
<b>Практична здійсненність</b>					
8	Відсутні фахівці як з технічної, так і з комерційної реалізації ідеї	Необхідно наймати фахівців або витратити значні кошти та час на навчання наявних фахівців	Необхідне незначне навчання фахівців та збільшення їх штату	Необхідне незначне навчання фахівців	Є фахівці з питань як з технічної, так і з комерційної реалізації ідеї

Таблиця 4.1 - Продовження

9	Потрібні значні фінансові ресурси, які відсутні. Джерела фінансування ідеї відсутні	Потрібні незначні фінансові ресурси. Джерела фінансування відсутні	Потрібні значні фінансові ресурси. Джерела фінансування є	Потрібні незначні фінансові ресурси. Джерела фінансування є	Не потребує додаткового фінансування
10	Необхідна розробка нових матеріалів	Потрібні матеріали, що використовуються у військово-промисловому комплексі	Потрібні дорогі матеріали	Потрібні досяжні та дешеві матеріали	Всі матеріали для реалізації ідеї відомі та давно використовуються у виробництві
11	Термін реалізації ідеї більший за 10 років	Термін реалізації ідеї більший за 5 років. Термін окупності інвестицій більше 10-ти років	Термін реалізації ідеї від 3-х до 5-ти років. Термін окупності інвестицій більше 5-ти років	Термін реалізації ідеї менше 3-х років. Термін окупності інвестицій від 3-х до 5-ти років	Термін реалізації ідеї менше 3-х років. Термін окупності інвестицій менше 3-х років
12	Необхідна розробка регламентних документів та отримання великої кількості дозвільних документів на виробництво та реалізацію продукту	Необхідно отримання великої кількості дозвільних документів на виробництво та реалізацію продукту, що вимагає значних коштів та часу	Процедура отримання дозвільних документів для виробництва та реалізації продукту вимагає незначних коштів та часу	Необхідно тільки повідомлення відповідним органам про виробництво та реалізацію продукту	Відсутні будь-які регламентні обмеження на виробництво та реалізацію продукту

Результати оцінювання комерційного потенціалу розробки потрібно звести в таблицю за зразком таблиці 4.2.

Таблиця 4.2 – Результати оцінювання комерційного потенціалу розробки

Критерії	Прізвище, ініціали, посада експерта		
	1-Озеранський В.С.	2-Яровий А.А.	3-Колесницький О.Г
	Бали, виставлені експертами:		
1	3	4	4
2	3	2	3
3	4	3	3
4	2	3	4
5	3	4	3
6	4	2	2
7	2	3	3
8	4	3	3
9	4	3	3
10	4	3	4
11	3	3	3
12	3	4	4
Сума балів	СБ1=39	СБ2=37	СБ3=39
Середньоарифметична сума балів СБ	$\overline{СБ} = \frac{\sum_{i=1}^3 СБ_i}{3} = \frac{115}{3} = 38.33$		

За даними таблиці 4.2 можна зробити висновок, щодо рівня комерційного потенціалу розробки. Зважимо на результат й порівняємо його з рівнями комерційного потенціалу розробки, що представлено в таблиці 4.3.

Таблиця 4.3 – Рівні комерційного потенціалу розробки.

Середньоарифметична сума балів $\overline{СБ}$ , розрахована на основі висновків експертів	Рівень комерційного потенціалу розробки
0 –10	Низький
11–20	Нижче середнього
21–30	Середній
31–40	Вище середнього
41–48	Високий

Рівень комерційного потенціалу розробки, становить 38,33 балів, що відповідає рівню «вище середнього».

Сфера розробки цифрових схем є досить широкою, оскільки в сучасному світі зростає темп мініатюризації електронної бази конструкція і складність друкованих плат (ДП) зазнала серйозні зміни. Таким чином тестування схем не втрачає актуальності.

#### 4.2 Прогнозування витрат на виконання наукової роботи та впровадження результатів

Проведемо прогнозування витрат на виконання науково-дослідної, дослідно-конструкторської та конструкторсько-технологічної роботи для розробки програмного забезпечення, яке складається з таких етапів:

1-й етап: розрахунок витрат, які безпосередньо стосуються виконавців даного розділу роботи;

2-й етап: розрахунок загальних витрат на виконання даної роботи;

3-й етап: прогнозування загальних витрат на виконання та впровадження результатів даної роботи.

Виконаємо розрахунок витрат приймаючи до уваги те, що для розробки інформаційної технології було залучено одного розробника програмного



забезпечення. Основна заробітна плата кожного із розробників (дослідників)  $Z_0$ , якщо вони працюють в наукових установах бюджетної сфери:

$$Z_0 = \frac{M}{T_p} \cdot t \text{ [грн]}, \quad (4.1)$$

де  $M$  – місячний посадовий оклад конкретного розробника (інженера, дослідника, науковця тощо), грн;

$T_p$  – число робочих днів в місяці; приблизно  $T_p = (21 \dots 23)$  дні;

$t$  – число робочих днів роботи розробника (дослідника), розробка програмного забезпечення триває 80 днів

Зроблені розрахунки внесені до таблиці 4.5:

Таблиця 4.4 – Основна заробітна плата розробників.

Найменування посади виконавця	Місячний посадовий оклад, грн.	Оплата за робочий день, грн.	Число днів роботи	Витрати на оплату праці, грн.	Примітка
Програміст	4000	181,81	80	14544,8	
Науковець	6500	295,45	80	23636	
Всього				$\sum Z_0$	38180,8

Додаткова заробітна плата  $Z_D$  всіх розробників та робітників, які брали участь у виконанні даного етапу роботи, розраховується як (10...12%) від суми основної заробітної плати розробників та робітників розраховується за формулою:

$$Z_D = 0.10 \cdot 38180,8 = 3818,08(\text{грн}).$$

Нарахування на заробітну плату НЗП розробників та робітників, які брали участь у виконанні даного етапу роботи, розраховується за формулою:

$$H_{зп} = (Z_0 + Z_д) \cdot \frac{\beta}{100} \text{ [грн]}, \quad (4.2)$$

де  $Z_0$  – основна заробітна плата розробника, грн.;

$Z_д$  – додаткова заробітна плата розробника, грн.;

$\beta$  – ставка єдиного внеску на загальнообов'язкове державне соціальне страхування – 37,3%.

$$H_{зп} = (38180,8 + 3818,08) \cdot 0,373 = 15665,58(\text{грн})$$

4. Амортизація обладнання, комп'ютерів та приміщень А, які використовувались під час (чи для) виконання даного етапу роботи.

Дані відрахування розраховують по кожному виду обладнання, приміщенням тощо.

У спрощеному вигляді амортизаційні відрахування А в цілому бути розраховані за формулою:

$$A = \frac{Ц \cdot T}{12 \cdot T_B} \text{ [грн]}, \quad (4.3)$$

Де  $Ц$  – загальна балансова вартість всього обладнання, комп'ютерів, приміщень тощо, що використовувались для виконання даного етапу роботи, грн;

$T$  – фактична тривалість використання, міс;

$T_B$  – термін, використання обладнання, приміщень тощо, місяці, роки.

Зроблені розрахунки наведено в таблиці 4.4

Таблиця 4.5 – Амортизаційні відрахування

Найменування	Балансова вартість, грн	Термін використання, роки	Фактична тривалість використання, міс.	Величина амортизаційних відрахувань, грн
Офісне приміщення	10000	1	4	2500
Ноутбук	21000	1	4	2100
Всього				4600

Інформацію про матеріали, що використовуються при виготовленні даного інноваційного продукту внесено до таблиці 4.7.

Таблиця 4.7 – Матеріали, що використовуються при виготовленні даного продукту

Найменування матеріалу	Ціна за одиницю, грн.	Витрачено, шт.	Вартість витраченого матеріалу, грн
Папір (пачка)	90,00	1	99,00
Канцтовари	40,00	1	44,00
Всього			43,00

Під час розробки програмного продукту використовувались лише безкоштовні програмні засоби.

Витрати на силову електроенергію  $V_e$  розраховуються за формулою:

$$V_e = V \cdot \Pi \cdot \Phi \cdot K_{\Pi} \text{ [грн]}, \quad (4.4)$$

де  $V$  – вартість 1 кВт-год. електроенергії, 1,8 грн/кВт;

$P$  – установлена потужність обладнання, кВт;

$\Phi$  – фактична кількість годин роботи обладнання, годин;

$K_p$  – коефіцієнт використання потужності;

Потужність використовуваного комп'ютера становить  $P=0.6$  кВт.

Фактична кількість годин роботи обладнання – 640 год (80 робочих днів по 8 годин на день).

$$V_e = 1,8 \cdot 0,6 \cdot 640 \cdot 0,6 = 414,72 \text{ (грн)}.$$

Сума всіх попередніх статей витрат дає витрати на виконання даної частини розділу роботи В.

$$V = 38180,8 + 3818,08 + 15665,58 + 4600 + 143 + 414,72 = 62822,18$$

2-й етап: розрахунок загальних витрат на виконання даної роботи.

$$V_{\text{заг}} = \frac{V}{\alpha} \text{ [грн]}, \quad (4.5)$$

$$V_{\text{заг}} = \frac{62822,18}{1} = 62822,18 \text{ [грн]},$$

3-й етап. Прогнозування загальних витрат на виконання та впровадження результатів виконаної роботи. Прогнозування витрат  $ЗВ$  на виконання та впровадження виконаної роботи здійснюється за формулою:

$$ЗВ = \frac{V_{\text{заг}}}{\beta} \text{ [грн]}, \quad (4.7)$$

де  $\beta$  – коефіцієнт, який характеризує етап (стадію) виконання даної роботи.

Так, як розробка знаходиться:

на стадії розробки дослідного зразка, то  $\beta \approx 0,5$

на стадії технічного проектування, то  $\beta \approx 0,2$

на стадії розробки конструкторської документації то  $\beta \approx 0,3$

на стадії розробки технології, то  $\beta \approx 0,4$

на стадії науково-дослідних робіт, то  $\beta \approx 0,1$

на стадії промислового зразка,  $\beta \approx 0,7$

на стадії впровадження, то  $\beta \approx 0,9$

$$ЗВ = \frac{62822,18}{0,7} = 89745,97 \text{ (грн).}$$

Отже, прогноз загальних витрат на виконання та впровадження результатів становить 89745,97 грн.

#### 4.3 Прогнозування комерційних ефектів від реалізації результатів розробки

У даному підрозділі проведемо кількісне прогнозування, яку вигоду, зиск можна отримати у майбутньому від впровадження результатів виконаної наукової роботи. В умовах ринку узагальнюючим позитивним результатом, що його отримує підприємство від впровадження результатів тієї чи іншої розробки, є збільшення чистого прибутку підприємства. Зростання чистого прибутку можна оцінити у теперішній вартості грошей.

Зростання чистого прибутку забезпечить підприємству надходження додаткових коштів, які дозволять покращити фінансові результати діяльності.

Виконання даної наукової роботи та впровадження її результатів складає приблизно 1 рік.

Позитивні результати від впровадження розробки очікуються вже в перший рік впровадження.

Проведемо детальніше прогнозування позитивних результатів та кількісне їх оцінювання по роках.

Обчислимо збільшення чистого прибутку підприємства  $\Delta\Pi$  для кожного із років, протягом яких очікується отримання позитивних результатів від впровадження розробки, розраховується за формулою:

$$\Delta\Pi_{\text{я}} = \sum_1^n (\Delta\Pi_{\text{я}} \cdot N + \Pi_{\text{я}} \cdot \Delta N)_n \text{ [грн]}, \quad (4.8)$$

де  $\Delta\Pi_{\text{я}}$  – покращення основного якісного показника від впровадження результатів розробки у даному році;

$N$  – основний кількісний показник, який визначає діяльність підприємства у даному році до впровадження результатів наукової розробки;

$\Delta N$  – покращення основного кількісного показника діяльності підприємства від впровадження результатів розробки;

$\Pi_{\text{я}}$  – основний якісний показник, який визначає діяльність підприємства у даному році після впровадження результатів наукової розробки;

$n$  – кількість років, протягом яких очікується отримання позитивних результатів від впровадження розробки.

Припустимо, що внаслідок впровадження результатів наукової розробки покращується якість, що дозволяє підвищити ціну його реалізації на 20 грн, а кількість одиниць реалізованої послуги збільшиться: протягом першого року – на 250 од., протягом другого року – ще на 500 од., протягом третього року – ще на 350 од.

Орієнтовно: реалізація послуг до впровадження результатів наукової розробки складала 15 шт., а її ціна – 25рн.

Спрогнозуємо збільшення чистого прибутку підприємства від впровадження результатів наукової розробки у кожному році відносно базового.

Збільшення чистого прибутку підприємства  $\Delta\Pi_1$  протягом першого року складе:

$$\Delta\Pi_1 = 15 \cdot 25 + (25 + 15) \cdot 250 = 40500 \text{ (грн)}.$$

Обчислимо збільшення чистого прибутку підприємства  $\Delta\Pi_2$  протягом другого року:

$$\Delta\Pi_2 = 15 \cdot 25 + (25 + 15) \cdot (250 + 500) = 100500 \text{ (грн).}$$

Збільшення чистого прибутку підприємства  $\Delta\Pi_3$  протягом третього року становитиме:

$$\Delta\Pi_3 = 15 \cdot 25 + (25 + 15) \cdot (250 + 500 + 350) = 170500 \text{ (грн).}$$

Отже, розрахунки показують, що відповідно прогнозуванню комерційний ефект від впровадження розробки виражається у значному збільшенні чистого прибутку підприємства.

#### 4.4 Прогнозування комерційних ефектів від реалізації результатів розробки

Основними показниками, які визначають доцільність фінансування наукової розробки певним інвестором, є абсолютна і відносна ефективність вкладених інвестицій та термін їх окупності.

Розрахунок ефективності вкладених інвестицій передбачає:

1-й крок. Розрахунок теперішньої вартості інвестицій  $PV$ , що вкладаються в наукову розробку. Такою вартістю ми можемо вважати прогнозовану величину загальних витрат  $ZB$  на виконання та впровадження результатів НДДКР, тобто  $ZB = PV = 89745,97$  (грн).

2-й крок. Розрахунок очікуваного збільшення прибутку  $\Delta\Pi_i$ , що його отримає підприємство (організація) від впровадження результатів наукової розробки, для кожного із років, починаючи з першого року впровадження проведено вище.

3-й крок. Будуємо вісь часу, на якій відображаємо всі платежі (інвестиції та прибутки), що мають місце під час виконання науково-дослідної роботи та впровадження її результатів. Платежі показуємо у ті терміни, коли вони здійснюються.

Припустимо, що загальні витрати ЗВ на виконання та впровадження результатів НДДКР (або теперішня вартість інвестицій PV) дорівнює 89745,97грн. Результати вкладених у наукову розробку інвестицій почнуть з'являтися протягом трьох років. Ці результати виявляться у тому, що у першому році підприємство отримає збільшення чистого прибутку на 40500 грн відносно базового року, у другому році – збільшення чистого прибутку на 100500 грн (відносно базового року), у третьому році – збільшення чистого прибутку на 170500 грн (відносно базового року).

Тоді рух платежів (інвестицій та додаткових прибутків) буде мати вигляд, наведений на рис. 4.1.

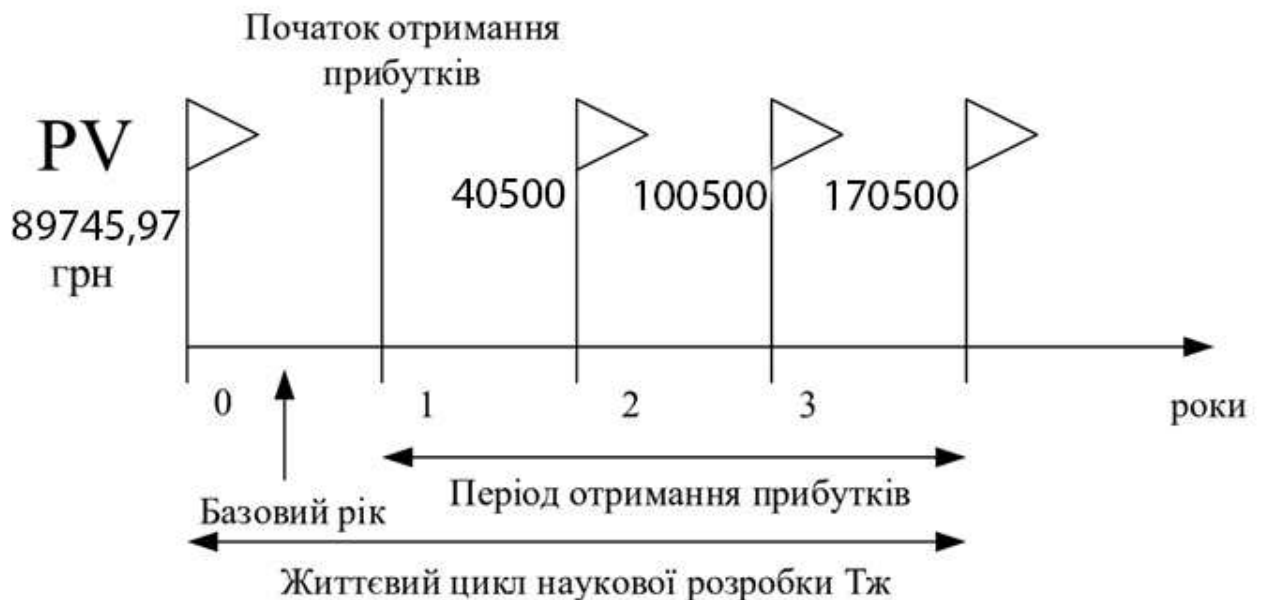


Рисунок 4.1 – Вісь часу з фіксацією платежів, що мають місце під час розробки та впровадження результатів НДДКР

де ПП – приведена вартість всіх чистих прибутків, що їх отримає підприємство (організація) від реалізації результатів наукової розробки, грн;

PV – теперішня вартість інвестицій  $PV = ZB$ , грн.



Приведена вартість всіх чистих прибутків ПП розраховується за формулою:

$$\text{ПП} = \sum_1^t \frac{\Delta\Pi_i}{(1 + \tau)^t}, \quad (4.10)$$

де  $\Delta\Pi_i$  – збільшення чистого прибутку у кожному із років, протягом яких виявляються результати виконаної та впровадженої НДДКР, грн;

$t$  – період часу, протягом якого виявляються результати впровадженої НДДКР, роки;

$\tau$  – ставка дисконтування, за яку можна взяти щорічний прогнозований рівень інфляції в країні - 0,1;

$t$  – період часу (в роках) від моменту отримання чистого прибутку до точки „0”.

$$\text{ПП} = \frac{89745,97}{(1 + 0,1)^0} + \frac{40500}{(1 + 0,1)^3} + \frac{100500}{(1 + 0,1)^4} + \frac{170500}{(1 + 0,1)^5} = 204939.17 \text{ (грн)}.$$

$$E_{\text{абс}} = 204939.17 - 89745,97 = 115193.22 \text{ (грн)}.$$

Оскільки  $E_{\text{абс}} > 0$ , результат від проведення наукових досліджень щодо розробки програмного продукту та їх впровадження принесе прибуток, тобто є доцільним, але це ще не свідчить про те, що інвестор буде зацікавлений у фінансуванні даної програми.

5-й крок. Розраховують відносну (щорічну) ефективність вкладених в наукову розробку інвестицій  $E_{\text{в}}$  за формулою:

$$E_e = \sqrt[T_{ж}]{1 + \frac{E_{абс}}{PV}} - 1, \quad (4.11)$$

де  $E_{абс}$  – абсолютна ефективність вкладених інвестицій, грн;

$PV$  – теперішня вартість інвестицій  $PV = 3B$ , грн;

$T_{ж}$  – життєвий цикл наукової розробки, роки.

$$E_B = \sqrt[3]{1 + \frac{115193.22}{89745.97}} - 1 = \sqrt[3]{2,2835} - 1 = 0,3562 \text{ або } 35,64\%$$

Порівняємо  $E_B$  з мінімальною (бар'єрною) ставкою дисконтування  $\tau_{\text{мін}}$ , яка визначає ту мінімальну дохідність, нижче за яку інвестиції вкладатися не будуть.

Спрогнозуємо величину  $\tau_{\text{мін}}$ . У загальному вигляді мінімальна (бар'єрна) ставка дисконтування  $\tau_{\text{мін}}$  визначається за формулою:

$$\tau = d + f, \quad (4.12)$$

де  $d$  – середньозважена ставка за депозитними операціями в комерційних банках;  $d = 0,14$ ;

$f$  – показник, що характеризує ризикованість вкладень; величина  $f = 0,3$ .

$$\tau = 0,14 + 0,3 = 0,44$$

Припустимо, що за даних умов прибуток буде збільшуватись, то у інвестора є потенційна зацікавленість у фінансуванні даної наукової розробки.

6-й крок. Розраховують термін окупності вкладених у реалізацію наукового проекту інвестицій  $T_{ок}$  за формулою:

$$T_{ок} = \frac{1}{E_a} \text{ [грн]}. \quad (4.13)$$

$$T_{ок} = \frac{1}{0,3562} = 2,8 \quad (\text{роки}).$$

Оскільки термін окупності вкладених у реалізацію наукового проекту інвестицій менше трьох років ( $T_{ок} < 3$  років), то фінансування нової розробки є доцільним.

#### 4.5 Висновок

В даному розділі було здійснено оцінювання комерційного потенціалу розробки методів та засобів розробки інформаційної технології надання рекомендацій при обробленні фотографій.

Проведено технологічний аудит з залученням трьох експертів. Аналіз експертних даних показав, що рівень комерційного потенціалу розробки вище середнього. Дослідження комерційного потенціалу розробки показав, що програмний продукт за своїми характеристиками випереджає аналогічні програмні продукти і є перспективною розробкою. Він має кращі функціональні показники, а тому є конкурентоспроможним товаром на ринку.

Згідно із розрахунками всіх статей витрат на виконання науково-дослідної, дослідно-конструкторської та конструкторсько-технологічної роботи загальна вартість витрат на розробку і впровадження складає 89745,97 грн.

Розрахована абсолютна ефективність вкладених інвестицій в сумі 115193.22 грн свідчить про отримання прибутку інвестором від впровадження програмного продукту у діяльність підприємства.

Щорічна ефективність вкладених в наукову розробку інвестицій складає 35,62%, що вище за мінімальну бар'єрну ставку дисконтування, яка складає 44%. Це означає потенційну зацікавленість інвесторів у фінансуванні розробки.

Термін окупності складає 2,8 року, що також свідчить про доцільність фінансування.

Усе це, узятє разом, забезпечує прийняття рішення про доцільність виготовлення нового продукту.

## ВИСНОВКИ

В роботі було проведено опис предметної області та сфери застосування інформаційної технології безпечного тестування схем цифрових пристроїв, доведено технічну доцільність нової розробки.

В технічній частині роботи було проведено порівняльний аналіз методів технічної діагностики, з ціллю підвищення ефективності систем покомпонентного діагностування запропоновано використовувати коригування тестових матриць для декомпозиційного тестування схем цифрових пристроїв для зменшення загального часу реалізації діагностичних програм в умовах серійного виробництва.

В роботі було розроблено інформаційну технологію для впорядкування векторів тестових сигналів, що дозволяє впорядковувати певну кількість тестів, яка задається програмно (для тестування програми було обрано 10 тестів). Потужність (розрядність) тестових векторів задається у файлі (для прикладу було обрано 16-ти розрядний тестовий вектор). Час нагрівання та охолодження елементів було обрано 0,3 мс та 0,1 мс відповідно. Під час тестування було виявлено, що розроблена інформаційна технологія на 14% працює швидше ніж її аналог

Всі поставлені задачі було вирішено, отже мету магістерської дипломної роботи було досягнуто.

## ПЕРЕЛІК ВИКОРИСТАНИХ ДЖЕРЕЛ

1. Морозов О.С. Інформаційна технологія безпечного тестування схем цифрових пристроїв/ О.С. Морозов, В.С. Озеранський// Науково-технічної конференції «Молодь в науці: дослідження, проблеми, перспективи(МН-2020)», 1–5 травня, 2020. – Вінниця: ВНТУ, 2019
2. Клюквин Н. Практические аспекты электрического контроля собранных печатных модулей / Н. Клюквин // Технологии в электронной промышленности. – 2010. – №2. – С.33–36.
3. Городецкий А. Тестирование ИСТ: векторное или безвекторное? / А. Городецкий // Компоненты и технологии. – 2011. – №11. – С.25–28.
4. Городецкий А. Техническая диагностика цифровых устройств / А. Городецкий // Компоненты и технологии. – 2011. – №3. – С.17–20.
5. Дрозд А.В. Нетрадиционный взгляд на рабочее диагностирование вычислительных устройств / А.В. Дрозд // Проблемы управления. – 2008. – №2. – С.48–56.
6. Леонов А. Установка автоматического электрического контроля смонтированных печатных плат «летающими щупами» производства компании Ніокі серии 1240. Проверка качества паяных соединений электрическим тестированием / А. Леонов // Технологии в электронной промышленности. – 2007. – №2. – С.28–31.
7. Юхимчук С.В. Декомпозиційні стратегії діагностування цифрових пристроїв / С.В. Юхимчук, С.І. Перевозніков, Т. О. Савчук // Вінниця: УНІВЕРСУМ–Вінниця. – 2001. – 176с.
8. Городов В.А. Электрический контроль печатных плат и узлов / В.А. Городов // Электроника: НТВ. – 2004. – №7. – С.11–14.
9. Городов В.А. Методы электрического контроля печатных плат / В.А. Городов // Технологии в электронной промышленности. – 2005.– №1. – С.17–22.

10. Шевелев И.В. Современные технологии автоматического электрического контроля печатных плат компании Nioki / И.В. Шевелев // Производство электроники. – 2007. – №3. – С.9–14.
11. Городецкий А. Тестирование и тестопригодное проектирование. / А. Городецкий // Компоненты и технологии. – 2009. – №2. – С.7–10.
12. Городецкий А. Введение во внутрисхемное тестирование, часть 15 / А. Городецкий, Л. Курилан // Производство электроники. – 2010. – №2. – С.18–22.
13. Городецкий А. Введение в технологию граничного сканирования / А. Городецкий, Л. Курилан // Производство электроники. – 2007. – №5. – С.15–19.
14. Иванов А. Выбор тестовой стратегии при производстве цифровой и апалого-цифровой техники / А. Иванов // Печатный монтаж. – 2010. – №2. – С.48–53.
15. Дж.Ван Ньюкирк (J.VanNewkirk). Современная платформа внутрисхемного тестирования / J.VanNewkirk // Печатный монтаж. – 2007. – №6. – С.14–16.
16. Локазюк В.М. Інтелектуальне діагностування мікропроцесорних пристроїв та систем: Навч. посібник для вузів / В.М. Локазюк, О.В. Поморова, А.О. Домінов // Хмельницький.– Київ, 2001.– 286с.: іл.
17. Городецкий А. Граничное сканирование или внутрисхемное тестирование? / А. Городецкий // Электроника-инфо. – Минск. – 2009. – №3. – С.12–14.
18. Макаренко В. Методы внутрисхемного тестирования в производстве электронной техники / В. Макаренко // Электронные компоненты и системы. – 2000. – №10. – С.31–34.
19. Городецкий А. Стратегии тестирования для производства завтрашнего дня / А. Городецкий // Компоненты и технологии. – 2012. – №11. – С.7–10.

20. Казённов Г. Г. Математическая модель конструкции сложных изделий электронной техники. / Г.Г. Казённов, В.М. Щемелинин // Изв. вузов. Электроника. – 1999. – №1–2. – С.112–117.
21. Романкевич А.М. Самодиагностируемые многомодульные системы: некоторые оценки тестирования / В.Е. Белявский, В.Н. Валуйский, А.М. Романкевич, В.А. Романкевич // Автоматика и телемеханика. – 1999. – № 8. – С.148–153.
22. Хаханов В.І. Технічна діагностика цифрових і мікропроцесорних структур. / В.І. Хаханов // Підручник. – К.: ІЗМН. 1995. – 252с.
23. Перевозников С. И. Декомпозиционный подход к диагностированию цифровых устройств в условиях серийного производства / С.И. Перевозников, Н.А. Биличенко, Н.С. Перевозникова // Реєстрація, зберігання і обробка даних. – 2003. – Т.5, №1. – С.47–60.
24. Перевозников С. И. Анализ свойств и характеристики компонентных структур цифровых устройств для систем внутрисхемного тестового диагностирования / С.И. Перевозников // Электронное моделирование. – 2001. – Т. 23, №3. – С. 70–78.
25. Озеранський В.С. Аналіз методів декомпозиційного представлення цифрових пристроїв для систем внутрішньосхемного діагностування / С.І. Перевозніков, В.С. Озеранський, Н.О. Біліченко // Вісник Технологічного університету Поділля. – 2004. – №2. – Частина 1, Том 1. – С.75–79. ISSN 2307–5732.
26. Озеранський В.С. Застосування ущільнення тестової інформації для прискореного діагностування цифрових пристроїв / С.І. Перевозніков, В.С. Озеранський // Методи та засоби кодування, захисту й ущільнення інформації: Тез. допов. Першої міжн. наук. – практич. конф. (Вінниця, 15 – 17 травня 2007 р.). – С.116–117.
27. Перевозніков С.І. Формування компонентних структур тестування цифрових пристроїв на основі їх графового представлення / С.І. Перевозніков, В.С. Озеранський, І.Р. Арсенюк // Інформаційні



- технології та комп'ютерна інженерія. – 2012. – №2(24). – С.56–61. ISSN 1999–9941.
28. Озеранський В.С. Аналіз композиційного підходу формування штучних фрагментів цифрових схем, як об'єктів внутрішньосхемного діагностування / С.І. Перевозніков, Н.О. Біліченко, В.С. Озеранський, М.А. Очкуров // Інформаційні технології та комп'ютерна інженерія. – 2007. – №2(9). – С.8–13. ISSN 1999–9941.
29. Перевозніков С. І. Стратегії прискореного діагностування цифрових пристроїв / С.І. Перевозніков, М.А. Очкуров, В.С. Озеранський // Інформаційні технології та комп'ютерна інженерія. – 2008. – №1(11). – С.44–55. ISSN 1999–9941.
30. Очкуров М. А. Аналіз характеристик формування компонентних структур цифрових пристроїв / М.А. Очкуров, В.С. Озеранський // Вісник Хмельницького національного університету. – 2008. – №4 (Технічна наука). – С.168–173. ISSN 2307–5732.